

12-Bit 2차 Noise-Shaping D/A 변환기

(A 12-Bit 2nd-order Noise-Shaping D/A Converter)

金大井*, 金成駿**, 朴宰璉**, 鄭德均*, 金元燦*

(Dae jeong Kim, Sung joon Kim, Jae jin Park,
Deog-Kyoon Jeong and Wonchan Kim)

要約

본 논문에서는 과표본화(oversampling) 기법을 이용한, 12 비트의 해상도를 가지는 다중 비트 (multi-bit) 잡음 변형(noise-shaping) D/A 변환기의 설계에 대하여 논한다. 설계된 구조에 있어서, 전체의 해상도를 좌우하는 가장 핵심적인 부분은 수동 소자의 정밀도를 가장 요구하는 아날로그 단인 내부 D/A 변환기로서 공정 변이에 의한 전체 해상도의 감쇄를 최소화 하기 위해 전하 누적형 내부 D/A 변환 회로를 차동형의 구조로서 설계하였다. 제안하는 구조는 잡음 변형 부호기(noise-shaping coder)의 출력 데이터의 변화량에 대한 정보를 가지고 있는 신호 클럭으로써 구동되므로 전하 누적형의 회로가 가지는 시간 축 상의 불리함을 최소화 하였다. 이를 검증하기 위해 이중 금속선 1.5- μ m CMOS 공정으로써 950 x 650 μ m²의 능동 영역을 가지는 칩을 제작하여 스펙트럼 분석기로서 측정한 결과, 9.6 kHz의 신호 대역에 대하여 75 dB의 신호 대 잡음 비(S/N ratio)와 60 dB의 신호 대 전체 잡음 비(S/(N+D) ratio)를 얻었다.

Abstract

This paper describes a design of a multi-bit oversampling noise-shaping D/A converter which achieves a resolution of 12 bits using oversampling technique. In the architecture the essential block which determines the whole accuracy is the analog internal D/A converter, and the designed charge-integrating internal D/A converter adopts a differential structure in order to minimize the reduction of the resolution due to process variation. As the proposed circuit is driven by signal clocks which contains the information of the data variation from the noise-shaping coder, it minimizes the disadvantage of a charge-integrating circuit in the time axis. In order to verify the circuit, it was integrated with the active area of 950 x 650 μ m² in a double metal 1.5- μ m CMOS process, and testified that it can achieve a S/N ratio of 75 dB and a S/(N+D) ratio of 60 dB for the signal bandwidth of 9.6 kHz by the measurement with a spectrum analyzer.

1. 서론

*正會員, **準會員, 서울대학교 電子工學科
(Dept. of Elec. Eng., Seoul Nat'l Univ.)
接受日字 : 1993年 4月 15日

데이터 변환기를 설계 하는 데 있어서, Δ - Σ 변조
기 등의 잡음 변형 부호기는 수동 소자들의 정밀한

일치가 없이도 음성 신호대역에서 높은 해상도를 구현할 수 있다는 매력 때문에 집적 회로에 알맞은 개념이다.^[1] 특히 1 비트 - 변조기는 정밀한 아날로그 소자가 없이도 안정한 회로를 구현할 수 있으므로 널리 사용되지만, 적분기가 과부하될 확률이 다중 비트 구조에 비해 매우 높기 때문에 입력 신호 진폭의 크기에 따른 선형성을 얻기는 매우 어려운 것으로 알려져 있다.^[2]

이와 같은 문제점을 피하기 위해 다중 비트 잡음 변형 부호기를 사용함으로써 더 나은 선형성을 얻고, 양자화 레벨의 수가 많아짐에 따라 양자화 잡음의 크기가 작아지므로 같은 해상도를 구현함에 있어서 더 낮은 클럭 주파수로써 가능하다는 장점을 얻는다. 그러나 다중 비트 Δ - Σ 변환기가 제 성능을 내기 위해서는 A/D 변환의 역할을 하는 다중 비트 양자화기(quantizer)에 상응하는 다중 비트 내부 D/A 변환기의 정밀도가 전체 해상도를 구현할 수 있는 정도가 되어야 한다는 제약성이 따른다.^[3, 4]

이와 같은 정밀도를 요하는 내부 D/A 변환기 회로를 구현하기 위해서는 내부 D/A 변환기의 비선형 오차를 디지털 영역에서 보상하는 방법^[5, 6]이라든지, 소자들의 공정 오차를 백색 잡음으로 바꾸어 주는 dynamic 일치 법^[7] 등이 쓰이고 있으나, 이러한 방법들은 하드웨어적인 많은 부담이 따르게 된다.

본 논문에서는 잡음 변형 부호기를 통해 나온 4 비트의 디지털 데이터의 변화량에 해당하는 신호 클럭으로써 전하 누적형 4 비트 내부 D/A 변환기를 구동함으로써 75 dB 이상의 S/N 비를 얻을 수 있는 구조를 제안한다. 이 구조는 전하 누적형의 개념을 씀으로써 수동 소자의 정밀도에 대한 의존도를 그렇게 높이지 않고서도 원하는 성능을 구현할 수 있을 뿐만 아니라, 잡음 변형 부호기 출력의 변화량으로써 D/A 변환을 함으로써 전하 누적형 회로가 갖고 있는 시간적인 손해 요인을 최소화함으로써 감소 시켰다.

II. 전체 회로의 구성

본 연구에서의 과표본화 다중 비트 D/A 변환기의 구조는 그림 1에서 보인 바와 같이 크게 네 개의 블록으로 나누어 진다. 가장 앞쪽에는 입력 신호의 대역 폭을 줄여주는 역할을 하는 보간 회로 단이 있고, 두 번째 단은 2 차 4 비트 잡음 변형 부호기와 그 데이터의 변화량에 해당하는 신호 클럭을 출력하기 위한 미분기 및 디지털 블록이 위치한다. 신호 클럭은 UP, DOWN, REFRESH, OUT이며, 세 번째 단인 4 비트 내부 D/A 변환기를 구동한다. 그리고 마

지막 단에는 내부 D/A 변환기의 출력 파형의 주파수 성분 중에서 신호대역 바깥의 잡음 성분을 감쇄시키기 위한 아날로그 필터 단이 위치한다.

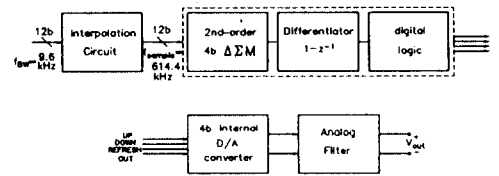


그림 1. 제안하는 과표본화 D/A 변환기의 구조
Fig. 1. Proposed oversampling D/A converter topology.

시스템 전체의 해상도를 결정하는 가장 중요한 요소는 표본화 주파수 f_s 와 신호의 나이퀴스트(Nyquist) 주파수 f_N 과의 비인 과표본화 율(oversampling ratio, OSR)로서, 본 논문에서는 4 비트의 양자화기를 사용할 것을 염두에 두고, 과표본화 율을 32로써 고정시켰다. 1 비트 2 차 Δ - Σ 부호기의 경우 이론적으로 61 dB의 신호 대 잡음 비를 구현할 수가 있으며^[8], 4 비트의 양자화기를 사용함으로써 추가로 24 비트의 신호 대 잡음 비의 이득을 얻을 수 있으므로 전체적으로는 85 dB의 신호 대 잡음 비를 구현할 수 있는 구조이다.

1. 보간 회로 단

보간 회로 단은 9.6 kHz 12 비트의 입력 주파수에 보간 기능을 행하여 614.4 kHz 12 비트의 데이터로 바꾸어 줌으로써 디지털 주파수 영역에서의 신호의 대역폭을 좁혀준다.

신호 재생 이론에 의하면 원하는 시각에서의 복원 파형은 입력된 표본들의 위치에서 중심점을 갖는 각각의 sinc 함수가 복원 위치에 미치는 크기를 모두

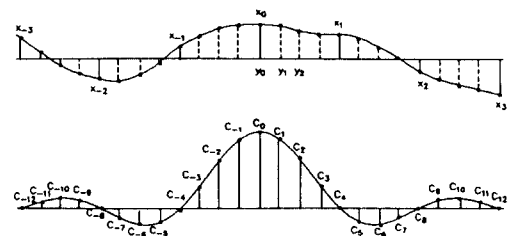


그림 2. 과표본화 율이 4인 경우의 보간 회로의 필터 계수
Fig. 2. Coefficients of the interpolator when OSR is 4.

함한 것과 같다.^[9] 이를 근거로 하여 원하는 성능의 보간된 출력을 얻기 위한 필터의 계수를 설계하는 데 있어서, 그림 2와 같은 구조를 사용하였다.

이상적으로는 sinc 함수의 계수의 개수가 무한히 많아야 하나, 본 논문에서는 두 번째 side lobe까지로 제한하여 계수를 구하였다. 그림 2의 출력 중 y_0 , y_1 , y_2 만을 살펴보면,

$$y_0 = C_{12}X_3 + C_8X_2 + C_4X_1 + C_0X_0 + C_4X_1 + C_8X_2 + C_{12}X_3$$

$$y_1 = C_9X_2 + C_5X_1 + C_1X_0 + C_3X_1 + C_7X_2 + C_{11}X_3$$

$$y_2 = C_{10}X_2 + C_6X_1 + C_2X_0 + C_2X_1 + C_6X_2 + C_{10}X_3$$

가 된다. 이 구조는 필터 계수의 값을 ROM에 저장한 후, 곱셈기와 덧셈기의 연산에 바탕을 두는 FIR 필터 구조로서 과표본화율이 32인 경우에는 193 개의 탭 수가 필요하다.

그림 2에서 보는 바와 같이 sinc 함수의 두 번째 side lobe까지로 계수를 제한한 것은 늘어나는 탭 수에 따라 증가하는 하드웨어를 고려한 때문이며, 이로 인해 필터 특성은 차단 주파수 근처에서 많은 흔들림(ripple)이 발생한다. 또한 side lobe를 더 많이 포함시켜 탭 수를 증가시키면, 필터의 전이 영역(transition region)은 더 좁아진다 하더라도 이 흔들림의 크기를 줄이지는 못한다.^[10] 이와 같은 잘림 효과(truncation effect)를 최소화 하기 위한 하나의 방법으로서, main lobe에 최대한의 에너지를 집중시킨다는 측면에서 가장 최적화된 Kaiser window를 선택하였다. 이와 같은 접근 방법으로써 설계된 ROM 계수 값의 유용성을 평가하기 위하여 모의실험을 행하였다. 보간 회로에 나이퀴스트율의 정현파 입력을 가하고, ROM 계수의 데이터 비트 수

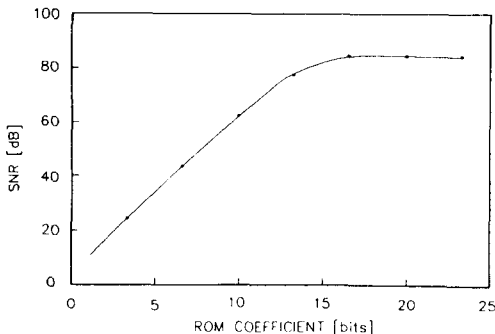


그림 3. ROM 계수의 비트 수에 따른 신호 대 잡음 비의 모의실험 결과

Fig. 3. Simulated S/N ratio according to the number of bits of ROM coefficient.

를 변화시켜 가면서 출력되는 디지털 데이터로써 FFT를 행하여 신호 대 잡음 비를 구하였다.

그림 3의 결과는 그림 2에서 보인 보간 기법이 매우 유용함을 보여준다. 이 결과에 따르면, 원하는 해상도인 74 dB 이상의 신호 대 잡음 비를 구현하기 위해서는 13 비트 이상의 ROM 계수를 설계하여야 함을 나타내고 있다. ROM 계수가 16 비트를 넘어서면서 부터는 더 이상 신호 대 잡음 비의 개선을 얻을 수 없는 데, 이는 신호 대 잡음 비가 window 방법으로 구현할 수 있는 한계에 도달하기 때문이다.

2. 잡음 변형 부호기

두 번째 단은 양자화 잡음을 높은 주파수 쪽으로 옮겨주는 역할을 하는 잡음 변형 부호기, 미분기, 클럭 발생 부분으로써 구성된다. 설계된 잡음 변형 부호기의 표본화-데이터 등가 회로는 그림 4와 같으며, 양자화 동작이 4 비트로써 이루어진다.

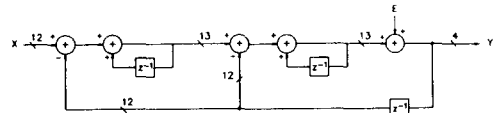


그림 4. 4 비트 2차 잡음 변형 부호기의 표본화-데이터 등가 회로

Fig. 4. Sampled-data equivalent circuit of a 4-bit 2nd order noise-shaping coder.

여기에서 입력 신호와 백색으로 가정된 양자화 잡음 및 출력의 스펙트럼 밀도 함수인 X , E , Y 사이의 z 영역에서의 전달 함수는 (1) 식과 같다.

$$Y(z) = X(z) + (1 - z^{-1})^2 E \tag{1}$$

잡음의 모양은 $z = e^{j2\pi f}$ 를 대입하면, (2) 식의 주파수 특성을 보인다.

$$\left| (1 - z^{-1})^2 \right| = 2 \cdot \left(1 - \cos\left(\frac{2\pi f}{f_s}\right) \right) \tag{2}$$

여기서 f 는 주파수를 나타내고, f_s 는 표본화 주파수로서 614.4 kHz이다. 식 2의 결과는 양자화 잡음의 크기가 신호대역에 해당하는 낮은 주파수 영역에서는 작으며, 높은 주파수 영역에서는 커짐을 보여준다.

그림 5는 설계된 4 비트 2 차 잡음 변형 부호기의 특징을 같은 구조의 1 비트 잡음 변형 부호기와 비교하기 위하여, 2.4 kHz의 정현파 입력을 가했을 때의 신호 대 잡음 비를 모의실험을 통하여 얻은 결과이다.

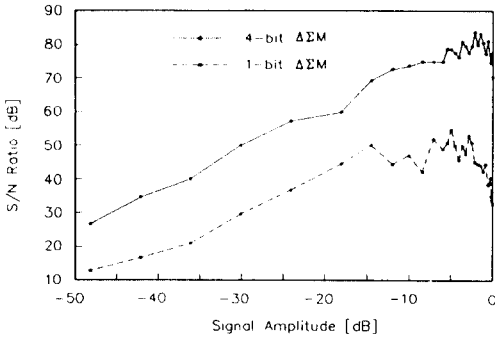


그림 5. 1 비트 구조 및 4 비트 구조의 신호 크기에 따른 신호 대 잡음 비의 모의실험 결과
 Fig. 5. Simulated results of the S/N ratio for both the 1-bit and the 4-bit modulator as a function of input amplitude.

입력으로 DC 전압을 넣지 않고 정현파를 가한 이유는 입력의 크기에 따른 반복 무늬 잡음(pattern noise) ¹¹⁾의 영향이 평균화 되어, 양자화 잡음을 백색 잡음으로 가정한 모델에 의해 예측되는 것과 더 가까워지기 때문이다. 1 비트 $\Delta-\Sigma$ 변조기의 출력은 되먹임 경로에 있는 D/A 변환기를 통하여 최대 크기의 아날로그 전압으로서 입구 단에 되먹임 되므로, 입력되는 신호의 크기가 클 때에는 적분기의 포화를 유도하여 과부하(overloading) 상태가 발생한다. 이 결과에 의하면, 1 비트 잡음 변형 부호기는 입력 신호의 진폭이 -3 dB에서부터 적분기의 과부하 현상에 의한 추가의 잡음이 발생하는 현상을 뚜렷하게 보여 주고 있다.

III. 내부 D/A 변환기의 구조

내부 D/A 변환기는 잡음 변형 부호기, 미분기 및 디지털 블록을 거쳐서 나오는 신호 클럭, UP, DOWN, REFRESH에 의해 구동되는 부분으로서 전체 D/A 변환기의 설계에 있어서 수동 소자의 정밀도를 가장 필요로 하는 부분이다. 본 논문의 전하 누적형 D/A 변환기는 수동 소자로서 적분기의 캐패시터를 사용하지만 이들 간의 불일치는 근본적으로 신호 성분에 영향을 미치지 못하도록 하기 위해 차동형의 구조를 갖도록 설계하였다.

제한하는 내부 D/A 변환기가 단순한 PCM 형의 전하 누적형 D/A 변환기보다 시간 영역에서 더 효과적인 데이터 변환을 할 수 있는 것은 잡음 변형 부호

기의 출력이 그 전 상태의 데이터와 매우 강한 연관성을 가지고 있다는 데에 바탕을 둔다. 신호대역 폭이 제한된 신호의 경우, 잡음 변형 부호기를 통해서 나오는 디지털 데이터의 변화량의 최대값은 과표본화율의 크기와 밀접한 관련이 있다. (1) 식을 살펴보면 과표본화율의 크기가 커질수록 신호 성분의 변화량은 작아짐을 알 수 있다. 이는 출력의 변화량이 작아짐을 의미하므로, 제한하는 구조는 과표본화율이 커질수록 더 효과적인 D/A 변환을 할 수 있다.

그림 4의 잡음 변형 부호기에서 과표본화율과 출력 데이터의 최대 변화량과의 관계를 모의실험을 통하여 구하여 그림 6에 나타내었다.

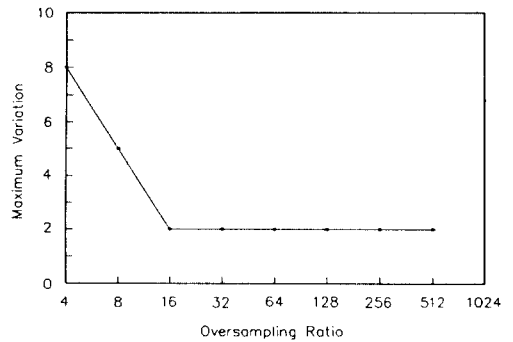


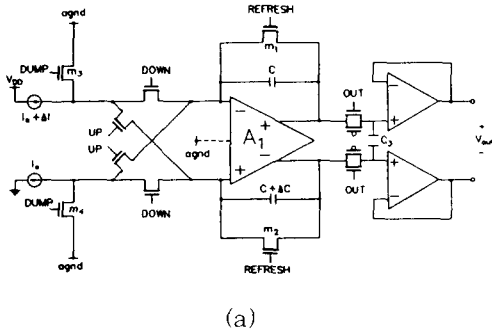
그림 6. 과표본화율과 잡음 변형 부호기 출력의 최대 변화량과의 관계를 모의실험한 결과 (출력 부호는 -8에서 +8까지의 정수이다.)
 Fig. 6. Simulated relationship between OSR and maximum output variation of the noise-shaping coder. (Output codes are integer values from -8 to +8.)

그림 6의 결과에 의해 과표본화율 32에서는 출력 데이터의 최대 변화량이 "2"이므로, 두 개의 클럭 사이클로써 한 번의 데이터 변환을 할 수 있다.

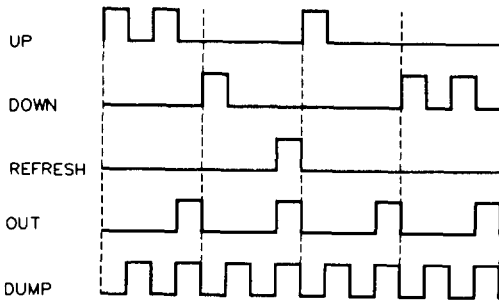
1. 전하 누적형 내부 D/A 변환기

제한하는 회로는 입력되는 신호 클럭에 의해 방향이 조절되는 전류원, 이들의 방향을 바꾸어 주는 스위치, 적분기 및 표본화-유지 회로로써 구성된다. 그림 7은 제한하는 회로 및 클럭 타이밍 도를 나타낸다.

그림 7의 적분기에 사용되는 연산 증폭기는 실질적으로 단일 출력 연산 증폭기 두 개를 사용한 것이다. 표본화-유지 회로는 연산 증폭기의 되먹임이 최대가



(a)



(b)

그림 7. 제안하는 전하 누적형 D/A 변환기의

- (a) 회로도
- (b) 클럭 타이밍 도

Fig. 7. Proposed internal D/A converter.

- (a) circuit.
- (b) timing diagram.

되는 단위 이득 버퍼로써 구현된다. 신호 클럭은 UP, DOWN, REFRESH, OUT이며, 신호 클럭이 비활성화 될 때 전류원의 방향을 아날로그 접지로 빼주기 위한 DUMP가 필요하며, UP과 DOWN 신호의 NOR 출력으로써 구현된다.

전 단인 잡음 변형 부호기 출력 변화량의 부호 및 크기에 해당하는 갯수의 UP 또는 DOWN 신호 클럭이 내부 D/A 변환기를 구동한다.

그림 7과 같은 전하 누적형의 회로는 신호 성분이 적분기 캐패시터 양 단의 전하량으로서 보존되므로, 신호 성분 뿐 아니라 적분기 누설에 의한 오차 및 스위치와 관련된 클럭 피드스루 오차 등이 계속해서 누적된다. 이 현상을 효과적으로 극복하기 위한 방법으로서, 적절한 시기에 적분기 캐패시터의 양 단의 전하를 방전시켜 출력 전압을 초기화 하는 기법을 도입하였다. 이를 위해 잡음 변형 부호기의 출력 부호

가 특별한 값일 때, 신호 클럭 REFRESH가 활성화 되도록 설계하였다. REFRESH 클럭이 자주 활성화 된다는 것은 그만큼 내부 D/A 변환기의 전기적 잡음을 최소화 시킬 수 있다는 것을 의미하므로, 되도록 자주 발생하는 부호를 선택하는 것이 유리하다. 잡음 변형 부호기의 출력 부호가 0인 경우의 발생 확률이 가장 높음을 인식하고, 이 부호 값이 출력될 때 REFRESH가 활성화 되도록 하였다. REFRESH가 활성화 되는 타이밍은 데이터 변환을 위해 필요한 시간을 최소화 시키기 위해 UP, DOWN 신호가 모두 비활성화 되는 시점을 이용한다. 그림 6의 분석 결과에 따르면, 과표본화율이 32일 때는 두 클럭마다 한번의 데이터 변환이 가능하므로 OUT은 그림 7의 (b)와 같은 타이밍을 갖는다.

내부 D/A 변환기에 포함되는 전류원은 전류 소스(source)와 전류 싱크(sink)의 두 가지가 있다. 이들은 신호 클럭 UP, DOWN이 활성화 되는 시간 동안에 적분기의 캐패시터에 전하를 공급함으로써 여기에 해당하는 전압의 변화를 일으킨다. 전류 소스의 크기를 $I_0 + \Delta I$, 전류 싱크의 크기를 I_0 라 하고, 신호 클럭의 폭을 τ , 적분 캐패시터의 값을 각각 C, C+ ΔC 라고 하면, 신호 클럭 UP 또는 DOWN의 한 주기에 의해 유발되는 출력 전압의 변화는 (3) 식으로써 표시된다.

$$\Delta V_{DOWN} = \left(\frac{I_0 + \Delta I}{C} + \frac{I_0}{C + \Delta C} \right) \tau \tag{3}$$

$$\Delta V_{UP} = \left(\frac{I_0 + \Delta I}{C + \Delta C} + \frac{I_0}{C} \right) \tau$$

한 주기의 신호 클럭에 의해 유발되는 출력 전압을

$$\Delta V = \frac{\Delta V_{UP} + \Delta V_{DOWN}}{2}$$

으로써 정의하면, 상대 오차는 (4) 식으로써 나타내어진다.

$$\frac{|\Delta V_{UP} - \Delta V_{DOWN}|}{\Delta V} \approx \frac{1}{2} \frac{\Delta I}{I_0} \cdot \frac{\Delta C}{C} \tag{4}$$

이 결과는 신호 클럭의 폭이 일정하다면 상대 오차는 캐패시터 간의 불일치 및 전류원의 불일치에 의한 변이율의 곱의 형태로서 나타나므로 그 영향을 크게 받지 않음을 보여준다.

이러한 차동형 구조에 의하여, 전류 소스와 전류 싱크의 불일치에 의한 오차, 캐패시터 변이에 의한 오차 및 스위치 트랜지스터의 클럭 피드스루에 의한 오차 등, 공통 성분의 오차(common-mode error)

를 서로 상쇄시키는 효과를 거둬으로써 수동 소자의 정밀도에 많이 의존하지 않고서도 높은 해상도를 얻을 수 있다.

그림 7의 회로에서 사용된 캐패시터 C₃는 표본화-유지 회로에 연결되는 CMOS 스위치가 꺼질 때 나타나는 전하 재분배 효과(charge redistribution effect)에 의하여 발생하는 오차를 최소화 하기 위해 사용된 것이다. 스위치가 꺼질 때 나타나는 오차는, 신호에 의존하지 않는(signal independent) 성분과 신호에 의존하는(signal dependent) 성분으로 나뉠 수 있다. 신호에 의존하지 않는 성분의 경우에는 제안하는 구조가 전체적으로 차동형 구조를 취하므로 출력 신호의 전압에는 아무런 영향을 미치지 않으나, 신호에 의존하는 성분의 경우에는 출력 신호에 영향을 미치게 된다. 그러나 캐패시터 C₃가 있음으로 해서 스위치가 꺼지기 전과 꺼진 후의 C₃ 양 단 사이의 전하량은 보존되어야 하므로 신호에 의존하는 오차는 감소된다.

전류원

그림 8은 전류 소오스와 전류 싱크를 일치시키기 위해 사용한 회로이다. 이 구조에서는 전류 소오스와 전류 싱크의 출력 저항의 유한성에 의한 채널 길이에 의한 효과(channel-length-modulation effect)를 고려하여 m₁ 및 m₂의 채널은 길게 설계하였다. 또한 m₃, m₄와 m₁, m₂의 채널 길이에 의한 효과를 최소화 하기 위해 드레인 전압의 고정을 위한 증폭기가 포함되었다.

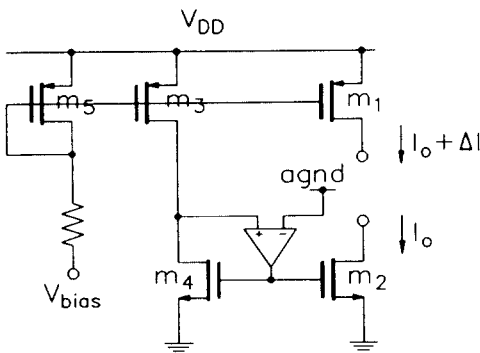


그림 8. 전류 소오스와 전류 싱크를 일치시키기 위한 회로

Fig. 8. Circuit to match current source and sink.

이런 연결 구조의 경우 전체적인 위상 특성이 나빠

지게 되나, 사용된 증폭기가 단순한 차동 증폭 단이며 각 노우드에서의 전압이 고정되어 있으므로 발생할 우려는 없다. 출력 전류 I_o의 크기는 외부에서 가해 주는 단일 전압 V_{bias}를 변화시킴으로써 전류의 크기를 조절 할 수가 있다.

AB 급 연산 증폭기

내부 D/A 변환기의 적분기에 사용되는 연산 증폭기는 AB 급의 단일 출력 연산 증폭기를 두 개 사용한 것이다. 제안하는 구조에서 요구되는 연산 증폭기의 성능은 고조파 왜곡이 작고, DC 이득이 크며, 전하 누적형의 개념을 사용함으로써 발생하는 시간 상의 불리함을 수용할 수 있도록 충분한 크기의 단위 이득 주파수를 가지는 것이다. 그림 9는 본 연구에서 사용된 AB 급의 연산 증폭기이다.

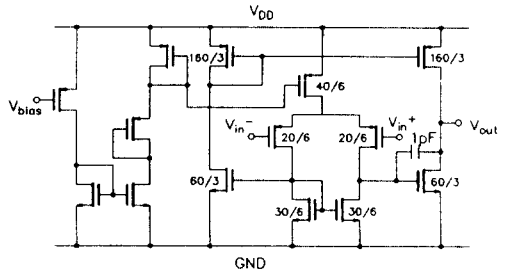


그림 9. AB 급의 연산 증폭기
Fig. 9. Class AB operational amplifier.

2. 설계된 전하 누적형 D/A 변환기의 성능

제안하는 전하 누적형 D/A 변환기의 성능을 평가 하기 위하여, 그림 1의 과표본화 D/A 변환기의 입구 단에 2.4 kHz의 주파수와 0 dB의 진폭을 갖는 나이퀴스트 율의 정현파를 가하여 디지털 블록에서 신호 클럭을 발생시키고 이로써 제안하는 내부 D/A 변환기를 구동하였다. 내부 D/A 변환기에 대한 모의실험은 SPICE를 사용하였으며 그 출력 파형을 표본화 한 후, FFT를 행하여 주파수 특성을 관찰하였다.

신호대역 내의 주파수에 해당하는 정현파를 가하면, 신호대역 내에서도 이 신호에 의한 고조파 잡음 성분들이 발생하게 된다. 그 이유는 주로 사용되는 연산 증폭기가 완전히 선형적이지 못하고, 고조파 왜곡 특성을 보이기 때문이다. 위의 모의실험에서 9.6 kHz 신호대역 안에서 신호 전력과 잡음 전력의 비를 계산한 결과, 제안하는 내부 D/A 변환기가 75.1 dB의 신호 대 잡음 비를 구현할 수 있음을 보여주고 있다. 그러므로 이 구조는 12 비트 이상의 해상도를 얻

는 데에 적합한 구조이다.

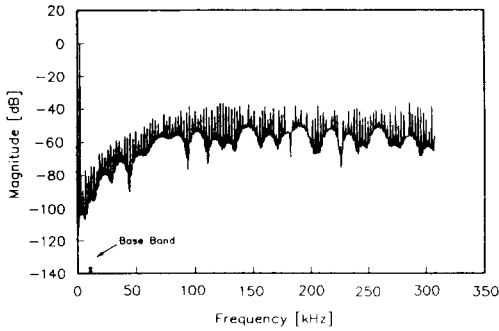


그림 10. 내부 D/A 변환기 출력의 주파수 특성
 Fig. 10. Frequency characteristic of the internal D/A converter output.

IV. 실험 결과

제안하는 과표분화 D/A 변환기를 검증하기 위해 사용한 실험 구조를 그림 11에 블록도로써 나타내었다.

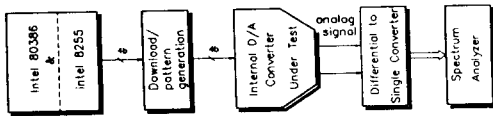


그림 11. 내부 D/A 변환기의 특성 측정을 위한 실험 구조
 Fig. 11. Block diagram of the measurement setup.

아날로그 회로를 구동하기 위한 신호 클럭을 발생시키기 위해서는 보간 회로, 잡음 변형 부호기 및 이의 변화량을 내보내는 디지털 논리 회로가 필요하다. 측정의 용통성을 위해, 디지털 데이터는 제작된 칩 바깥에서 80386 마이크로 프로세서를 이용하여 제작된 블록 시뮬레이터를 통해 발생시킨다. 발생된 4 비트를 아날로그 칩에 가해주기 위해서 마이크로 프로세서의 주변 소자인 인텔 8255A를 사용하여 접속 카드(interface card)를 제작하였다. 또한 제작된 접속 카드를 통하여 출력되는 디지털 데이터를 수용하기 위해서 따로 패턴 발생 보드를 제작하였다. 아날로그 부분인 제안하는 전하 누적형 내부 D/A 변환기는 이중 금속선 구조의 1.5- μm CMOS 공정으로써 칩으로 제작하였다. 칩에서 발생하는 차동 신호를 단일

출력으로 바꾸어 주는 차동 입력-단일 출력 변환 회로를 거쳐 나온 신호를 아날로그 스펙트럼 분석기에서 측정하여 신호 대 잡음 비를 구함으로써 그 성능을 분석한다.

그림 12는 1.5- μm CMOS 공정으로써 구현된 내부 D/A 변환기 칩의 현미경 사진이다.

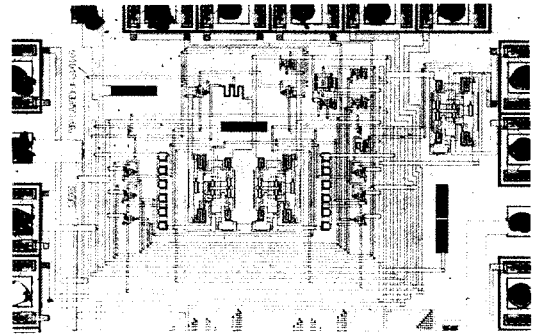


그림 12. 내부 D/A 변환기의 칩 사진
 Fig. 12. Microphotograph of the internal D/A converter.

구현된 내부 D/A 변환기는 약 $950 \times 660 \mu\text{m}^2$ 의 능동 영역을 차지한다. 제안하는 전하 누적형 내부 D/A 변환기의 가장 중요한 아날로그 블록은 연산 증폭기로서 이의 동작 속도 및 정밀도는 전체 회로의 성능에 큰 영향을 미친다. 그림 9의 연산 증폭기를 측정한 결과, 표 1과 같은 성능을 얻었다.

표 1. 측정된 연산 증폭기의 특성

Table 1. Measured performance of the operational amplifier.

공급 전압	+5 V
칩 면적	$190 \times 125 \mu\text{m}^2$
개 루프 전압 이득	65 dB
슬루율	$S_R' = 3.81 \text{ V}/\mu\text{sec}$ $S_R = 8.57 \text{ V}/\mu\text{sec}$
단위 이득 대역폭	5 MHz
위상 여유	50°
개 루프 THD	0.18%
오프셋 전압	1 mV
소모 전력	6.5 mW

연산 증폭기의 단위 이득 주파수 및 위상 여유는 내부 D/A 변환기의 동작 속도를 결정한다. 그림 13은 과표분화율이 32일 때, 클럭 주파수 f_{CK} 를 변화

시키면서 내부 D/A 변환기 출력의 신호 대 잡음 비를 측정된 결과이다.

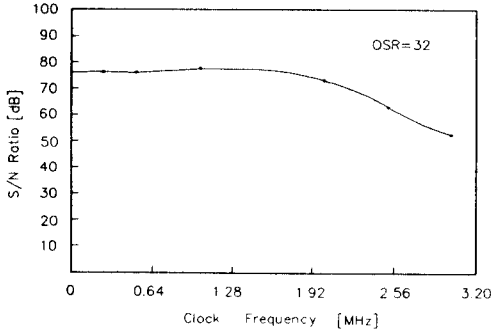


그림 13. 클럭 주파수 f_{CK} 의 변화에 따른 내부 D/A 변환기의 측정된 피크 신호 대 잡음 비

Fig. 13. Measured peak S/N ratio of the internal D/A converter as a function of clock frequency f_{CK} .

여기서는 신호대역의 끝에 해당하는 주파수의 정현파를 가하여 신호대역 내에서의 고조파 왜곡 잡음을 배제함으로써 피크 신호 대 잡음 비를 측정하였다. 주어진 과표본화 율에 있어서 클럭 주파수가 커질수록 데이터의 변환 속도가 빨라지며 연산 증폭기 및 전기적 잡음에 의한 성능의 저하가 내부 D/A 변환기의 성능을 떨어뜨리는 요인이 된다. 그림 13의 결과를 분석하여 보면 클럭 주파수가 1.5 MHz일 때부터 성능의 저하가 심각하게 드러나는 데, 이는 연산 증폭기의 측정된 단위 이득 주파수가 5 MHz로 제한되기 때문이다.

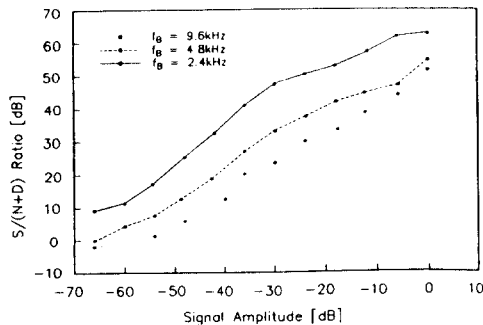


그림 14. 입력 정현파의 진폭의 크기에 따른 신호 대 전체 잡음 비의 측정 결과

Fig. 14. Measured S/(N+D) ratio as a function of input signal amplitude.

클럭 주파수 f_{CK} 는 1.23 MHz로서 고정시키고 신호대역 f_B 의 크기를 변화시켜 가면서 측정된 결과, f_B 가 2.4 kHz일 때는 약 61.5 dB의 신호 대 전체 잡음 비를 얻었고, f_B 가 9.6 kHz일 때는 51.4 dB의 신호 대 전체 잡음 비를 얻었다. 신호대역 내에 고조파 왜곡 신호가 없을 때의 피크 신호 대 잡음 비에 비해 12 dB 정도 못한 결과이다. 특히, 입력 신호의 크기가 -30 dB 이상일 때에는 $\Delta-\Sigma$ 변조기의 정밀도는 양자화 잡음에 의한 것보다는 신호의 고조파 성분에 의한 오차가 훨씬 더 심각한 영향을 미치기 때문에 진폭의 증가에 따른 신호 대 전체 잡음 비의 개선의 정도가 상당히 둔화되는 것을 볼 수 있다. 2차 $\Delta-\Sigma$ 변조기에서 과표본화 율이 두 배가 되면 15 dB의 신호 대 잡음 비의 개선이 이루어져야 하나, 연산 증폭기의 고조파 잡음이 우세하므로 15 dB의 개선을 얻을 수 없다. 연산 증폭기의 DC 입력이 매우 크지 않거나 공통 입력 영역이 제한될 때는, 입력 신호의 크기가 커지면 연산 증폭기의 바이어스 전압에 영향을 미치게 되고 고조파 왜곡 잡음을 발생시킨다. 따라서 제작된 내부 D/A 변환기의 신호 대 전체 잡음 비를 감소시키는 요소로는 무엇보다도 과표본화 율이 회로에 사용된 연산 증폭기의 비선형성에 의한 영향 때문이라고 할 수 있다.

또한 적분기에 사용된 캐패시터가 이중 폴리 층(double poly) 사이에 만들어진 것이 아니라 캐패시터의 아랫 부분의 층은 이온 주입 층으로 이루어져 있으므로, 전압에 의존하는 캐패시턴스가 신호의 왜곡을 일으킨다.

표 2는 제작된 4 비트 내부 D/A 변환기의 측정된 특성을 정리한 것이다.

표 2. 내부 D/A 변환기의 측정 결과

Table 2. Measured result of the internal D/A converter.

과표본화 비	32
피크 신호 대 잡음 비	75 dB
신호 대 전체 잡음 비	
$f_B = 2.4 \text{ kHz}$ 0 dB	61.6 dB
$f_B = 9.6 \text{ kHz}$ 0 dB	51.4 dB
클럭 주파수 f_{CK}	1.23 MHz
공급 전압	+5 V
소모 전력	27 mW
사용된 공정	1.5- μ m CMOS
칩 면적	950 X 660 μ m ²

V. 결론

12 비트의 해상도를 가지는 과표본화 D/A 변환기를 설계함에 있어서 다중 비트 구조를 선택하고 수동 소자의 정밀도에 대한 요구를 최소화 할 수 있는 전하 누적형 내부 D/A 변환기를 차동형으로 설계하였다. 따라서 공정 변이에 따른 수동 소자 및 전류원의 불일치에 의한 오차는 공통 성분 잡음으로서 효과적으로 제거된다. 또한 전하 누적형의 회로가 가지는 시간 축 상의 불리함을 최소화 하기 위해 잡음 변형 부호기 출력의 변화량의 정보에 해당하는 신호 클럭으로써 내부 D/A 변환기를 구동하였다. 적분기에 누적되는 잡음 전력을 제거하기 위해 특별한 코드에서는 재충전이 되도록 설계하였다. 제안하는 내부 D/A 변환기의 성능을 측정하기 위하여, 이중 금속선 구조의 1.5- μ m CMOS 공정으로써 아날로그 칩을 제작하였다. 제작된 아날로그 칩을 구동하기 위해, 신호 클럭을 발생시키기 위한 디지털 부분은 블록 시뮬레이터로써 구현하였으며, 이들 사이의 접속을 위해서 컴퓨터 접속 카드 및 패들 발생 보드를 제작하였다. 제작된 칩의 출력 파형은 스펙트럼 분석기로써 측정하여 신호대역 내에서의 신호 대 잡음 비를 구하였다. 측정 결과의 분석으로부터, 설계된 회로는 75 dB 이상의 고해상도의 D/A 변환에 적용될 수 있을 것으로 생각되어 진다.

參考文獻

- [1] J. C. Candy, "A Use of Limit Cycle Oscillations to Obtain Robust Analog-to-Digital Converters," *IEEE Trans. Commu.*, vol. COM-22, pp. 298-305, Mar. 1974.
- [2] C. Wolff and L. R. Carley, "Modeling the Quantizer in Higher-Order Delta-Sigma Modulators," *International Symposium on Circuits and Systems*, Helsinki Finland, June 1988.
- [3] J. W. Scott, W. Lee, C. Glancarlo and C. G. Sodini, "A CMOS Slope Adaptive Delta Modulator," *Proceedings of the 1986 ISSCC*, pp. 130-131, Feb. 1986.
- [4] R. W. Adams, "Design and Implementation of an Audio 18-bit A/D Converter using Oversampling Techniques," *J. Audio Eng. Soc.* vol. 34, No. 3, pp. 153-166, Mar. 1986.
- [5] T. Cataltepe, A. R. Kramer, L. E. Larson, G. C. Temes and R. H. Walden, "Digitally corrected multi-bit $\Delta\Sigma$ data converters," *IEEE Proc. International Symposium on Circuits and Systems*, pp. 647-650, May 1989.
- [6] L. E. Larson, T. Cataltepe and G. C. Temes, "Multibit oversampled - A/D converter with digital error correction," *Electronics Letters*, vol. 24, pp. 1051-1052, Aug. 1988.
- [7] L. R. Carley and J. Kenney, "A 16-bit 4'th order noise-shaping D/A converter," *IEEE Proc. Custom Integrated Circuits Conference*, pp. 21.7.1-21.7.4, 1988.
- [8] Bhagwati P. Agrawal and Kishan Sheno, "Design Methodology for $\Sigma\Delta$ M," *IEEE Trans. Communication* vol. COM-31, pp. 360-370, Mar. 1983.
- [9] A. V. Oppenheim, R. W. Schaffer, *Digital signal processing*, Prentice Hall, Inc., Englewood Cliffs, 1975.
- [10] P. P. Vaidyanathan *Multirate systems and filter banks*, Prentice Hall, Inc., Englewood Cliffs, 1976.
- [11] J. C. Candy and O. J. Benjamin, "The Structure of Quantization Noise from Sigma-Delta Modulation," *IEEE Trans. on Commun.*, Sep. 1981.

著 者 紹 介



金大井(正會員)

1964年 12月 22日生. 1987年 서울대학교 전자공학과 졸업. 1989年 서울대학교 전자공학과 석사학위 취득. 1989年 ~ 현재 서울대학교 전자공학과 박사과정 재학. 주관심분야는 데이터 변환 회로.

아날로그 신호 처리, 기억 소자 등임.



金元燦(正會員)

1945年 11月 7日生. 1972年 서울대학교 전자공학과 졸업. 1976年 독일 아헨대학교 전기공학과 석사학위 취득. 1981年 독일 아헨대학교 전기공학과 박사학위 취득. 1982年~ 현재 서울대학교 공과

대학 전자공학과 교수로 재직중. 현재의 주관심분야는 기억소자, 데이터 변환 회로, 퍼지 칩, 화상 신호 처리 칩 등임.



鄭德均(正會員)

1981年 2月 서울대학교 전자공학과 학사. 1984年 8月 서울대학교 전자공학과 석사. 1989年 5月 U. C. Berkeley 전기 및 컴퓨터 공학 박사. 1989年 6月 ~ 1991年 8月 Texas Instruments VLSI

Design Lab. 연구원. 1991年 8月 ~ 현재 서울대학교 전자공학과 및 반도체 공동 연구소 조교수. 주관심분야는 Microprocessor, 고속 VLSI의 설계, Memory 시스템 등임.



金成駿(準會員)

1992年 2月 서울대학교 전자공학과 학사. 1992年 ~ 현재 서울대학교 전자공학과 석사과정 재학. 주관심분야는 $\Delta-\Sigma$ A/D 변환기, PLL, 고속 CMOS 회로 등임.



朴宰璉(準會員)

1992年 2月 한국과학기술원 학사과정 전기 및 전자공학과 졸업. 1992年 ~ 현재 서울대학교 전자공학과 석사과정 재학. 주관심분야는 $\Delta-\Sigma$ A/D, D/A 변환기 설계 등임.