

# CMOS 회로의 ESD에 대한 신뢰성 문제 및 보호대책

## (Reliability Analysis of CMOS Circuits on Electrostatic Discharge)

洪誠模\*, 元太映\*\*

(Sung Mo Hong and Tae Young Won)

### 要約

정전기(Electrostatic Discharge, ESD)는 현재 VLSI 칩의 오동작 및 신뢰성 저하의 주요한 요인 중 하나이다. 현재의 미세 MOS 공정의 산화막의 두께가 100~300Å 이고, 정전기 전압 크기가 수천 볼트(volt)가 될 수 있으므로, MOS 칩의 입력 및 출력단의 단자들이 적절히 보호되지 않으면, 내부회로에 치명적인 손상을 주게 된다. 본 논문에서는 Human Body Model(HBM)에 근거한 ESD 펄스 인가시의 과도상태 분석(transient analysis)을 통해 ESD에 의한 소자 파괴의 물리적인 현상을 조사 연구하였다. 또한 입출력 보호회로에서 ESD에 의한 소자의 파괴 기구(failure mechanism)를 이해하기 위해 열전도 현상을 고려한 2차원 시뮬레이터를 이용하여 분석하였다. 분석된 결과를 바탕으로 입출력 보호회로를 설계하는 방법에 대하여 논의 하였다.

### Abstract

Electrostatic Discharge(ESD) is one of the major reliability issues for today's VLSI production. Since the gate oxide with a thickness of 100~300Å is vulnerable to several thousand volt of ESD surge, it is necessary to control the ESD events and design an efficient protection circuit. In this paper, physical mechanism of the catastrophic ESD damage is investigated by transient analysis based upon Human Body Model(HBM). Using two-dimensional electrothermal simulator, we study the failure mechanism of the output protection devices by ESD and discuss the design issues for the optimum protection network.

### 1. 서론

CMOS 공정개발에 있어서 신뢰성의 문제는 채널

---

\*準會員, \*\*正會員, 仁荷大學校 電子材料工學科  
(Dept. of Elec. Materials and Devices,  
Inha Univ.)

接受日字: 1993年 1月 25日

의 열전자(hot electron) 문제, 금속배선의 열화 문제, 실리콘 산화막의 절연성 문제, 정전기 내구성 문제 등이 주로 관심의 대상이 된다. 그중에서도 통상 ESD라 불리는 정전기에 의한 반도체 칩의 파괴는 집적회로 시스템의 주된 파괴현상 중의 하나로서, 물리적인 이해와 설계상의 노하우(know-how)가 필요하다. 바이폴라 트랜지스터에 비해 MOSFET는 입력 임피던스가 크기 때문에 ESD에 대해 더욱 취약하다.

1.0 $\mu$  CMOS 공정의 경우 게이트 산화막의 두께가 300Å 이라면 게이트 산화막의 항복전계의 세기가 8~10x10<sup>6</sup>V/cm 이므로 20~30V 정도의 전압 펄스가 인가되어도 게이트 산화막은 심하게 손상을 받을 수 있다. 실제로 반도체 칩에는 수천 볼트의 순간 최고치를 갖는 정전기 펄스가 인가되어질 수 있으므로 칩 내부회로를 보호하기 위해서는 ESD의 물리적 현상에 대한 이해와 적절한 ESD 보호회로가 설계되어야 한다. 본 논문에서는 시뮬레이터에 의하여 ESD의 물리적 현상을 고찰하고, 모델링 및 테스트 방법, 입출력 완충용 소자(I/O buffer driver)에 쓰이는 소자의 파괴현상 및 대책으로서 기술적 해결방안등을 논의하고자 한다. 또한 입출력 완충용 소자의 취약부분인 NMOS 트랜지스터의 파괴 기구 및 그 요인을 조사하기 위하여 2차원 시뮬레이터를 이용하여 ESD 인가시의 정상상태 및 과도상태에서의 온도의 분포를 논의한다.

### II. ESD 보호회로 설계

반도체 칩에 인가되어지는 ESD 전압은 수천 볼트가 될 수 있으므로, 입력 및 출력 게이트에 적절한 보호회로를 연결하여, 내부 회로에 ESD 에너지가 전송되기 이전에 보호회로가 ESD 펄스를 우회시켜야 한다. 이때에 ESD를 내부회로로부터 우회시키는 보호회로는 ESD 펄스 에너지를 충분히 견딜 수 있을 정도로 설계되어야 한다. ESD 보호회로는, ESD가 인가될 때는 우회 회로로서 동작을 하지만, 회로가 정상 상태로 동작할 때에는 입출력 단자와 내부회로 사이에 전혀 영향을 주어서는 안된다. ESD 보호회로는 다이오드 및 트랜지스터의 비파괴적인 항복 현상을 이용하여 구성하게 된다. 즉 ESD 보호회로에서 다이오드는 정상 동작에서는 역방향으로 전압이 인가되고, ESD 펄스가 인가될 때에는 순방향으로 도통되어 ESD 에너지를 흡수할 수 있어야 한다. 그림 1(a)에 간단한 ESD 보호회로를 소개하였다. 저항 R<sub>1</sub> 및 R<sub>2</sub>는 다이오드 D<sub>1</sub>과 D<sub>2</sub>가 도통될 때에 과도한 전류가 흐르지 않도록 억제하고, R<sub>2</sub>는 실제 내부회로로 ESD 펄스가 전달되기 전에 RC 시간 지연을 주어서 ESD 에너지를 흡수할 수 있도록 한다. V<sub>SS</sub>에 대해 양의 ESD 펄스가 캐드를 강타했을 경우(이를 앞으로 양의 ESD라 부르기로 한다.) 다이오드 D<sub>1</sub>은 순방향으로 인가되어지고, 음의 펄스가 인가되었을 경우에는 D<sub>2</sub>가 도통되어 ESD 에너지를 흡수하게 된다. 이때에 다이오드에 걸리는 전압은 1V 미만으로, 다이오드 및 저항은 ESD 펄스의 에너지를 RC 지연시간

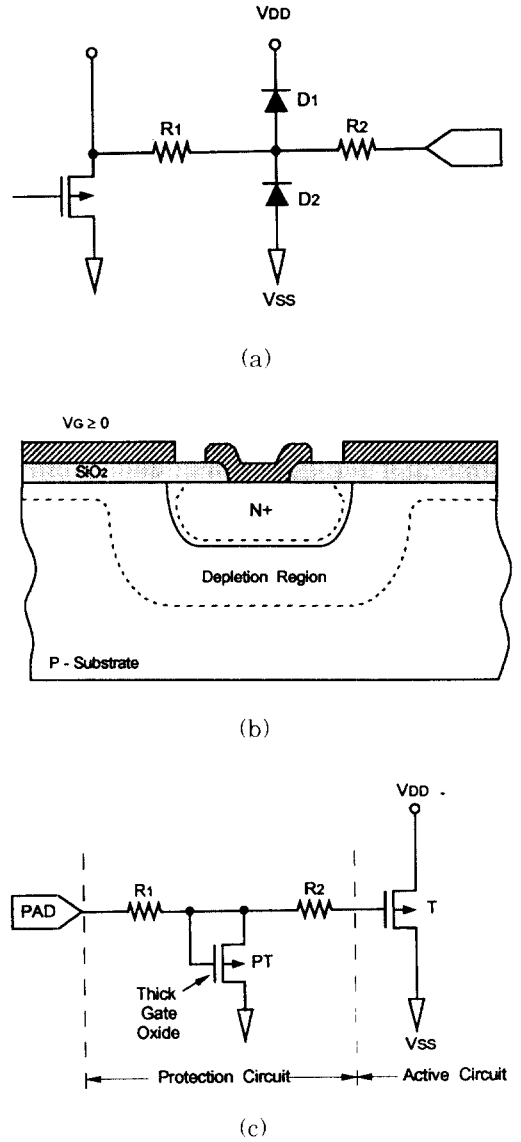


그림 1. ESD 보호 회로와 보호 소자

- (a) 다이오드를 사용한 보호 회로
- (b) 게이트 다이오드
- (c) MOSFET를 사용한 보호 회로

Fig. 1. ESD protection circuits and devices.

- (a) Protection circuit with diodes.
- (b) Gated diode.
- (c) Protection circuit with MOSFETs.

을 유도해서 내부회로로 전달시키지 않고 자기 자신이 손상을 받지 않으면서 보호회로가 흡수해낼 수 있어야 한다. 보호회로에서 저항 성분을 구현하기 위해

서는 확산 저항(diffusion resistor) 또는 다결정 저항(poly resistor)을 사용하게 되는데 각각 장단점이 있다. 확산 저항은 ESD가 인가되었을 때, 저항에서 발생하는 열을 기판(substrate)으로 확산시킬 수 있는 장점을 가지고 있다. 반면에 다결정 저항은 실리콘에 비해 열전도도가 나쁜 필드 산화막(field oxide) 위에 놓이게 되므로 ESD에 의해 녹아 손상될 위험이 있다.<sup>1</sup> 그러나 다결정 저항은 확산 저항보다 캐패시턴스를 적게 야기시키므로, 반도체 칩의 속도면에서 유리하다. 그에 비해 확산 저항은 ESD 펄스가 인가될 때, 소수 캐리어의 주입인자(injector)로 작용하여 CMOS 소자를 래치업(latch-up)으로 이끌어갈 위험이 있다. 따라서 효율적인 보호환(guard ring) 및 소자 격리방법으로 이러한 파괴 현상을 방지할 수 있다.

현재 사용되고 있는 집적회로 공정에서는 실리콘과 산화막 경계면이 만나는 접합 부근에 강한 전계가 걸리게 된다. 그림 1(b)와 같이 게이트 다이오드(gated diode)를 사용하여 항복 강도를 증가시킬 수 있다. 게이트에 인가한 전압으로 항복 강도를 변조하는 방식을 게이트 다이오드라 한다. 음의 ESD 펄스가 패드를 강타하면, n-p 접합은 순방향으로 인가되고, 게이트 전압을 1V 이하로 유지한다. 한편 패드에 양의 ESD 펄스가 인가되면, 드레인 접합은 역방향으로 인가 되고 항복이 일어나게 된다. 이때에  $V_{SS}$ 에 연결된 게이트는 항복이 낮은 전압에서 일어나도록 유도시킨다. 이와같은 게이트 다이오드는 NMOS 공정기술에서 더욱 효과적인 보호소자로 사용되어질 수 있다. ESD 보호 트랜지스터는 정상 상태에서는 차단되어 있다가, ESD 전압이 인가될 때에는 도통상태로 될 수 있도록 필드 산화막 트랜지스터(TFO)를 사용하게 된다. 즉 음의 ESD 펄스가 인가되면 NMOS 트랜지스터의 드레인 접합이 순방향으로 인가되어 입력 전압을 1V 이내로 제한하게 한다. 양의 ESD 펄스가 패드에 인가되면, ESD 전압이 필드 산화막 트랜지스터의 문턱 전압보다 크게 되므로, 보호 트랜지스터로서 도통되어 전류가 흐르게 된다. 이때에 필드 산화막 트랜지스터의 문턱 전압은 ESD가 인가될때에만 도통이 되도록 조절되어야만 한다.

실제로 MOSFET는 ESD 에너지를 다이오드와는 다른 방법으로 소화해 낸다. 다이오드의 경우 다이오드 보호소자는 기판을 통해 ESD 에너지를 흡수한다. 반면에 MOSFET 보호소자는 ESD 전류를 표면을 통해 소스로 흡수시켜야 한다. 따라서 많은량의 ESD 전류를 감당해내기 위해서는 좋은 금속 접지(metal contact)가 필요하게 된다. 그림 1(c)에 도시한 바와

같이, MOSFET를 이용한 ESD 보호회로의 경우 ESD 펄스가 패드에 인가될 경우 ESD 전압이 필드 산화막 트랜지스터의 문턱 전압보다 크게 되므로, 소스와 드레인을 도통시키게 된다. 만약 드레인과 소스의 간격이 충분히 작다면, 드레인의 공핍영역(depletion region)이 소스의 공핍영역과 겹치게 되어 펀치스루(punch-through)가 일어나 실제로는 문턱 전압보다 낮은 전압에서 전류가 흐르게 된다. 이때에 펀치스루 전압은 소스와 드레인의 간격에 의해 결정되어 진다.

그림 2에 도시한바와 같이 풀다운 트랜지스터(TD)의 접지와 NMOS 보호회로 소자의 접지가 접지 패드까지 서로 다른 버스로 연결되어 있다면 보호 소자에 직렬로 연결되어 있는 접지 버스선의 저항 성분에서 전압 강하로 인하여 풀다운 트랜지스터의 게이트에 과도한 전압이 인가되게 된다. ESD 인가시 게이트 산화막에 걸리는 과도한 전압은 풀다운 트랜지스터에 극심한 손상을 입힐수 있다. 이러한 풀다운 트랜지스터를 ESD 과전압으로부터 보호하는 방법은 게이트 접지된 트랜지스터(TG)를 풀다운 트랜지스터의 게이트와 소스 사이에 연결시켜주므로써 풀다운 트랜지스터의 게이트에 걸릴수 있는 고전압을 크램핑(clamping)시킬 수 있다. 이때에 풀다운 트랜지스터를 보호하기 위하여 게이트 접지된 트랜지스터를 빨리 항복시켜 ESD 에너지를  $V_{SS}$ 로 흡수하기 위해서는 작은 크기의 얇은 게이트 산화막 트랜지스터를 사용하는 편이 좋다.<sup>2</sup> 그림 2에 도시된 바와 같이 150~300 $\Omega$  정도의 저항을 사이에 두고 필드 산화막 트랜지스터와 게이트 접지된 트랜지스터로 보호회로

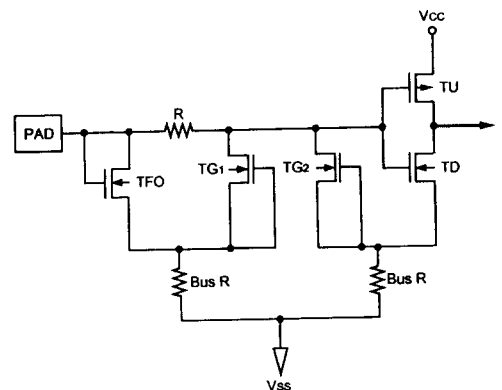


그림 2. 접지 버스에서의 전압 강하를 고려한 입력 단 보호 회로

Fig. 2. Input protection scheme, not affected by ground bus resistance.

를 구성 한다. 이때 저항은 게이트 접지된 트랜지스터에 인가되는 전류의 크기를 감소시켜 트랜지스터를 보호할 수 있다.

실제로 내부 회로의 Vss 접지(Vssi)와 입출력 완충용 접지(Vsso)는 분리하여 사용하는 편이 잡음면에서 유리하다. 내부회로의 접지와 출력단의 패드용 접지는 Vss 패드에서 만나게 할 수도 있고, 각각 서로 다른 패드를 사용하고 리드 프레임(lead frame)에서 함께 본딩(bonding) 할 수도 있다. 또다른 세번째 방법은 내부회로의 접지와 출력단 완충용 소자의 접지를 달리하여 서로 다른 Vss 단자를 사용 한다. 따라서 내부회로의 접지 혹은 well 전력용 전극으로부터 Vss 패드까지의 접지 버스선에는 기생저항 및 인덕턴스 성분이 나타나게 된다. 필드 산화막 트랜지스터가 스냅백 항복(snap-back breakdown)을 일으켜 도통되면 필드 산화막 트랜지스터는 ESD 에너지를 뿜아내는 주된 보호회로로 동작하게 된다. 이때에 그림 2에 표현되어 있는 것과 같은 직렬 버스 기생 저항이 존재하게 됨으로써 생기는 전압 강하는 풀다운 트랜지스터의 산화막을 쉽게 파괴시킬 수 있다. 이러한 버스 기생저항에 의한 전압강하는 가장 흔히 일어나는 산화막 파괴원인이 된다. 그림 2에서 보여 주는 바와 같이 TG<sub>2</sub> 트랜지스터를 TD의 게이트와 소스 사이에 연결하여 접지 문제를 해결할 수 있다.

### Ⅲ. ESD 항복전압 테스트 방식

제조된 반도체 칩은 ESD 항복전압을 검증 받아야 한다. ESD 테스트는 파괴적인 방법, 즉 칩이 ESD에 견딜수 있는 전압을 지속적으로 증가하다가 결국에는 칩을 손상시키는 전압을 측정하게된다. ESD 테스트 방식에는 Human Body Model(HBM), Charged Device Model(CDM), 그리고 Machine Model(MM)의 세가지가 있다.

1983년 미국 국방성에서는 범용성을 위해 MIL-STD-883C라는 규격을 발표하였다. 이 표준 규격에 의하면 사람의 생체저항 및 캐패시턴스의 값은 각각 1.5kΩ, 100pF으로 하여 그림 3(a)와 같이 인간이 반도체 칩을 만졌을때 발생하는 정전기 현상을 모델링하고 있다. HBM 테스트 방식은 100pF의 캐패시터에 원하는 크기의 전압으로 충전하였다가 캐패시터에 충전되었던 전하를 1.5kΩ 저항을 통해 검증하고자 하는 소자의 단자에 인가하는 방법이다. 단자에 인가되는 ESD 펄스의 모양은 그림 3(b)에 도시한 바와 같은 형태를 갖게 된다. MIL-STD 규격에 의하면 펄스의 상승시간(tr)은 15nsec를 넘어서는 않되

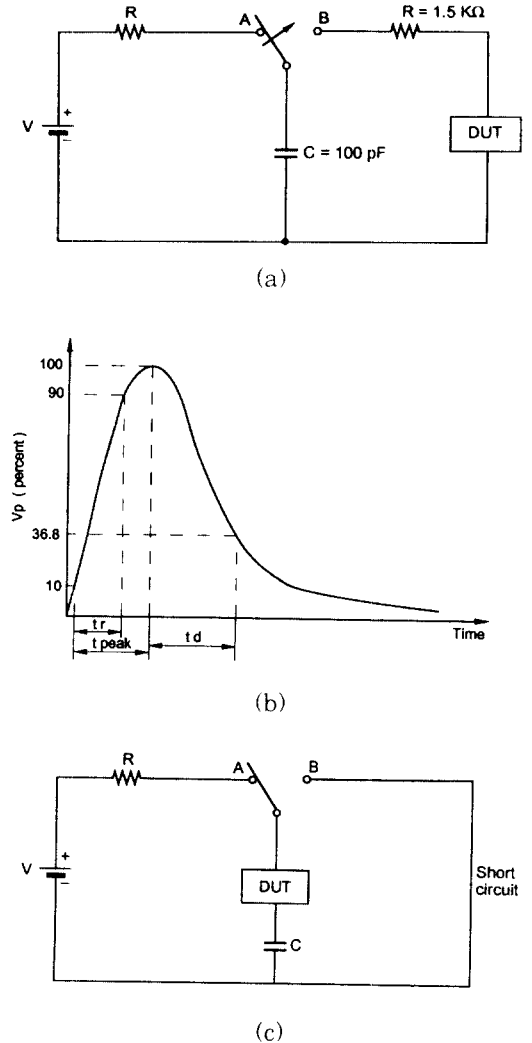


그림 3. ESD 항복전압 테스트 방식과 ESD 펄스  
(a) HBM 테스트 방식에 의한 회로 구성도  
(b) HBM 테스트 방식에서의 인가된 ESD 펄스 형태  
(c) CDM 테스트 방식에 의한 회로 구성도

Fig. 3. Test model for ESD threshold and the shape of an ESD pulse.

- (a) Human body model.
- (b) HBM voltage waveform from MIL-STD-883C.
- (c) Charged device model.

며, 펄스의 하강시간 시정수는 약 150nsec 정도를 만족해야 한다. 단자에 인가하는 전압을 연속적으로

증가시키고 검증하는 단자에서의 누설 전류를 측정하여, 허용치 이상으로 증가되었을 경우를 해당 단자에서의 ESD 항복전압으로 정한다. ESD 항복전압은 양 및 음의 HBM 펄스에 대해 각기 다른 감응을 나타낸다. ESD의 손상에 의한 칩의 파괴 판정 기준은 반도체 칩의 형태에 달려있다. NMOS 회로에서는 입력 누설 전류를 측정하여 증가량으로 칩의 파괴를 판정할 수 있다. 그러나 경우에 따라서는 소자의 기능을 검증하거나, 기판 전류 같은 소자의 특성을 검증해야 하는 경우도 있다. 전원 공급핀과 입력핀 사이의 I-V 특성 곡선상에서, 전압이 0V에서의 동적 저항을 측정하여 어떤 정도(가령 10k $\Omega$ ) 이하로 떨어지면 칩의 파괴로 처리하는 경우도 있다. 현재에 ESD용 테스트 장비는 MIL-STD 규격에 따라 컴퓨터에 의해 자동으로 제어되는 방식을 사용하고 있다.

CDM 테스트 방식은 그림 3(c)에서 보논바와 같이 일단 칩을 정전기 전압으로 충전시킨다음 패키징된 단자를 접지에 연결하여 단락된 상황에서 ESD 에너지를 방전시킨다. 실제로 방전 루프에서 1 $\Omega$  정도의 저항과 수 nH 정도의 인덕터가 직렬로 연결되어 있는 효과가 있다. 측정되는 전류 및 전압의 파형은 부류 캐패시턴스(stray capacitance)와 저항, 인덕턴스와 같은 기생 성분에 의해 영향을 받는다. CDM 테스트 방식의 인덕턴스 성분은 주로 측정 설비의 값이고, 캐패시턴스의 경우는 측정 소자와 시뮬레이터의 접지 사이에 존재하는 캐패시턴스 성분이다. 이러한 기생 성분에 의한 RLC 회로는 되울림(ringing) 현상을 야기시켜, ESD 펄스의 상승시간을 수 psec로 가져갈 수 있다. 이 경우 보호회로는 ESD 펄스를 따라 반응하기에는 너무 느려서 ESD 에너지가 내부 회로에 전달되어질 수 있다. CDM 테스트 방식에서 대표적인 파괴 현상은 게이트 산화막의 파손이다.<sup>3)</sup> 패키징된 반도체 칩이 충전되어 있을 때 보통  $V_{DD}$  혹은  $V_{SS}$  라인으로 충전되어 있다가, 방전 모드에서 접지된 패드를 통해 방전되게 되어 입출력단의 게이트 산화막을 훼손시키게 된다. 따라서 이론적으로 W/L 비율이 큰 트랜지스터를 쓰면, CDM 항복전압이 증대되어질 수 있다. MM 테스트 방식은 HBM 테스트 방식에 비해서 캐패시터값이 더 크고 저항 성분이 작다. 따라서 캐패시터에 충전되는 전하가 크고, 상승시간이 더 짧아지므로 HBM 항복전압보다 MM 항복전압이 더 낮게 된다.

#### IV. ESD의 파괴 현상 및 분석

##### 1. 금속배선의 열화현상 및 필라멘트 생성

소자에 ESD 펄스가 인가되었을 때 결과적으로 소자에 오동작을 유발시키거나, 혹은 그 손상이 잠재되어 있다가 후에 게이트 산화막, 접합 혹은 금속 배선의 열화 현상으로 나타난다. 현재 이용되는 CMOS 공정에서는 게이트 산화막의 두께가 20V 이내에서 쉽게 파괴되어질 수 있도록 되어 있고, 접합의 두께가 매우 작으므로 알루미늄 스파이킹(Spiking)이 발생할 경우 누설 전류가 증가할 수 있다. 역방향으로 인가된 접합에서 충돌 이온화(impact ionization)가 일어날 경우, 과전류가 흐르게 되고 필라멘트(filament)를 형성하여 실리콘이 용융되게 된다. 알루미늄은 필라멘트를 따라 침투되고 두 인접한 접합은 단락되게 되는데, 이와같은 단락 현상을 방지하기 위하여는 전류밀도와 전계의 세기의 곱( $J \cdot E$ )이 최소가 되도록 설계되어야 한다. 전계의 세기가 큰 지점으로부터 금속 콘택을 멀리하는 것도 금속배선의 열화현상을 줄이는 한 방법이 된다.<sup>4)</sup> 실제로 금속 콘택과 게이트의 간격을 멀리 할수록 HBM 항복전압이 증가하는 것이 관찰되었다.

금속 콘택 아래의 접합 깊이를 증가시킴으로써 필라멘트의 생성에 의한 소자의 파괴를 막아줄 수 있으나, 이 방법은 입력 캐패시턴스를 증대시켜 주는 결과를 낳는다. 접합으로부터 알루미늄을 멀리할 수 있는 다른 방법은 접합을 polycide(TaSi<sub>2</sub>/Poly)로 만들고, 그 위에 접합으로부터 거리를 두고 필드 산화막 위에 Al/Poly로 금속배선함으로써 필라멘트를 피할 수 있다. NMOS 공정기술의 경우, MOSFET은 주요한 보호회로서 사용되어진다. 이때에 MOSFET은 lateral n-p-n 트랜지스터와 같이 동작한다. 채널의 길이가 1 $\mu$ m, 채널의 농도가  $2 \times 10^{16}/\text{cm}^3$ 인 경우 100~150psec 정도의 시간이 바이폴라 트랜지스터를 도통시키는데 걸리게 되는데, 이는 HBM 테스트 방식에서 인가되는 펄스의 시간이 수 nsec이므로 쉽게 도통이 된다. 음의 ESD 펄스가 인가될 경우, 드레인 접합은 순방향으로 인가되어, 다이오드는 순간적으로 도통되고 ESD 에너지는 흡수되어진다. 이 경우 ESD 항복전압은 양의 ESD 경우보다 높게 된다. ESD 펄스가 매우 강할 때는 열화 효과(heating effect)를 낳게 되어 실리콘을 진성 영역으로 유도하여 음의 온도계수를 보이게 된다. 발생된 열에 의해 생성된 hot spot은 알루미늄으로 열을 방출시켜 알루미늄과 실리콘을 용융상태로 가져가 드레인으로부터 스스로 필라멘트를 생성시킨다.<sup>5)</sup> 출력단의 패드에 필드 산화막 트랜지스터가 도통이 되기 전에 래치업이 되어서 보호회로가 동작되지 않을 수 있다. 파괴 현상이 일어날때의 소자의 온도는 상(Phase)을 변화

시키므로, 물리적으로 물질을 이동시켜 소자의 오동작을 유도할 수 있다. 실제로 다결정 실리콘(polysilicon)이 용융되어 게이트와 소스 혹은 드레인에 필라멘트를 생성시키는 것을 관측할 수 있다.

2. 열전도 현상을 고려한 2차원 시뮬레이션

본 논문에서는 Lightly Doped Drain(LDD) 구조를 가지는 NMOS 입출력 완충용 소자를 2차원 시뮬레이터를 이용하여 온도분포를 조사하였다. 이 시뮬레이터는 Poisson's 방정식, 연속 방정식에 열전도 방정식을 결합시킨 방식으로 소자의 전기적 특성뿐만 아니라 열적 효과(thermal effect)를 고려하여 소자의 자기열화(self-heating) 현상을 시뮬레이션 할 수가 있다. 또한 개별소자의 열적경계조건을 사용하여 소자의 환경을 조절할 수도 있게 되어 있다.<sup>6)</sup>

열화에 의해 발생하는 현상 중 필라멘트의 형성은 매우 중요하다. 알루미늄 스파이킹에 의해 필라멘트가 형성되어 두 인접한 접합은 단락되게 된다. 이러한 단락현상을 방지하기 위하여 소스/드레인 n<sup>+</sup> 이온 주입후, 또다른 n<sup>+</sup> 이온주입공정을 추가하여 완충용 트랜지스터의 드레인 접합깊이를 증가시킬 수 있다. 또한 드레인 접합깊이를 증가시킴으로써 생기는 효과를 살펴 보면 소수 캐리어인 정공이 금속 콘택에서 주입되면 n<sup>+</sup> 접합 안에서 재결합되지 않는 것들은 기관 전류로 나타나게 된다. 결국 드레인의 접합깊이가 증가하게 되면 정공에 대해 더 많은 Auger 재결합을 일으키게 된다. 또다른 효과로는 드레인의 금속 콘택에서 접합 경계까지의 영역이 ballasting 저항 역할을 하여 전류가 한곳으로 집중되는 현상을 억제시킨다. 드레인의 접합깊이를 증가시키는 공정흐름도를 그림 4(a)에 도시하였고 마스크(mask)와 단면도는 그림 4(b)에 도시하였다. 2차원 시뮬레이터를 이용하여 드레인의 접합깊이를 증가시킨 NMOS, 게이트와 드레인 콘택 사이의 거리를 변화시킨 NMOS에 대해서 각각 시뮬레이션했다. 그림 5(a)에 도시한바와 같이 드레인에 인가한 전압은 상승시간과 하강시간이 Insec이고 크기는 200V를 가진 펄스전압이다. 이것은 HBM 테스트 방식의 ESD 펄스모양에 준한 것이다. 그림 5(b)에 도시한바와 같이 드레인에 인가된 전압에 의해 발생하는 드레인 전류파형이다. 표준 NMOS에 비해 드레인의 접합깊이를 증가시킨 NMOS가 더 큰 전류를 발생시키는 것으로 관찰되어진다. 이는 드레인의 접합깊이를 증가시킨 NMOS의 접합 깊이가 크므로 인해 전류가 흐르는 단면적의 증가에 기인한 것이다.

그림 6은 드레인 전압이 200V이고 시간이 1.

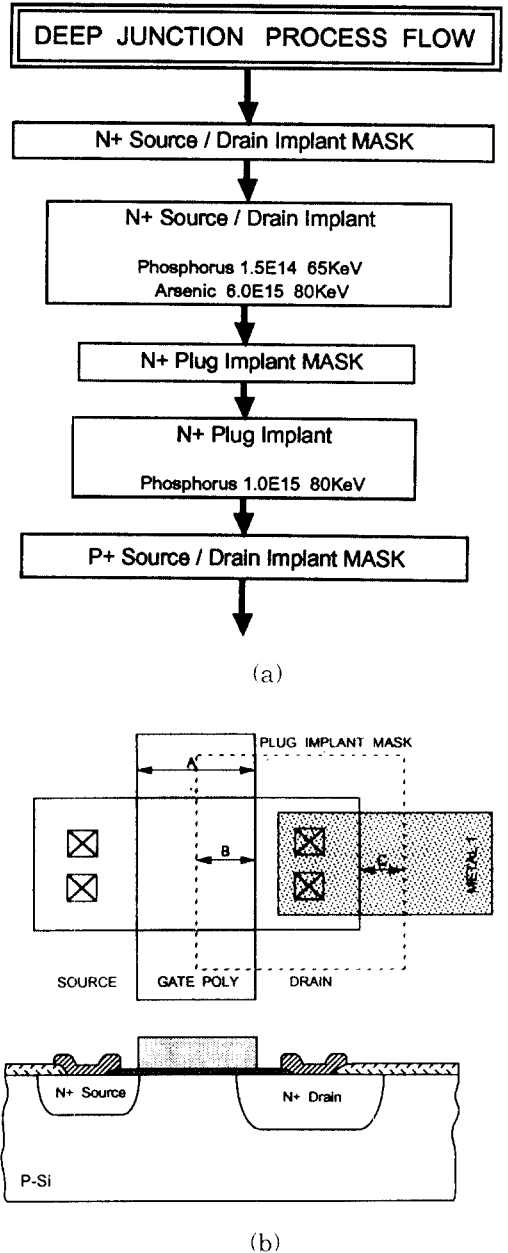
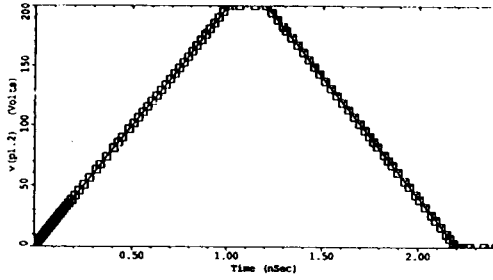
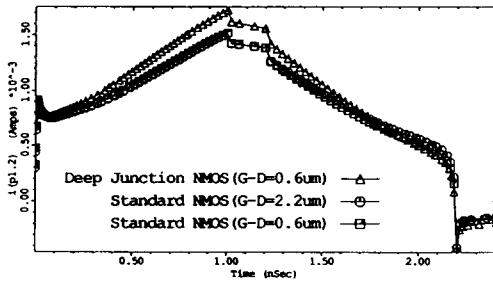


그림 4. (a) 드레인의 접합깊이를 증가시키는 공정 흐름도  
 (b) 드레인의 접합깊이를 증가시키는 마스크와 그 소자의 단면도  
 Fig. 4. (a) Process flow with deep junction.  
 (b) An overlapped mask pattern and a cross-sectional view of the NMOS using deep junction.



(a)



(b)

그림 5. (a) 드레인에 인가된 전압파형  
 (b) 게이트와 드레인 콘택 사이의 거리가 0.6 $\mu$ m인 드레인의 접합깊이를 증가시킨 NMOS와 보통의 NMOS, 게이트와 드레인 콘택 사이의 거리가 2.2 $\mu$ m인 NMOS의 드레인에 흐르는 전류파형  
 Fig. 5. (a) Simulated voltage waveform at the drain,  
 (b) Current waveform of the NMOS using deep junction and NMOS with poly to drain contact spacing of 0.6 $\mu$ m, and NMOS with poly to drain contact spacing of 2.2 $\mu$ m, respectively.

2nsec일때 소자내부의 전위분포를 도시하고 있다. 드레인에 인가되어진 전압이 드레인의 LDD 부분에서 집중되는 것을 관찰할 수 있다. 이는 드레인과 기판이 n-n-p 접합을 이루고 있으므로 인가된 전압이 역바이어스 전압으로 작용하기 때문이다. 따라서 드레인의 LDD 부분의 공핍영역이 쉽게 확장되어 거의 모든 역바이어스 전압이 이 부분에 걸리게 되어진다. 이러한 전위분포에 의해 드레인의 LDD 부분에서는 열전자에 의한 충돌 이온화가 발생하게 된다. 드레인 전압이 149V이고 시간이 1.4nsec일때에 충돌 이온화에 의해 발생하는 전자의 분포에 대해서 조사

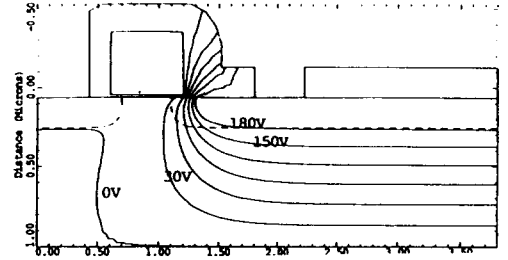


그림 6. 드레인 전압이 200V이고 시간이 1.2nsec일때 소자내부의 전위 분포  
 Fig. 6. Potential distribution of the device when its drain voltage is 200V at 1.2nsec.

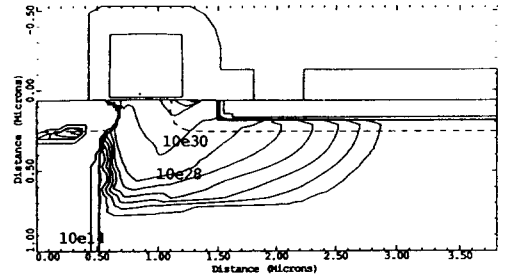


그림 7. 드레인 전압이 149V이고 시간이 1.4nsec일때 소자내부에서 충돌 이온화에 의해 발생하는 캐리어의 분포  
 Fig. 7. Carrier concentrations generated by impact ionization of the device when its drain voltage is 149V at 1.4nsec.

하였다. 그림 7에서 보는바와 같이 드레인의 LDD 부분에서 많은양의 전자가 발생하고 있음을 알 수가 있다. 이는 이 부분에서 매우 높은 전계가 형성되어 열전자가 발생하고 그것으로 인해 충돌 이온화가 발생하기 때문이다. 또한 이러한 충돌 이온화에 의해 드레인의 LDD 부분이 열화가 되는 결과를 받게 되어 격자온도(lattice temperature)의 증가를 가져오게 된다. 이러한 격자온도의 증가는 진성 캐리어의 증가를 가져오게 되고 더많은 충돌 이온화를 발생시키게 된다. 따라서 드레인의 LDD 부분에서는 열화가 가속화되는 자기 열화의 결과로 인해 진성 캐리어의 농도가 불순물의 농도보다 커지게 된다.<sup>[8]</sup>

그림 8에서는 시간의 변화에 따른 격자온도의 변화를 3차원적으로 도시하고 있다. 그림 8(a)는 드레인 전압이 9.8V이고 시간이 0.05nsec일때의 격자온도 분포, 그림 8(b)는 드레인 전압이 149V이고 시간이

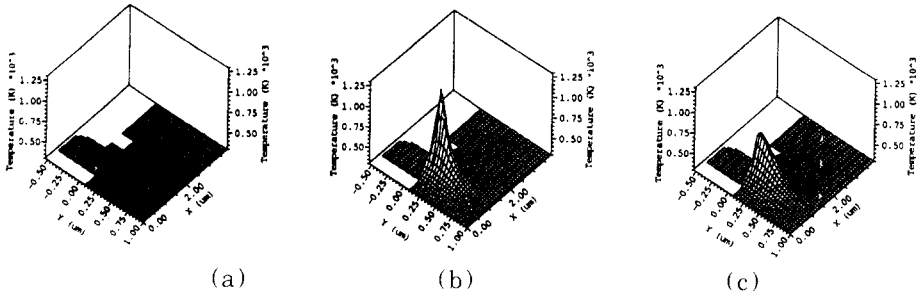


그림 8. 시간의 변화에 따른 소자내부의 격자 온도 분포  
 (a) 드레인 전압이 9.8V이고 시간이 0.05nsec인 경우  
 (b) 드레인 전압이 149V이고 시간이 1.4nsec인 경우  
 (c) 드레인 전압이 0V이고 시간이 2.2nsec인 경우

Fig. 8. Lattice temperature distributions of the device.  
 (a) when its drain voltage is 9.8V at 0.5nsec.  
 (b) when its drain voltage is 149V at 1.4nsec.  
 (c) when its drain voltage is 0V at 2.2nsec, respectively.

1.4nsec일때의 격자온도분포 그리고 그림 8(c)는 드레인 전압이 0V이고 시간이 2.2nsec일때의 격자온도 분포이다. 0.05nsec일때는 격자온도가 일정하게 분포되고 있으나 1.4nsec에서는 드레인의 LDD 부분 격자온도가 급속도로 증가하고 있음을 보여주고 있다. 이는 이 부분에 높은 전계가 형성되어 충돌 이온화가 발생하고 그것으로 인해 열화가 이루어지기 때문이다. 2.2nsec에서는 드레인에 인가된 전압의 감소로 드레인의 LDD 부분의 전계가 감소하게 되는

데, 전계의 감소로 인해 충돌 이온화가 감소하게 되어 열화가 감소하게 된다. 따라서 드레인의 LDD 부분 격자온도가 감소하게 된다. 그림 9에서는 드레인 전압이 149V이고 시간이 1.4nsec일때에 격자온도분포를 게이트와 드레인 콘택 사이의 거리가  $0.6\mu\text{m}$ 인 드레인의 접합깊이를 증가시킨 NMOS와 NMOS, 게이트와 드레인 콘택 사이의 거리가  $2.2\mu\text{m}$ 인 NMOS에 대해서 각각 도시하였다. NMOS에 비해 드레인의 접합깊이를 증가시킨 NMOS가 더 높은 격자온도를 보이고 있다. 이는 드레인의 접합깊이를 증가시킨 NMOS의 드레인 접합 깊이가 크므로 더 많은 전류가 흐르기 때문인 것으로 보인다. 여기서는 게이트와 드레인 콘택 사이의 거리변화에 대해 격자온도의 변화가 거의 보이지 않지만, 시뮬레이션 결과 게이트와 드레인 콘택 사이의 거리가 클수록 격자온도가 낮아지는 결과가 관측되었다. 이는 접합부분으로부터 드레인 콘택 간격이 증가함에 따라 전계의 영향을 적게 받기 때문인것 같다.

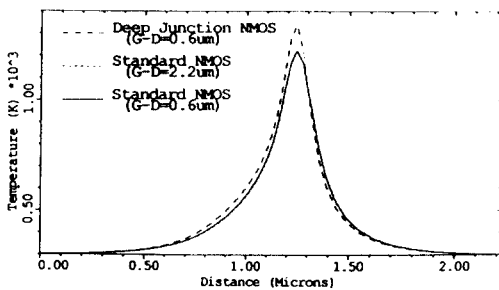
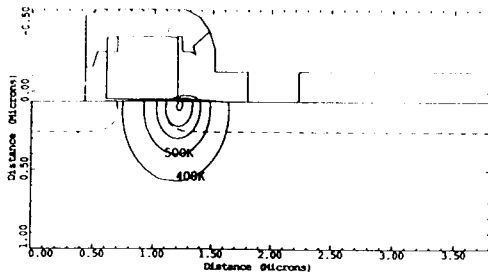


그림 9. 게이트와 드레인 콘택 사이의 거리가  $0.6\mu\text{m}$ 인 드레인의 접합깊이를 증가시킨 NMOS와 보통의 NMOS, 게이트와 드레인 콘택 사이의 거리가  $2.2\mu\text{m}$ 인 NMOS의 격자온도 분포

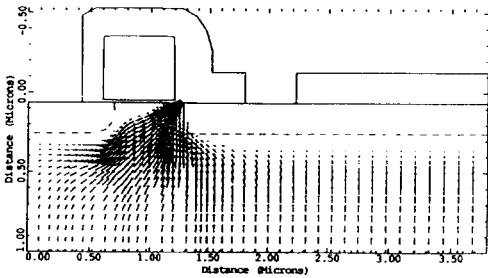
Fig. 9. Lattice temperature characteristics of the NMOS using deep junction and NMOS with poly to drain contact spacing of  $0.6\mu\text{m}$ , and NMOS with poly to drain contact spacing of  $2.2\mu\text{m}$ , respectively.

ESD 펄스가 하강한 후( $t=2.2\text{nsec}$ ) hot spot 생성에 의한 파괴 부위를 분석하기 위하여 그림 10에서는 소자내부의 격자온도분포와 기판에 흐르는 정공 전류에 대해서 도시하고 있다. 그림 10(a)에 보인바와 같이 드레인의 LDD 부분이 충돌 이온화에 의한 열화에 의해 격자온도가 상승하는 효과가 나타난다. 드레인의 LDD 부분과 산화막의 접합면에서 가장 높은 온도를 보이고 있는데, 이것은 산화막의 열전도도가 실리콘에 비해 매우 낮으므로 그 열이 실리콘쪽으로 더 빨리 전도되기 때문이다. 그림 10(b)에 기판으로





(a)



(b)

그림 10. ESD 펄스가 하강한 후의 소자내부의 상태  
(a) 격자 온도 분포  
(b) 기판에 흐르는 정공 전류

Fig. 10. When an ESD pulse is finished.  
(a) contours of lattice temperature.  
(b) the vector plot of hole current in the substrate.

부터 드레인의 LDD 부분을 통과하여 산화막에 이르는 정공 전류를 도시하고 있다. 여기서 드레인의 LDD 부분과 기판간의 접합은 열적 항복에 의해 파괴되었으며 드레인의 LDD 부분과 게이트사이의 산화막은 강한 전계에 의해 파괴되게 되었다. 그러므로 ESD 전압 펄스에 의해 확장되었다가 다시 줄어드는 공핍영역의 역할로 기판로부터 채널쪽으로 생성된 정공 전류의 흐름은 파괴된 접합부분을 쉽게 통과하여 산화막에 도달하게 된다.<sup>3)</sup>

열적 항복에 의한 파괴요인은 p-n 접합에 과도한 역바이어스 전압에 의해 충돌 이온화가 발생하여 열화가 발생하기 때문이다. 그리고 그 열화에 따른 다른 현상으로서 필라멘트의 형성을 들수있다. 드레인의 LDD 구조는 p-n 접합부분의 전계를 감소시켜 격자온도는 감소시키지만, 드레인의 LDD 부분은 열화에 의해 쉽게 열화된다. 그러므로 그 열화에 의한 열은 알루미늄과 실리콘 접합면으로 전달되어 알루미늄

스파이킹을 발생시켜 필라멘트를 형성시킨다. 따라서 드레인의 LDD 부분을 ESD에 대해 최적화 시키는 것이 중요하다. 앞에서 논한 시뮬레이션의 결과로부터 열적 항복이 일어나는 위치와 그곳의 격자온도를 알아낼 수가 있었다. 따라서 열전도 현상을 고려한 분석결과를 바탕으로 ESD에 의한 소자들의 파괴요인의 분석과 대책방안을 알아낼 수가 있다.

### V. 결론

본 논문에서는 ESD 문제에 대하여 ESD의 현상, 파괴현상 분석, 이론에 대해 상세히 논의하였다. 입력 및 출력 단자를 보호하기 위한 보호 회로 및 완충용 소자를 구성할 때 설계자가 주의할 점들을 공정부분과 레이아웃(layout)부분으로 나눌수 있다. 우선 트랜지스터에서는 필드 산화막 트랜지스터와 게이트 접지된 트랜지스터를 적절히 이용하여 ESD 에너지를 우회시켜야한다. 레이아웃에서는 게이트와 금속 콘택사이의 거리를 크게 하여 필라멘트 현상을 방지할수 있으며, 드레인의 접합깊이를 증가시킴으로써 필라멘트 현상을 예방하고 기관 전류를 줄일수있다. 또한 열전도 현상을 고려한 2차원 시뮬레이터를 사용하여 드레인의 드레인 구조를 최적화함으로써 드레인과 기관간의 접합면에서의 열적 항복 현상을 방지할수 있게 된다. 본 연구는 교육부 ISRC 92-E-0023 및 인하대학교 자체 연구비로 수행하였다.

### 參考文獻

[1] Anthony R. Pelella, Henry Domings, "A Design Methodology for ESD Protection Networks", EOS/ESD Symposium Proceedings, EOS-7, pp. 24-40, 1985.  
 [2] Timothy J. Maloney, "Designing MOS Inputs and Outputs to Avoid Oxide Failure in The Charged Device Model", EOS/ESD Symposium Proceedings, EOS-10, pp. 220-227, 1988.  
 [3] R. G. Taylor, J. Woodhouse and P. R. Feasey, "Deficiencies in ESD Testing Methodology Highlighted by Failure Analysis", EOS/ESD Symposium Proceedings, EOS-7, pp. 141-148, 1985.  
 [4] Timothy J. Maloney, "Contact Injection : A Major Cause of ESD Failure".

- EOS/ESD Symposium Proceedings, EOS-8, pp. 166-172, 1986.
- [5] J. Woodhouse and K. D. Lowe, "ESD Latency : A Failure Analysis Investigation", EOS/ESD Symposium Proceedings, EOS-10, pp. 47-52, 1988.
- [6] MEDICI user's manual, TMA, 1992.
- [7] Kartikeya Mayaram, Jue-Hsien Chern, Lawrence Arledge and Ping Yang, "Electrothermal Simulation Tools for Analysis and Design of ESD Protection Devices", IEDM Tech. Dig., pp. 909-912, 1991.
- [8] S. Hong, J. Kim, J. Lee, K. Yoo, G. Choi, and T. Won, "Electrothermal Analysis of MOS Output devices during Electrostatic Discharge (ESD) Transients," 1993 The Ninth International Conference on the Numerical Analysis of Semiconductor Devices and Integrated Circuits (NASECODE), Copper Mountain, Colorado, USA, April 6-8, 1993, pp. 70-71.
- [9] S. Hong, J. Kim, and T. Won, "Two-dimensional Electrothermal Simulations and Design of Electrostatic Discharge (ESD) Protection Circuit," 15th Annual Electrical Overstress /Electrostatic Discharge (EOS/ESD) Symposium, Buena Vista Palace, Orlando, Florida, USA, September 27-30, 1993, pp. 157-163.

— 著 者 紹 介 —



洪誠模(準會員)

1969年 5月 19日生. 1992年 2月 인하대학교 응용물리학과 졸업(공학사). 1993年 11月 현재 인하대학교 전자재료공학과 석사과정 재학중. 주관심 분야는 EOS/ESD 보호회로 설계, 반도체 소자의 모

델링 및 신뢰성 분야임.



元太映(正會員)

1959年 2月 21日生. 1981年 2月 서울대학교 전자공학과 졸업(공학사). 1983年 2月 한국과학기술원 전기 및 전자공학과 졸업(공학석사). 1986年 1月 ~ 1989年 8月 미국 University of Illinois at

Urbana-Champaign 전자공학과 졸업(공학박사). 1989年 9月 ~ 1990年 8月 미국 State University of New York 조교수로 근무. 1990年 7月 ~ 1991年 8月 삼성전자(주) 반도체 부문 수석연구원으로 근무. 1991年 9月 ~ 현재 인하대학교 전자재료공학과 조교수로 재직중. 주관심 분야는 GaAs MMIC, 고집적회로용 소자설계 및 모델링, EOS/ESD 보호회로 설계 등임.