

論文93-30A-12-10

직류 및 교류 스트레스 조건에서 발생된 Hot-Carrier가 PMOSFET의 누설전류에 미치는 영향

(Hot-Carrier Induced GIDL Characteristics of PMOSFETs under DC and Dynamic Stress)

柳 同 烈*, 李 相 敦*, 朴 鍾 泰**, 金 鳳 烈*

(Dong Ryul Ryu, Sang Don Lee, Jong Tae Park and Bong Ryul Kim)

要 約

본 연구에서는 Hot-Carrier가 PMOSFET의 드레인 누설전류(Gate-Induced-Drain-Leakage)에 미치는 영향에 대하여 알아보았다. 그 결과 실험에 사용된 여러가지 스트레스 조건중 Channel-Hot-Hole(CHH) 주입조건에서 V_{gl} (드레인 누설전류가 $1pA/\mu m$ 흐르는 드레인 전압)의 변화가 가장 크며 교번 스트레스는 그 다음이고 전자 트래핑(Igmax) 조건에서 가장 작았다. 스트레스시 소오스와 드레인 중첩부근에 전자 트래핑이 발생할 경우 평탄 전압의 증가로 GIDL이 감소하게되고 CHH이 주입되는 경우는 계면상태(Nit)가 많이 생성되어 Band-to-Defect-Tunneling(BTDT)에 의한 GIDL이 증가하는 것으로 해석된다. 특히 교번 스트레스에서는 전자의 주입이 적고 CHH 주입이 많을수록 GIDL의 증가가 큰것을 확인하였다. 그러므로 실제 회로에 적용할때 CHH주입이 많은 영역의 동작전압에서 GIDL 전류가 많이 발생하여 회로의 신뢰도에 영향을 미치게 될것이다.

Abstract

PMOSFETs were studied on the effect of Hot-Carrier induced drain leakage current (Gate-Induced-Drain-Leakage). The result turned out that change in V_{gl} (drain voltage where $1pA/\mu m$ of drain leakage current flows) was largest in the Channel-Hot-Hole(CHH) injection condition and next was in dynamic stress and was smallest in electron trapping (Igmax) condition under various stress conditions. It was analyzed that if electron trapping occurs in the overlap region of gate and drain(G/D), it reduces GIDL current due to increment of flat-band voltage(V_{fb}) and if CHH is injected, interface states(Nit) were generated and it increases GIDL current due to band-to-defect-tunneling(BTDT). Especially, under dynamic stress it was confirmed that increase in GIDL current will be high when electron injection was small and CHH injection was large. Therefore as applying to real circuit, low drain voltage GIDL(BTDT) was enhanced as large as CHH Region under various operating voltage, and it will affect the reliability of the circuit.

*正會員, 延世大學校 電子工學科
(Dept. of Elec. Eng., Yonsei Univ.)

**正會員, 仁川大學校 電子工學科
(Dept. of Elec. Eng., Incheon Univ.)
接受日字 : 1993年 7月 6日

1. 서론

Hot-Carrier 효과가 PMOSFET의 파라미터에 미치는 영향에 대하여는 많은 연구가 진척되었으며 주로 Igmax인 조건에서 최대 노쇠화가 일어난다고 알

려졌다. [1] 노쇠화의 원인은 주로 스트레스 시 드레인 부근에서 충돌 이온화에 의하여 발생된 전자와 홀 중 산화막에 대한 전위 장벽이 낮은 전자가 게이트 산화막으로 주입되어 유효채널길이의 감소를 초래하게 되므로 드레인 전류증가 및 전달콘덕턴스의 증가를 일으키게 된다. [2] 반면 NMOSFET는 역셉터 타입의 계면상태에 의해서 캐리어의 이동도가 감소하기 때문에 드레인 전류와 전달콘덕턴스의 감소가 일어나게 된다. PMOSFET의 경우는 계면상태의 존재가 소자 동작시에 페르미 레벨 위에 존재하기 때문에 역셉터형의 계면상태가 모두 비워져 있어 소자에 크게 영향을 미치지 못하는 것으로 알려져 있다. 최근 디바이스 크기가 서브마이크론 레벨로 낮아짐에 따라 산화막 두께도 얇아지게 되어 소오스와 드레인 중첩부근의 강한 전계로 인한 밴드간 터널링 전류(GIDL)가 증가하게 되었으며 이에 따라 소자 스케일링에 큰 제약이 되고 있다. [3] 뿐만아니라 밴드간 터널링 전류가 생기기 이전에 계면상태가 전자-홀 쌍 발생의 중간 센터로 작용하는, 밴드에서 계면상태로의 (Band to Defect) 터널링 전류 [4]가 발생하게 되는데 이 전류는 Hot-Carrier로 인하여 계면상태가 증가하면 동시에 증가하게 되어 있어 이 역시 누설전류에 큰 영향을 미치게 된다. 특히 오프 상태에서의 누설전류는 회로의 전력소비를 증가시키게 된다.

본 연구에서는 PMOSFET에 직류 및 교류 스트레스를 인가하여 이에 따라 발생된 계면상태와 홀트래핑 및 전자트래핑이 GIDL 전류에 미치는 영향에 대하여 알아보았다.

II. GIDL 전류의 이론 및 시뮬레이션

그림 1은 드레인 전압이 일정할 때 게이트 전압에 따른 게이트 전류 및 기판 전류의 변화를 정교화 시켜서 나타낸 그림이다.

Drain-Avalanche- Hot-Carrier(DAHC) 영역에서 채널 캐리어의 충돌 이온화에 의하여 발생된 전자와 홀 쌍중 산화막에 대한 에너지 장벽이 낮은 전자(3.2eV)가 산화막으로 주입되어 게이트 전류를 형성한다. CHH 영역에서는 게이트 전압이 증가함에 따라 드레인 부근의 수직전계의 영향이 강해지기 때문에 [5] 산화막으로 주입되는 홀들이 많아진다. Fowler-Nordheim(F-N) 주입영역에서는 채널의 홀들이 Si-SiO₂ 계면의 에너지 장벽을 넘어서 산화막으로 주입된다. 주입된 홀들은 전자보다 큰 에너지를 가지고 있기 때문에 산화막의 Si-SiO₂등의 결합을 깨뜨리며 많은 양의 전자트랩(Nit)을 발생시킨다.

[6] 일반적으로 NMOSFET는 기판전류가 가장 큰 지점을 DC 스트레스의 최대 노쇠화 지점으로 잡는 반면 PMOSFET는 게이트 전류가 최대인 지점을 이용한다. [7] MATCHUOKA 등 [8]에 의하면 BC-PMOSFET에서 Nit의 생성은 CHH 영역에서 증가하기 시작하다가 F-N 영역에서 급격하게 증가한다고 보고되었다(그림4). 따라서 각각의 스트레스 조건중 CHH와 FN영역을 지나는 시간이 많을수록 Nit의 생성량은 크다. 또한 I_{gmax}에서 전자 주입이 가장 크기때문에 Region I이나 Region III등에서 많은 양의 전자 주입이 발생한다.

그림 2는 PMOSFET 스트레스 전후에 발생하는 전형적인 커브 변이의 모습이다.

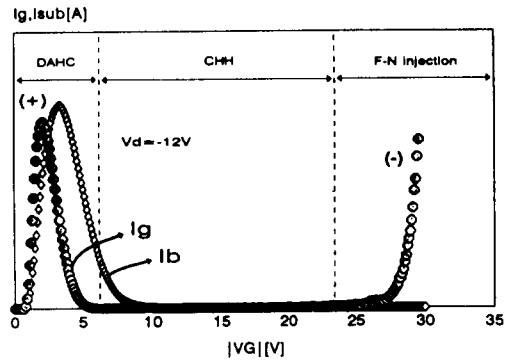


그림 1. 드레인 전압이 일정할때 게이트 전압에 의한 게이트 및 기판전류의 변화

Fig. 1. gate, substrate current due to gate voltage when drain voltage is constant.

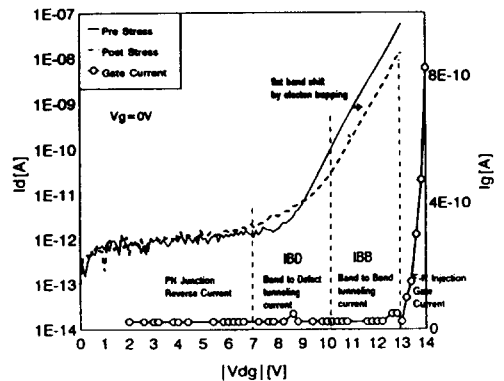


그림 2. PMOSFET 스트레스 전후의 곡선변화
Fig. 2. The change of Ids versus Vdg characteristics before and after stress.

드레인 전압이 낮을 때에는 기판과 드레인 사이에 PN 접합 역방향전류가 흐르게 되는데 대략 1pA미만 ($W=50\mu\text{m}$)이다. 드레인 전압이 높아지면 게이트와 드레인 중첩 부근에 발생하는 강한 전계로 인하여 Band- to- Band- Tunneling(BTBT)이 발생하여 이로 인하여 GIDL 전류(IBB)가 흐르게된다. 또한 BTBT가 발생하기 이전에 계면 상태를 통한 누설 전류가 흐를 수 있는데 이는 band to defect(interface state) 터널링에 의한 누설 전류(IBD)이다. 드레인 전압이 더욱 높아지면 산화막의 에너지 장벽이 얇아지기 때문에 F-N전류가 발생하여 급격한 드레인 및 게이트 전류의 증가가 있게 된다. 게이트와 드레인 중첩 영역에 전자가 트래핑이 되면 평탄 전압 (V_{fb})이 증가하게 되어 우측으로 곡선이 이동하게 된다. 따라서 PMOSFET는 전반적으로 GIDL전류 감소에도 불구하고 낮은 드레인 전압 부근에서는 스트레시에 발생하는 계면 상태(Nit)로 인하여 BTBT에 의한 누설 전류의 증가가 일어나게 된다.

그림 3은 시뮬레이션에 의한 GIDL 전류의 변화 모습이다. 시뮬레이션 모델은 BTBT의 경우 C.Hu^[9]의 식을, BTDT는 HAN [10]의 식을 이용하였다.

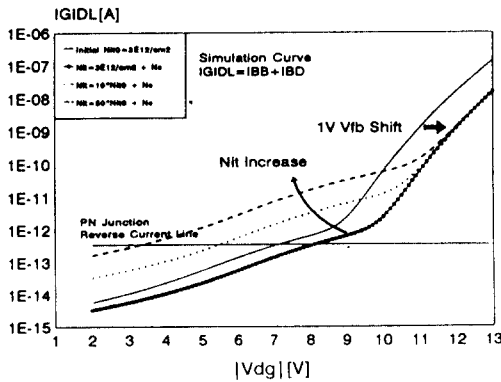


그림 3. 시뮬레이션에 의한 드레인 누설전류의 변화

Fig. 3. The simulated results of the change in GIDL current due to Nit increment.

W =effective width, X_{eff} =effective length of GIDL generation, m_{eff} =electron mass, E_s =Electric field at S/D overlap region, A =effective area of GIDL generation, σ =capture cross section, v_{th} =thermal velocity, n_{ie} =intrinsic effective carrier

concentration, N_e =amount of electron trapping.

$$IBB = W * X_{eff} * 2\pi \frac{q * m_{eff} * E_g^2}{h^3} * \frac{E_s}{B} \exp\left(\frac{-B}{E_s}\right)$$

$$\text{where } E_s = \frac{V_{dg} - B_{fb} - 1.12}{3T_{ox}}$$

$$IBD = q * A * \frac{1}{2} * \sigma * v_{th} * (\pi kT * N_{it}) * n_{ie} * M^2$$

$$\text{where } M = 1 + \int_0^{E_i} \exp\left(\frac{z - z^2 * 4(2m_{eff})^2 (kT)^2}{3q * E_s}\right) dz$$

IBB에서 B 값은 -42.5MV/cm이다. 본 연구에서 측정된 B값은 약 -35MV/cm 이었다. (그림4)

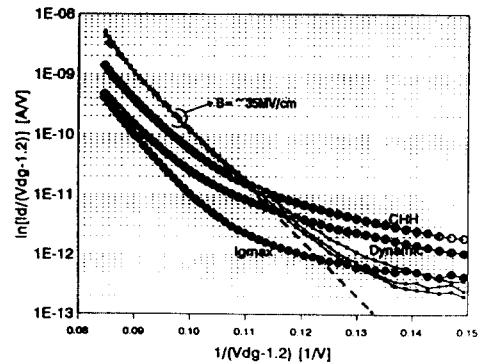


그림 4. 여러 스트레스 전후의 B 값 변화
Fig. 4. The semi-log plots of $\ln [I_d/(V_{ds}-1.2)]$ versus $1/(V_{dg}-1.2)$ before and after stress.

The value of B is extracted from the slope of the interpolated line.

IBD에서 M은 계면 상태에 채워진 전자가 전도대로 천이할 비율을 가리킨다. Nit는 계면 상태의 밀도를 나타내며 Nit가 클수록 IBD도 증가한다. 시뮬레이션에 사용한 Nit는 초기값이 $3 \times 10^{10} \text{cm}^{-2}$ 이었다. 그 후에 전자트래핑에 의하여 Vfb가 1V 이동했다고 가정하고 Nit가 $3 \times 10^{10} \text{cm}^{-2}$, $3 \times 10^{11} \text{cm}^{-2}$, $15 \times 10^{11} \text{cm}^{-2}$ 로 증가했을때의 GIDL 전류를 나타낸 것이다. 시뮬레이션을 통하여 낮은 드레인 전압 부근에서의 누설 전류 증가를 예측할 수 있다.

III. 실험

CMOS twin well 공정을 이용하여 n+ 다결정 실

리콘 구조의 매몰채널 PMOSFET(W/L=50μm/1.0 μm)를 제작하였다. 디바이스는 싱글드레인 구조이다.

소자분리 및 활성영역 정의후에 250Å의 게이트 산화막을 형성하였다. 문턱전압 조절을 위하여 도우즈가 8E11 cm² 이고 에너지가 30keV인 보론이온을 주입하였다. LPCVD 공정으로 4000Å의 도핑되지 않은 게이트 다결정 실리콘을 증착한후에 920℃, 35min로 POCl₃이 도핑되었다. 소오스/드레인 이온 주입은 BF₂ 이온을 60keV 에너지와 도우즈 3E15cm²로 하였다. 소오스/드레인 이온주입후에 920℃에서 30분동안 어닐링을 하였다. 접합깊이는 0.4μm로 측정되었다.

PMOSFET의 노쇠화를 평가하기 위하여 포화영역의 드레인 전류변화(ΔI_{dsat})를 이용하였다. V_{gl}은 드레인 누설전류가 게이트 오프상태에서 0.1pA/μm 흐르는 드레인 전압이다.

그림5는 본연구에서 인가한 스트레스를 영역에 따라서 구분한 것이다.

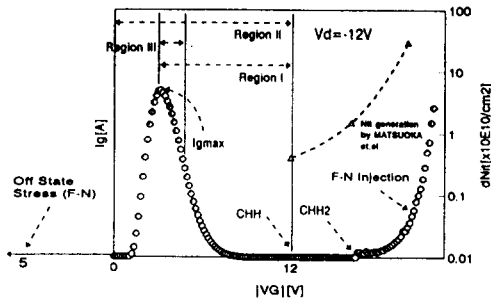


그림 5. 영역에 따른 여러 스트레스 분류
Fig. 5. The classification of stress condition corresponding to stressing voltages.

본연구에서는 I_{gmax} 외에 여러가지 스트레스 조건을 인가하였다. DC 스트레스 조건은 I_{gmax}, F-N, CHH, CHH2이다. CHH는 V_g=V_d=-12인 스트레스이고 CHH2는 V_g=-18, V_d=-12이고 off-state 스트레스는 V_g=5V, V_d=-14V이며 F-N 스트레스는 V_g=-21, V_d=-12V이었다. Off-State에서는 전자가 주입되고 F-N경우는 홀이 주입된다. 교류 스트레스 조건은 Region I (V_g=-2.2~-12V, V_d=-12V), Region II (V_g=0~-12V, V_d=-12V), Region III (V_g=-2.2~-2.6V, V_d=-12V) 세가지이며 교류 스트레스시에 주파수는 각각의 영역에 대하여 1MHz, 1kHz, 10Hz를 인가하였다. 상승, 하강시간은 5nsec이며 duty ratio는 50%이다.

본 연구에서 사용된 교류신호는 HP8112A 펄스 제너레이터를 이용하였고 소자파라미터는 HP4145B를 이용하여 측정하였다. 이들 장비는 IBM PC로 제어하였다.

IV. 결과 및 고찰

1. DC 스트레스

A. I_{gmax} 스트레스

그림 6은 스트레스 시간에 따른 GIDL 전류의 변화를 보여주는 곡선이다.

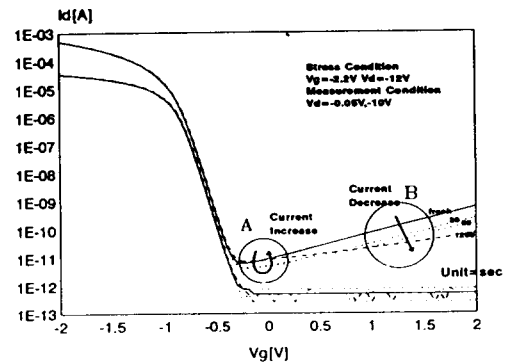


그림 6. I_{gmax} 스트레스후의 GIDL 전류 변화
Fig. 6. The change of GIDL current after I_{gmax} stress condition.

스트레스 시간에 따라 ㉞ 영역에서 드레인 전류는 계속 감소하고 있다. 그 이유는 I_{gmax}조건에서 전자의 트래핑이 계속 증가하기 때문에 이에 따른 평탄 전압의 증가에 따라서 게이트 드레인 중첩 부근의 전계가 감소하여 BTBT가 감소하기 때문이다. 특히 I_{gmax} 스트레스시에는 초기에 급격한 전자 트래핑이 발생하기 때문에 GIDL전류 감소도 크게 일어나나 시간이 지남에 따라 전자트래핑이 포화되기 때문에 GIDL 전류의 감소도 점차적으로 적어지는 것을 알 수 있다. 그러나 ㉞ 영역의 경우 BTBT 보다는 BTDT에 더 큰 영향을 받기 때문에 초기에는 V_{fb} 변이에 의한 영향으로 전류가 감소하게 되나 시간이 지남에 따라 Nit가 증가하면 GIDL전류도 점차적으로 증가하게 되는 것을 알 수 있다. 본 연구에서 사용한 PMOSFET는 매몰채널이며 다른 보고¹⁸⁾에 의하면 BC-PMOS일 경우 I_{gmax} 조건에서 Nit의 발생량은 없다고 되어있으나 본 연구에서 GIDL 전류가 IBD 영역에서 적은양이지만 증가하는 것으로보아

게이트와 드레인 중첩영역에 Nit가 발생함을 알 수 있다.

B. Hot Hole 스트레스(CHH, CHH2)

PMOSFET는 I_{gmax}조건하에서 문턱전압, 트랜스 콘덕턴스, 드레인 전류등이 가장 많이 노쇠화된다. 그러나 Nit에 의한 드레인 누설전류를 고려할 때 최대 노쇠화는 I_{gmax}보다는 CHH 조건에서 일어난다고 볼수 있다.

그림7및 8은 각각 CHH 과 CHH2 영역에서의 GIDL 전류증가를 보여주고있다.

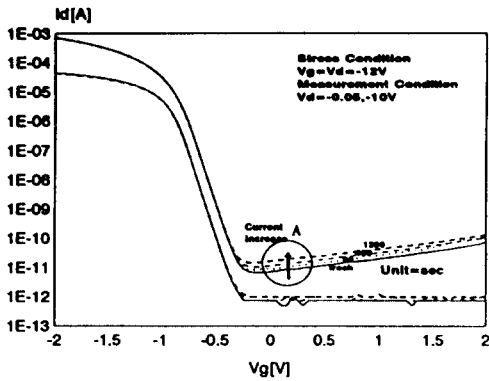


그림 7. CHH 스트레스 후의 GIDL 전류 증가
Fig. 7. The increase of GIDL current after CHH stress condition.

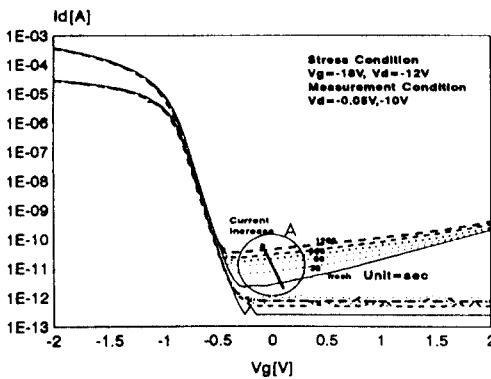


그림 8. CHH2 스트레스 후의 GIDL 전류 증가
Fig. 8. The increase of GIDL current after CHH2 stress condition.

㉔ 영역에서 누설전류가 증가하는 것을 알 수 있는데 이것은 홀 주입으로 Nit가 생성된 것으로 생각된

다. 또한 전자 주입이 시간에 따라 포화되는데 반해 홀 주입의 경우 시간에 따라 GIDL이 계속 증가하는 것로부터 홀 주입이 계속적으로 이루어지는 것을 알 수 있다. 그리고 그림7과 8로부터 CHH2 조건에서 Nit가 더 크게 나타나는 것을 알수있다.

C. F-N 스트레스

F-N 스트레스 때에는 다량의 홀이 산화막으로 주입되며 그와 동시에 급격한 Nit의 증가를 초래하게 된다. 그림9의 GIDL의 증가와 Subthreshold Swing의 감소는 각각 G/D 중첩영역과 채널영역으로의 홀 주입에 의한 Nit의 생성으로 인한것이며 선형 및 포화영역에서의 드레인 전류의 감소는 채널에 주입되는 홀이 트래핑 된것으로 해석할 수 있다.

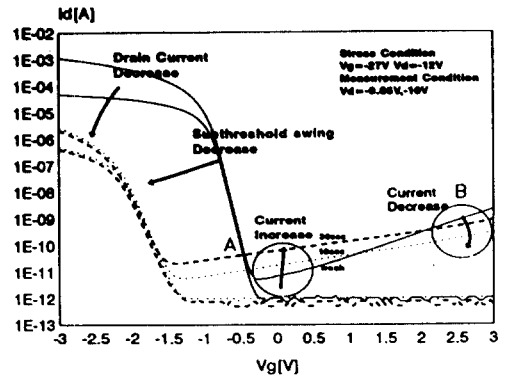


그림 9. F-N 스트레스 후의 GIDL 전류 변화
Fig. 9. The change of GIDL current after F-N stress condition.

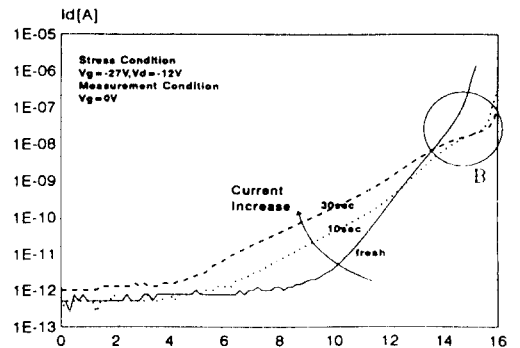


그림 10. F-N 스트레스 후의 GIDL 전류 변화
Fig. 10. The change of GIDL current after F-N stress condition.

채널에 생성된 Nit는 G/D 중첩영역에 생성된 Nit와 달리 디바이스 동작시(On State: $|V_g| > |V_t|$) 페르미레벨 위에 존재하기 때문에(그림11) 전자가 비워

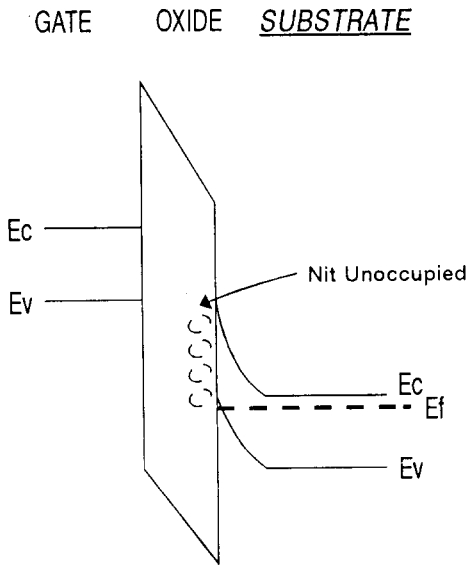


그림 11. 디바이스 ON 상태($|V_g| > |V_t|$)에서 채널 영역의 계면상태가 비워있음

Fig 11. Nit unoccupied in channel region at device ON State($|V_g| > |V_t|$)

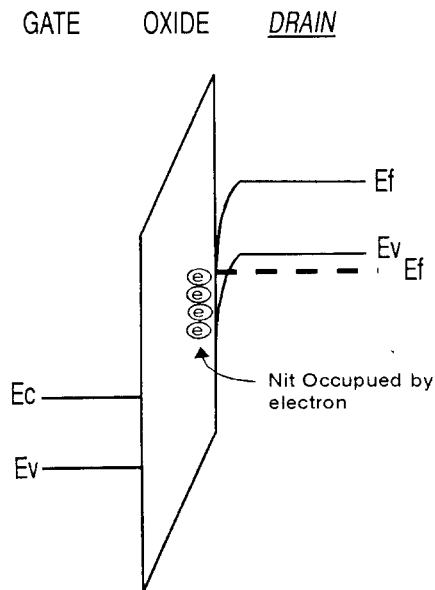


그림 12. 디바이스 OFF 상태($|V_g|=0$)에서 G/ D 중첩영역의 계면상태가 채워져있음

Fig 12. Nit occupied by electron in G/D overlap region at device OFF state ($|V_g|=0$).

지게되어 디바이스 동작에 영향을 끼치지 않는다. 30 초 정도의 스트레스에서도 GIDL이 크게 증가함을 알 수있다. 그리고 그림10으로부터도 홀 주입에 의한 Nit의 생성이 GIDL 전류를 증가시킨것을 알 수 있다.

F-N 스트레스후에 높은 드레인 전압에서 GIDL 전류를 측정할때 다량의 홀 주입에도 불구하고 전류는 감소하는 것을 볼 수 있다(그림10의 영역b). 만약 홀이 G/D 중첩영역에 트래핑되었다면 Vfb의 감소로 IBB는 증가해야한다. 이런 현상은 다음의 경우로 설명할 수 있다. 스트레스후에 G/D 중첩부분에는 주입된 홀과 다량으로 생성된 Nit가 존재하게된다. 측정시 Nit는 페르미 레벨보다 아래에 존재하기 때문에(그림12) 전부 전자로 채워지게 된다. 결국 G/D 중첩부분에는 주입된홀과 전자로채워진 Nit가 존재하며 이중 전자로채워진 Nit가 더 우세하기 때문에 Vfb가 증가하게되어 IBB 전류가 감소하게 된 것이라 생각된다. 또다른 이유는 게이트를 off로하고 높은 드레인 전압에서의 IBB를 측정하려고하면 측정자체가 Off-State 스트레스가 되기때문이다. 이에따라 전자가 게이트로 F-N 터널링하여 산화막에 트래핑이 되고 Vfb의 증가와 IBB의 감소를 일으키게된다.

D. Off-State 스트레스 (F-N)

Off-State 스트레스시에는 전자가 산화막으로 주입되는 F-N 주입이 일어난다. 그림13에서는 Off-State 스트레스시 초기에 전자주입으로 인해 GIDL 전류가 줄었다가 그 후에 Nit의 증가가 서서히 나타나는 현상을 보여주고 있다.

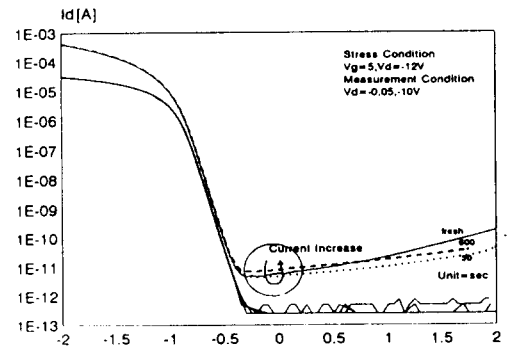


그림 13. Off-State 스트레스 후의 GIDL 전류 변화

Fig. 13. The change of GIDL current after off-state stress condition.

이 경우에는 드레인부근에 전자의 트래핑이 일어나서 I_{dsat} 이 증가하게 된다. 이 때의 전자 트래핑은 게이트와의 전압차가 큰 드레인 부근에 집중된다. 큰 에너지의 전자주입으로 인하여 Nit가 발생하게 되나 Vfb의 증가로 인하여 그 영향은 작은 편이다. 게이트 전압을 음으로하고 F-N 스트레스를 인가했을때 발생한 홀주입보다는 전자주입으로 인한 Nit생성은 작다. 초기에 주입된 전자는 지속적인 전자주입을 방해한다. 드레인 전류 증가도 초기에 급격히 증가했다가 점차 포화된다.

2. 교류 스트레스

그림14는 교류 스트레스 후 영역II에서 시간에따라 증가되는 GIDL전류를 보여주고있다. 소자의 채널길이가 길기때문에(1.6 μ m) 보다 큰 스트레스를 인가하기 위하여 pulse 높이를 0V~-14V로 하였으며 나타난 경향은 CHH 주입일때와 비슷하다.

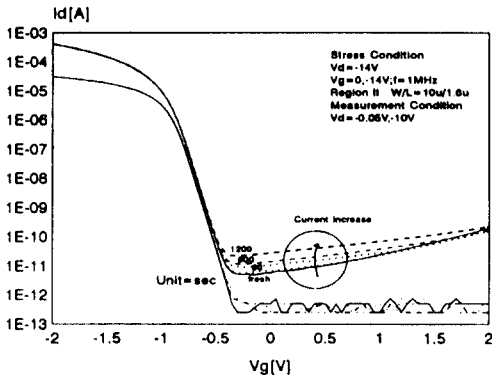


그림 14. 영역II 교류스트레스 후의 GIDL 전류증가

Fig. 14. The increase of GIDL current after 1200sec stress in dynamic region II.

그림15~16은 스트레스 전후의 각 교류 스트레스 영역에서의 GIDL 전류의 증가 모습이다.

그림15에서 영역II와 영역I은 각각 CHH 주입조건을 지나기 때문에 누설전류의 증가가 크다. 다만 영역I은 전자 주입조건을 지나기 때문에 영역 II보다는 누설전류 증가가 작은 편이다. 영역 III의 경우는 I_{gmax} 일때와 경향이 비슷하다. 그림15에서 영역I의 경우는 전자주입과 홀 주입 조건이 동시에 있으며 이에따라 전자 트래핑과 Nit 증가가 모두 큰 편이다. 영역 II의 경우는 전자 주입조건이 없기때문에 Vfb

변이는 적으나 Nit의 증가는 크다. 마찬가지로 영역 III는 홀 주입조건이 없기 때문에 Nit는 적게 증가하였으나 Vfb 변이는 크게 나타났다. 일반적인 회로에서 사용되는 전압파형은 CHH과 영역II이며 이런 조건하에서 발생하는 Nit는 누설전류를 증가시킬 수 있다. 특히 산화막이 얇아지면 BTBT 전류에 의한 누설전류뿐만 아니라 이보다 낮은 전압에서 발생하는 BTDT 전류도 회로 측면의 누설전력 소비를 촉진할 것이다.

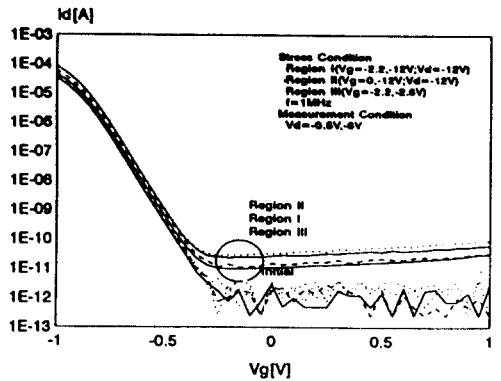


그림 15. 영역I,II,III 에서 1200초 스트레스 후의 GIDL 전류변화

Fig. 15. The change of GIDL current after 1200sec stress in region I,II,III.

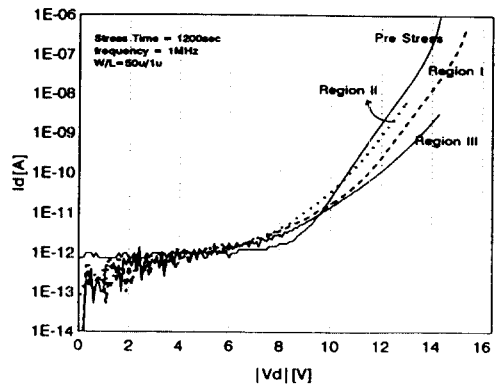


그림 16. 영역I,II,III 에서 1200초 스트레스 후의 GIDL 전류변화

Fig. 16. The change of GIDL current after 1200sec stress in dynamic region II.

그림17은 시간에 따른 I_{dsat} 전류 변화(dI_d/I_d)를 나타낸것이다.

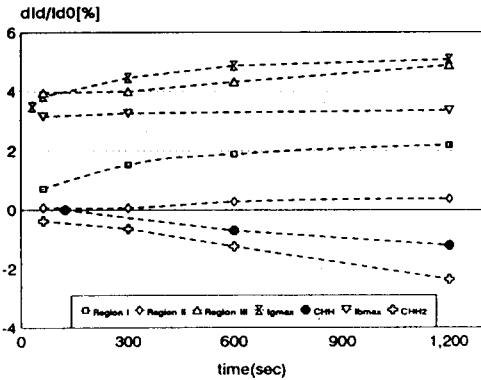


그림 17. 시간에 따른 드레인 포화전류의 변화
Fig. 17. The degradation of Idsat versus stress time.

Igmax 및 영역Ⅲ에서 드레인 전류변화(Idsat)가 크다. 영역Ⅱ는 Igmax조건이 없기때문에 드레인 전류변화가 매우 작게 나타났다. Hot Hole 주입 조건에서는 홀 주입에 의한 |VT|의 증가로 드레인 전류가 감소하게 된다.

그림18,19는 각각 스트레스 시간에 따른 게이트 및 기판전류의 감소를 나타낸다. 기존의 결과와 마찬가지로 Igmax 에서 전류의 감소가 가장 큰것을 알수있다. 영역Ⅱ에서는 전자주입 조건이 없기때문에 기판 및 게이트 전류감소가 적다.

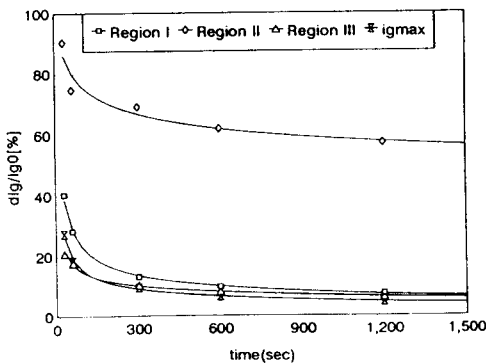


그림 18. 시간에 따른 게이트전류의 감소
Fig. 18. The decrement of gate current versus stress time.

그림20은 스트레스 시간을 1200초 주었을 때의 Idsat전류 변화를 모든 스트레스 조건에 대하여 표시

한 것이다.

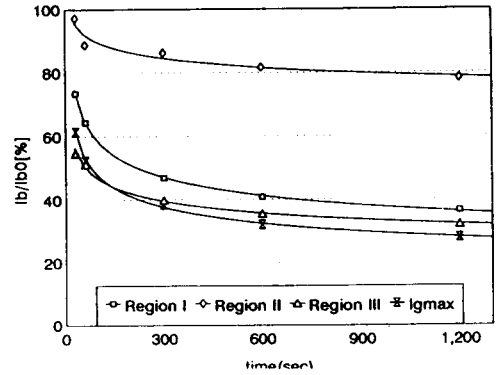


그림 19. 시간에 따른 기판전류의 감소
Fig. 19. The decrement of substrate current versus stress time.

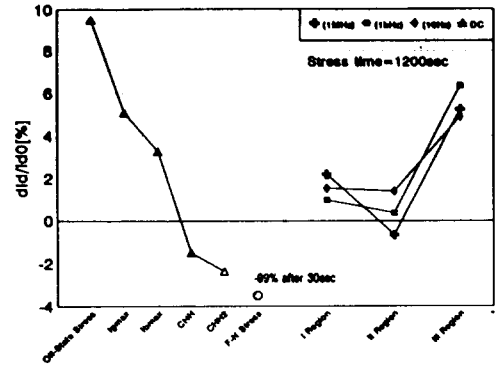


그림 20. 여러 스트레스 조건에서 1200초 후의 드레인 포화전류의 변화
Fig. 20. The change of Idsat after 1200 sec stressing at respective stress conditions.

Off-State 스트레스 및 Igmax 에서 드레인 전류 변화가 크다. F-N 스트레스 후에는 홀 주입으로인한 급격한 드레인 전류감소가 일어난다.

그림21은 스트레스 전후 드레인 전류가 1nA인 지점의 드레인 전압의 변화를 나타낸것이다.

이 드레인 전압의 변화는 G/D 중첩부근에 트랩된 전자의 양에 의하여 결정되는 것으로 CHH 조건을 제외한 모든 조건에서 트랩된 전자의 양을 알수있다. CHH 조건에서 Vdg가 음의값을 갖는것은 생성된

Nit에 의해 IBD가 증가했기 때문이다. Nit는 낮은 드레인 전압에서는 IBD 전류를 증가시키고 높은 전압에서는 전자로 채워져서 Vfb를 증가시키므로 IBB 전류를 감소시키게된다. 예측한대로 Off- State 스트레스와 Igmax 및 영역I, II에서 전자 트래핑이 많음을 알수있다.

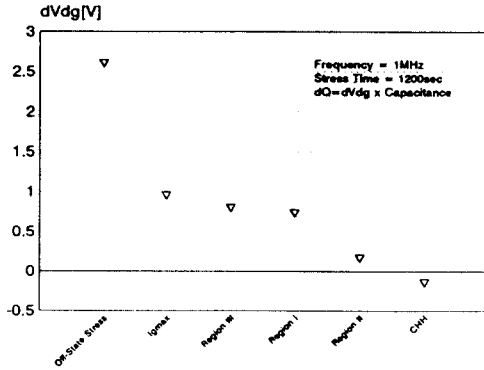


그림 21. 여러 스트레스 조건에서 트래핑된 전자의 양
Fig. 21. The amount of trapped electrons after 1200sec stressing at respective stress conditions.

그림22는 DC 및 교번 스트레스 후의 GIDL 전류의 변화를 나타내는 곡선이다.

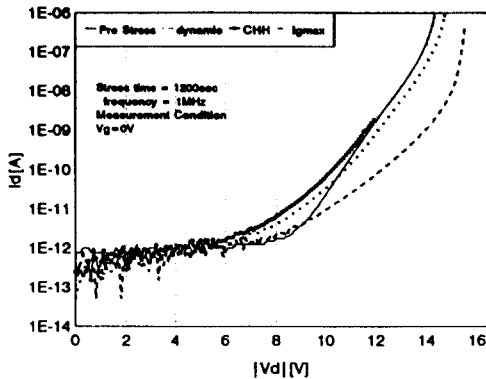


그림 22. 스트레스 전후의 GIDL 곡선 변이
Fig. 22. The change of GIDL current before and after stress.

스트레스 후에 Vfb 변이는 Igmax의 DC 스트레스 조건에서 크게 변한것을 알 수 있으며 dynamic 조건(영역 II, f=1MHz)에서는 Vfb 변이가 적으나

CHH를 포함하기 때문에 Nit가 보다 많이 발생되어 IBD 전류가 증가한 것을 보여준다. 그리고 CHH 주입영역에서는 Vfb의 변화가 적으나 낮은 드레인 전압 영역에서 IBD 전류의 증가가 크게 일어남을 알 수 있다. 이것으로부터 CHH에 의한 Nit의 생성이 IBD 증가의 주 원인임을 알 수 있다.

그림23은 시간에 따라 Vgl이 변화하는 모습을 보여준다.

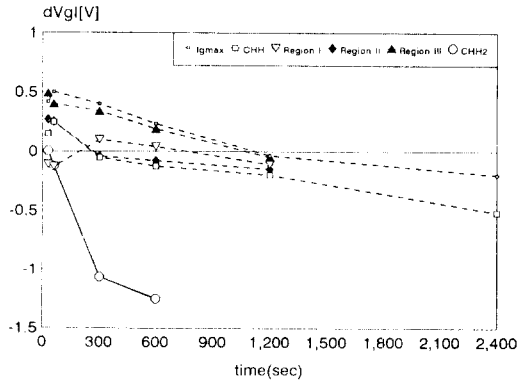


그림 23. 시간에 따른 Vgl 변화
Fig. 23. The change of Vgl versus stressing time.

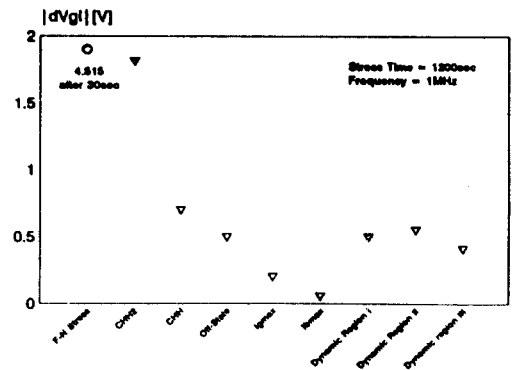


그림 24. 여러 스트레스 조건에 따른 1200초 후의 Vgl 변화
Fig. 24. The change of Vgl after 1200sec stressing at respective stress condition.

스트레스 초기에 Nit 증가보다는 전자 트래핑(Ne) 증가가 우세하기 때문에(디바이스 제작후에 존재하는 전자 트랩이 초기에 전자로 채워지기 때문이라고 생

각됨) V_{gl} 의 증가가 일시적으로 나타난다. 하지만 스트레스가 계속될수록 N_{it} 증가는 포화되며 N_{it} 는 계속 증가하기 때문에 V_{gl} 이 음의 방향으로 감소하게 된다. 그리고 I_{gmax} 와 CHH 조건을 비교할 때 시간이 지남에 따라 그 차이는 점점 더 벌어지게 된다. 그림 24는 드레인 누설 전류가 $0.1\text{pA}/\mu\text{m}$ 흐르는 드레인 전압(V_{gl})이 스트레스 전후에 얼마나 감소하는 가를 보여준다.

CHH 주입조건에서 V_{gl} 의 변화가 가장 크며 교변 스트레스는 그 다음이고 I_{gmax} 조건에서 가장 작았다. 이런 결과로부터 전자 트래핑의 경우 평탄 전압의 증가로 GIDL이 감소하게되고 CHH이 주입되는 조건에서는 N_{it} 가 많이 생성되어 BTDT에 의한 GIDL이 증가하는 것으로 해석된다. 그리고 교변 스트레스에서는 전자의 주입이 적고 CHH 주입이 많을수록 GIDL의 증가가 큰것을 알 수 있으므로 실제 회로에서 CHH주입이 많은 영역의 동작전압에서 GIDL(IDB)이 증가되어 회로의 신뢰도에 영향을 미치게 될것을 알수있다. 또한 디바이스 동작 전압보다 낮은 부분에서 누설전류가 발생한다면 전체회로에 미치는 영향도 클것이다.

V. 결론

BC-PMOSFET에 직류및 교변 스트레스를 인가하여 GIDL 전류를 측정된 결과 다음과 같은 결론을 얻을 수 있었다. 첫째, 낮은 드레인 전압에서의 GIDL 전류 증가는 홀 주입에 의한 N_{it} 의 생성으로 BTBT에 의한 IDB 전류의 증가에 기인한다. 생성된 N_{it} 는 높은 드레인 전압에서는 전자로 채워져서 V_{fb} 를 증가시키고 GIDL전류(IBB)를 감소시키게된다. 둘째, 교변 스트레스 조건에서는 교변파형이 홀주입이 많은 조건일수록 GIDL 전류(IDB)가 증가함을 알 수 있었다. 셋째, 전자가 트래핑되는 경우는 V_{fb} 가 증가하고 이로인하여 GIDL 전류가 감소하였다. 여러가지 스트레스 조건에서 Hot-Carrier에 의한 GIDL 현상 분석은 앞으로 deep submicron CMOS 집적회로의 신뢰도 분석에 크게 기여할 것이다.

감사의글

이 연구는 92년도 연세학술진흥의 일환으로 수행되었으며, 이 연구를 지원해준 학교측에 감사드립니다.

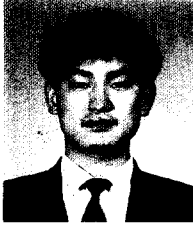
參考文獻

[1] T.-C. Ong, K. Seki, P. K. Ko, and C. Hu,

"P-MOSFET gate current and device characterization," in *Proc. IEEE/IRPS*, 1989, pp. 178-182.

- [2] M. Koyanagi, A. G. Lewis, R. A. Martin, T. Y. Huang, and J. Y. Chen, *IEEE Trans. Electron Devices* ED-34, p839, 1987
- [3] T. Y. Chan, J. Chen, P. K. Ko, and C. Hu, "The impact of gate-induced drain leakage current on MOSFET scaling," in *IEDM Tech. Dig.*, pp. 718-721, 1987.
- [4] T. Hori, "Drain-Structure for Reduced Band-to-Band and Band-to-Defect Tunneling Leakage," *Symp. on VLSI Technology*, 1990, pp. 69-70.
- [5] Yuan Tang, Dae M. Kim, Yung-Huei Lee, Babak Sabi, "Unified Characterization of Two Region Gate Bias Stress in Submicrometer p-Channel MOSFET's," *IEEE Electron Devices Lett.*, vol. 11, no. 5, pp 203-205, 1980
- [6] C. T. Sah, "Models and Experiments on Degradation of Oxide Silicon," vol. 33, no. 2, p159, 1990.
- [7] Tong-chen Ong, P. K. Ko, C. Hu, "Hot-Carrier Current Modeling and Device Degradation in Surface-Channel p-MOSFET's," *IEEE Trans. Electron Devices*, vol. 37, no. 7, pp. 1658-1666, 1990.
- [8] F. Matsuoka, H. Iwai, H. Hayashida, K. Hama, Y. Toyoshima, K. Maeguchi, "Analysis of Hot-Carrier-Induced Degradation Mode on pMOSFET's," *IEEE Trans. Electron Devices*, vol. 37, no. 6, pp. 1478-1495, 1990.
- [9] Hsing-jen Wann, P. K. Ko, C. Hu, "Gate-Induced Band-to-Band Tunneling Leakage Current in LDD MOSFETs," in *IEDM Tech. Dig.*, pp. 147-150, 1990
- [10] Chul Hi Han, Kwan Kim, "Leakage Mechanisms in the Heavily Doped Gated Diode Structure," *IEEE Electron Devices Lett.*, vol. 12, no. 2, pp 74-76, 1991

著者紹介



柳 同 烈(正會員)

1967年 10月 26日生. 1990年 연세대학교 전자공학과(공학사). 1992年 연세대학교 전자공학과 대학원(공학석사). 1993年 현재 본 대학원 박사과정 재학중. 주관심분야는 실리콘 소자 모델링 및 Reliability, Parameter extraction 등임.

朴 鍾 泰(正會員) 第 29卷 A編 第 7號 參照

현재 인천대학교 전자공학과 교수

金 鳳 烈(正會員) 第 25卷 第 1號 參照

현재 연세대학교 전자공학과 교수



李 相 敦(正會員)

1959年 9月 23日生. 1982年 연세대학교 전자공학과(공학사). 1984年 연세대학교 전자공학과 대학원(공학석사). 1984年 1月 ~ 현재 금성일렉트론(주) 연구소 근무. 1991年 3月 ~ 현재 연세대학교

전자공학과 박사과정 재학중. 주관심분야는 Deep-submicron MOSFET의 신뢰성 특성 및 thin-dielectric 특성 등임.