

고 집적을 위한 n-channel MOSFET의 소오스/드레인 구조의 특성 비교에 관한 연구

(A Study on the Characteristics Comparison of Source/Drain Structure for VLSI in n-channel MOSFET)

柳章烈*, 洪鳳埴**

(Jang Ryeol Ryu and Bong Sik Hong)

要約

Submicron급 고집적 소자에서는 종래 긴 채널의 5V 동작에서 나타나지 않던 짧은 채널효과에 의한 고온전자(hot carrier)의 2차원적 영향의 발생으로 소자의 신뢰성이 떨어지고 있어 고온전자의 발생을 최소화 하기 위한 다양한 형상의 드레인 구조가 연구되고 있다. 본 논문에서는 이의 한 방법으로 고온전자의 영향을 최소화 할 수 있는 CG(Concaved Gate)로 명명된 새로운 구조의 MOS소자를 제안하고, 보통 구조의 nMOS, LDD 구조의 nMOS소자 등과 함께 모의 실험(simulation)을 통하여 그 전기적 특성을 비교 고찰하였다. 이들 3가지 소자는 LOCOS공정에 의하여 제작되는 것으로 가정하였으며, 고온전자에 강한 특성의 작용을 검증하기 위하여 PISCES-2B Simulator를 통한 컴퓨터 분석을 하였다. 본 모의 실험에서는 채널길이를 $1.0\mu\text{m}$ 로 하였으며, V_D-I_D 특성, 게이트 및 기판 전류의 특성, Potential분포, 항복전압 및 전계 특성 등을 비교하였다.

Abstract

The VLSI device of submicron level trends to have a low level of reliability because of hot carriers which are caused by short channel effects and which do not appear in a long-channel MOSFET operated in 5V. In order to minimize the generation of hot carrier, much research has been made into various types of drain structures. This study has suggested CG MOSFET (Concaved Gate MOSFET) as a new drain structure and compared its electrical characteristics with those of the conventional MOSFET and LDD-structured MOSFET by making use of a simulation method. These three device were assumed to be produced by the LOCOS process and a computer-based analysis(PISCES-2B simulator) was carried out to verify the hot electron-resistant behaviours of the devices. In the present simulation, the channel length of these devices was $1.0\mu\text{m}$ and their DC characteristics, such as V_D-I_D curves, gate and substrate current, potential contours, breakdown voltage and electric field were compared with one another.

1. 서론

*正會員, 天安工業專門大學 電子科
(Dept. of Elec. Eng., Cheonan Nat. jun. Tech. college)

**正會員, 忠南大學校 電子工學科
(Dept. of Elec., Eng., Chungnam Nat. Univ.)
接受日字: 1992年 11月 23日

MOSFET소자는 그 구조상 바이폴라(bipolar)소자에 비하여 낮은 가격, 높은 집적도의 장점과 미세 가공 기술의 향상으로 ROM 또는 RAM등의 기억소자에 많이 이용되고 있다. 이 미세 가공 기술의 발달에 따라 현재의 기술로 MOSFET의 특성을 좌우하는

Submicrom급 게이트 길이의 조절도 가능하게 되었다.

따라서 종래의 긴 채널 소자에서 볼 수 없었던 여러 가지 문제점, 즉 짧은 채널(short channel)화로 인한 2차원적 영향이 발생하여 소자의 특성을 열화시켜 신뢰성을 저하시키고 있다. 짧은채널효과(short channel effect)에 의해 나타나는 문제점으로 펀치스로우(punch-through)에 의한 항복전압(breakdown voltage)의 감소, 문턱전압(thresh-old voltage)의 감소, 고온전자(hot carrier)에 기인한 기판전류 및 게이트 전류의 발생과 그에 따른 소자의 신뢰성 저하, Subthreshold특성 저하 등이 고려의 대상이 된다.^{1, 2}

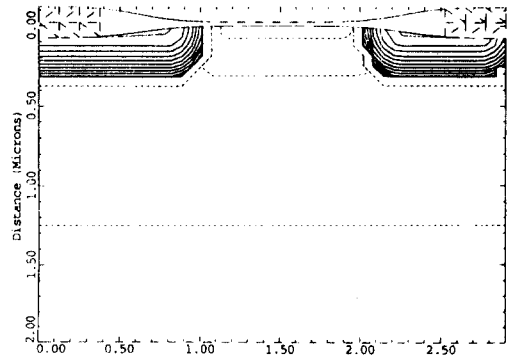
nMOSFET소자의 경우 드레인 영역의 장전계에 의한 충격 이온화(impact ionization)현상으로 급격한 특성 열화에 따른 소자의 신뢰성을 현저히 떨어뜨리고 있다. 이러한 문제점을 해결하기 위해서 여러가지 형상의 드레인 구조가 연구되고 있으며, 이들은 드레인 영역 근처의 전계를 감소시켜 충격 이온화 현상을 줄이는 방법을 채택한 것으로 LDD(Lightly Doped Drain/Source)¹⁰⁾와 변형된 LDD(MLDD, PLDD, ITLDD), DDD, PD구조와 3차원적으로 채널을 확장한 Grooved Gate구조¹³⁾ 등 다양한 형상의 소자들이 제안되고 있다.^{11) 12) 13) 16)} 여기서 Grooved Gate구조는 Gate poly Si으로 Concave 형태를 구성하여, 채널 이온 주입한 영역으로 부터 드레인이 분리되는 DSC(Drain Separated from Channel implanted region)가 존재하여 드레인 영역근처의 전계를 크게 약화시켜 충격 이온화(impact ionization)를 줄일 수 있는 장점이 있으나, 게이트가 소오스/드레인과 중첩되는 영역이 소오스/드레인 접합부분까지 확장되어 C_{gs} (혹은 C_{gd})가 커져 지연시간이 커질 수 있고, 공정 과정상 트렌치(trench)형성시 실리콘 표면의 손상, 게이트 산화막의 불균일등 소자의 구동능력 저하가 예측되고 있다. LDD구조의 소자는 채널과 드레인/소오스 사이에 n영역이 존재하여 드레인 영역의 전계를 감소시키는 장점이 있으나, 드레인이 직입저항으로 작용하여 통상의 소자보다 드레인 전류가 적게 흐르는 점과 앞으로 채널 길이가 더욱 짧아져 고 집적화 됨에 따라 얇은 접합길이가 요구될 때에는 많은 단점에 직면하게 된다.¹⁷⁾

본 연구에서는 드레인 구조를 변경하여 날카로운 만곡부의 높은 전계를 감소시켜 짧은채널효과로 인한 고온전자를 줄일 수 있는 CG MOSFET(Concaved Gate MOSFET)로 명명된 새로운 구조를 제안하여 그 전기적 특성을 예측하고 기존의 nMOSFET 및 nLDD MOSFET등과 비교 고찰하고자 한다.

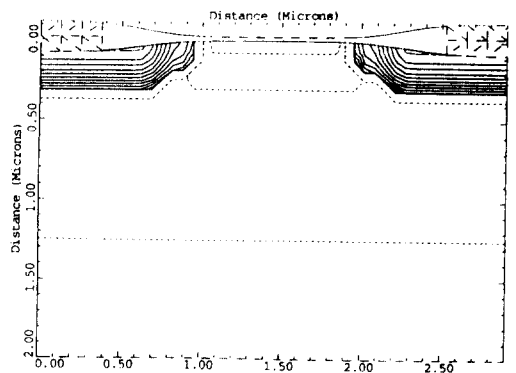
이들 소자는 LOCOS공정을 적절히 이용하여 제작되는 것으로 하였으며, 짧은채널효과를 검증하기 위하여 TMA사에서 제공한 PISCES-2B를 통하여 컴퓨터 분석을 하였고, 검증에서는 1.0 μ m의 실효 게이트 길이를 기준하였으며, V_D - I_D 특성, Potential분포, 게이트 및 기판 전류 특성, 항복전압 및 전계특성, Drain current snapback등을 비교하였다.

II. 소자의 소오스/드레인 구조

그림 1에서는 보통의 nMOSFET(a), LDD nMOSFET(b), CG(Concaved Gate) nMOSFET(c)의 구조를 나타내고 있다. 이들 소자들은 모두 LOCOS 공정에 의하여 제작되는 것으로 하였으며, 채널 길이는 1.0 μ m를 기준으로 하였다. 그림 1(b)의 LDD구조에서는 소오스/드레인 양끝의 n 영역이 0.1 μ m정도 채널에 걸쳐 있어 실효 채널 길이는 0.8 μ m정도이며, 특히 그림 1(c)의 CG nMOSFET는 다음 절에서 기술하는 바와같이 n-channel을



(a)



(b)

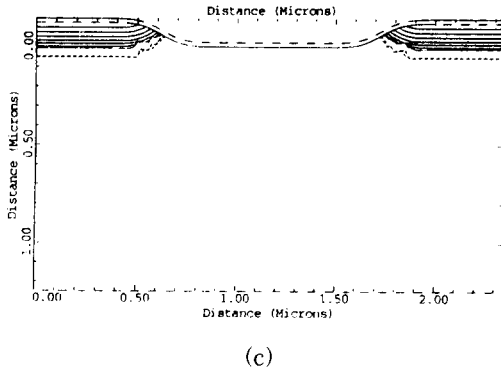


그림 1. nMOSFET소자의 소오스/드레인 구조별 단면도 비교

- (a) 보통구조의 소자
- (b) LDD구조의 소자
- (c) CG구조의 소자

Fig. 1 Comparison of cross sectional view for various source/drain structures in nMOSFET.

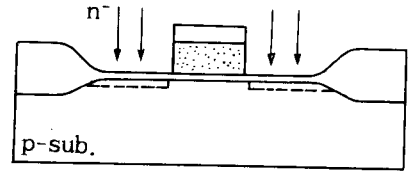
- (a) Conventional-structured nMOSFET.
- (b) LDD-structured nMOSFET.
- (c) CG-structured nMOSFET.

LOCOS공정에 의하여 형성한 후, 보통 이용되고 있는 자기 정렬 공정(self-aligned process)을 수행하여 소자의 제작이 완성될 수 있다.

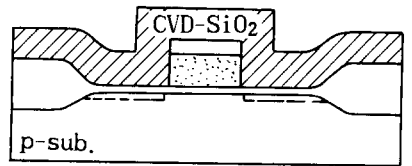
III. 소자의 제작 방법

그림 2에서는 이미 알려진 LDD nMOSFET의 제작 공정을 나타낸 것으로 (a)poly-si gate를 마스크로 하여 n⁻층을 형성한다. (b)CVD-SiO₂층을 퇴적한 후, n⁻층 형성을 위한 측벽(sidewall)을 RIE (Reactive Ion Etching)에 의하여 만들고, (d) n⁺층을 형성한뒤 (e) 금속공정으로 소자의 제작을 완성한다.

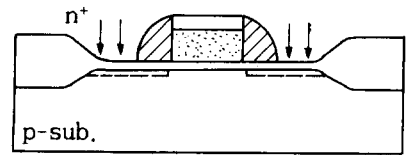
한편 그림 3(a)^[12]에서는 CG MOSFET의 제작 공정 과정을 제안한 것으로 종래의 CMOS공정의 gate oxide 성장 단계에서 부터 추가 공정이 필요하다. 즉, gate oxide 성장 대신에 (a)약 250~300Å의 얇은 pad oxide를 성장하고, 약 500~550Å의 poly-Si층과 0.3μm 정도의 Si₃N₄층을 퇴적한다. (b) gate 영역을 정의한 후 습식 산화로 0.2~0.3 μm두께의 LOCOS oxide를 성장 시킨다. 이때 (c) LOCOS oxide를 etch한 뒤, 움푹 패인 부분



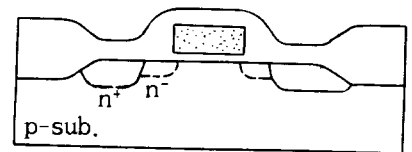
(a)



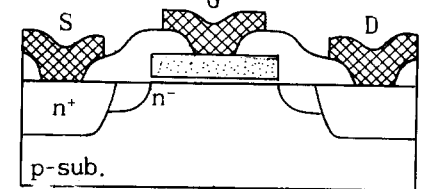
(b)



(c)



(d)



(e)

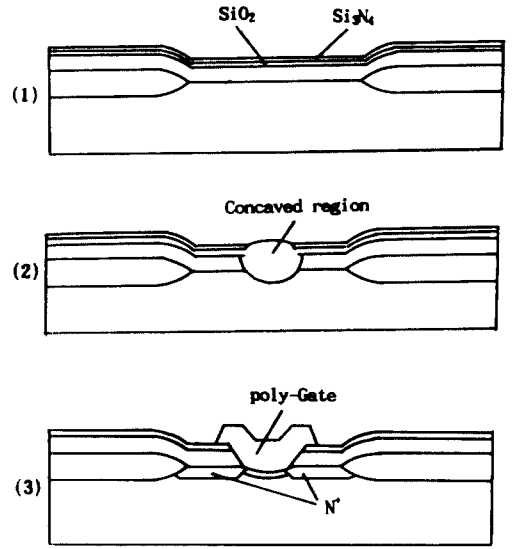
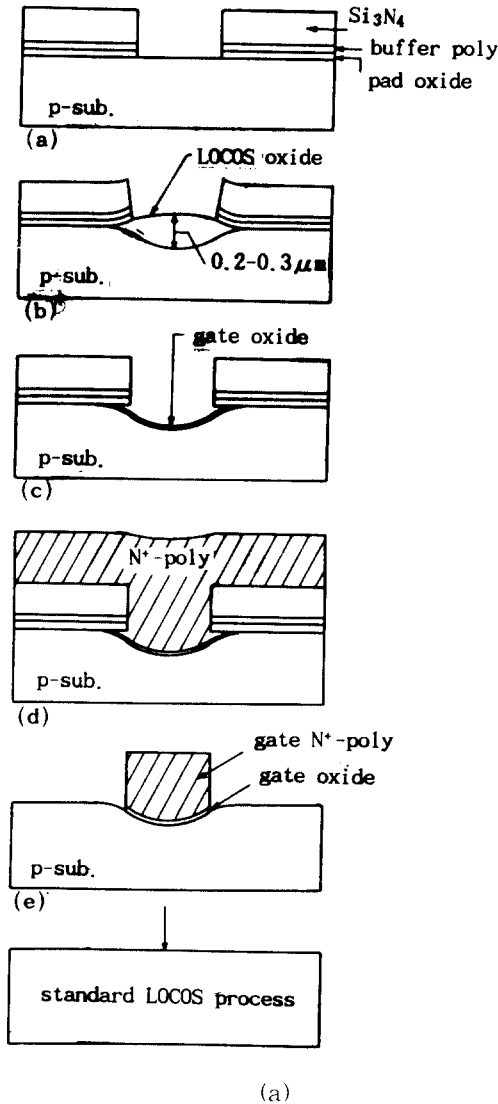
그림 2. LDD nMOSFET제작 공정의 단면도

Fig. 2. Cross section view of fabrication process in LDD nMOSFET.

(concaved region)에 gate oxide을 성장한다. (d) n' poly-Si으로 gate 전극을 정의한 후, (e)Si₃N₄ buffer poly. pad oxide를 제거하면 움푹 패인 채널 (concaved channel)을 형성할 수 있다. 그 다음 기준에 알려진 자기정렬공정(self-aligned process)의 LOCOS 공정을 다시 수행하여 소자제작을 완성한다. 완성된 소자제작의 모형도를 그림 3(b)에서 소개한다.

IV. 소자의 컴퓨터 시물레이션

컴퓨터 시물레이션은 그림 1에서 나타난 바와 같이 3가지 구조에 대하여 TMA사의 PISCES-2B를 이용하여 수행하였다.



- (1) LOCOS Isolation. a-Si(pad-oxide)/SiO₂(poly)/Si₃N₄ deposition.
- (2) Patterning. a-Si(pad-oxide)/SiO₂(poly)/Si₃N₄ etching, LOCOS.
- (3) Si₃N₄ strip. N⁻ implant. Oxide strip. Gate Oxidation. Poly deposition. Patterning.

(b)

그림 3. (a) CG nMOSFET제작 공정의 단면도
(b) CG nMOSFET 제작 완성 모형도
Fig. 3. (a) Cross section view of fabrication process in CG nMOSFET.
(b) Fabrication sequence in CG nMOSFET.

기판 농도는 $1 \sim 3 \times 10^{15} \text{cm}^{-3}$. n' 영역의 농도는 $1 \sim 2 \times 10^{20} \text{cm}^{-3}$. 채널 농도는 $1 \sim 2 \times 10^{16} \text{cm}^{-3}$ 이고, gate oxide는 250Å. gate 재료는 n'-poly를 사용하였다. n, n' 접합 깊이는 각각 0.2μm, 0.35μm의 공정 변수를 목표로 정하여 소자의 시물레이션 입력 변수로 사용하였으며, 문턱값 전압(threshold voltage)은 0.6V정도로 하였다.

시물레이션 결과로서 I_{DS}-V_{DS}, I_{SUB}-V_{GS}, I_{GS}-V_{GS}, Potential contours 및 전계 분포, Drain current snapback등을 그림 4, 그림 5, 그림 6, 그림 7, 그림 8, 그림 9, 그림 10에서 각각 나타내었다. 그림 4에서는 I_{DS}-V_{DS}곡선으로 V_{GS}=3V에서의 변화 곡선을 나타낸 것이다. 그림 5에서는 각각의 소자에 대한

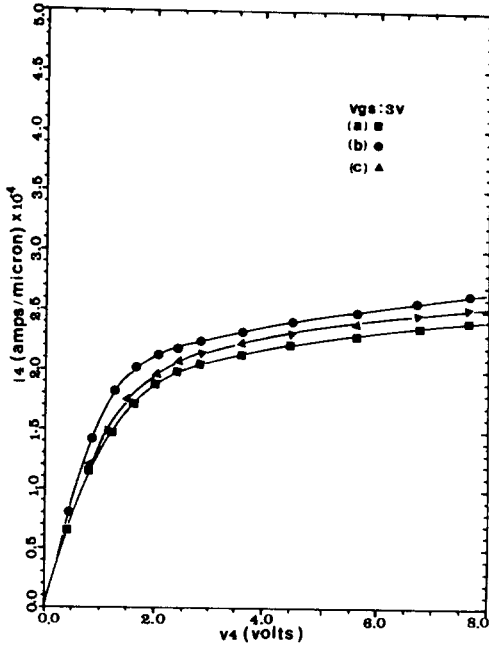


그림 4. 드레인 특성곡선 ($I_{DS}-V_{DS}$)

- (a) 보통구조의 소자
- (b) LDD 구조의 소자
- (c) CG 구조의 소자

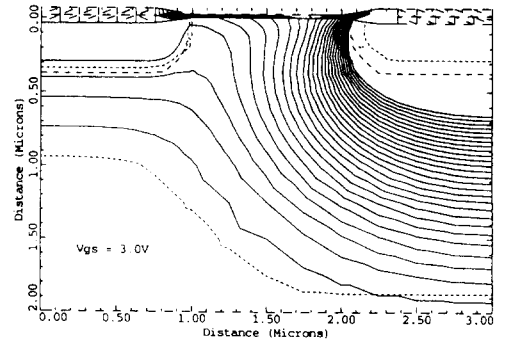
Fig. 4. Curves of drain characteristics ($I_{DS}-V_{DS}$).

- (a) Conventional-structured device.
- (b) LDD-structured device.
- (c) CG-structured device.

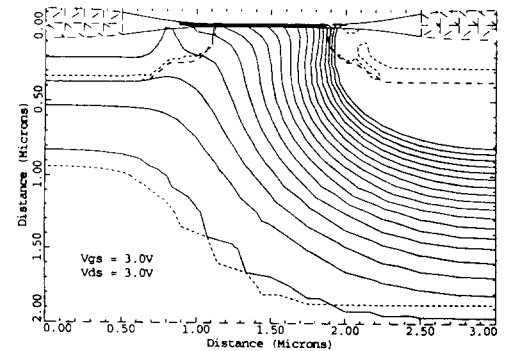
Potential contours를 나타낸 것이다.

그림 6에서는 충돌 전리 현상 (impact ionization) 해석에서 얻어진 기판 전류 (substrate current)의 결과 곡선으로 $I_{SUB}-V_{GS}$ 의 관계를 비교한 것이다. 소자가 Turn-on할때 기판전류는 처음 채널 전류에 기인하여 매우 빠르게 증가하나, 게이트 전압이 더욱 증가하면 드레인 영역의 전계는 감소하게 되며, 이 전계의 감소와 전류의 증가가 균형되는 점에서 최대의 기판 전류가 형성하게 된다. nMOS인 경우 2.5V~3.0V 사이에서 nLDD 구조는 2.0V~2.5V에서 CG구조는 2.5V 근처에서 최대값이 존재하였다.

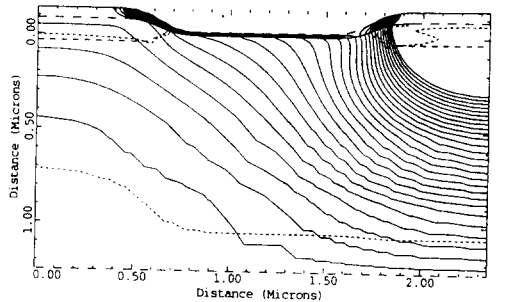
그림 7에서는 게이트 전압의 증가에 따른 게이트 전류의 변화 관계를 비교한 것이다. Gate-bias가 낮은 때에는 드레인 영역의 전계가 높으므로 드레인 영역의 Oxide 전계 영향으로 게이트로의 고온전자 주입을 억압하여 게이트 전류는 극히 적다. 그러나 Gate bias가 V_{DS} 값 이상으로 되면 Oxide 전계가 비교적 낮아져 캐리어(carrier)의 주입을 용이하게 하



(a)



(b)



(c)

그림 5. Potential contours의 비교

- (a) 보통구조의 소자
- (b) LDD 구조의 소자
- (c) CG 구조의 소자

Fig. 5. Comparison of potential Contours.

- (a) Conventional-structured device.
- (b) LDD-structured device.
- (c) CG-structured device.

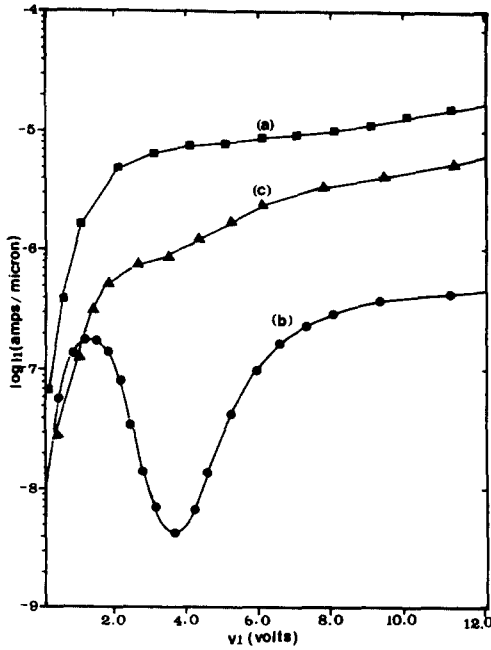


그림 6. 각 소자의 기판 전류 특성 비교
 (a) 보통구조의 소자
 (b) LDD구조의 소자
 (c) CG 구조의 소자

Fig. 6. Characteristics comparison of substrate current for various devices.
 (a) Conventional-structured device.
 (b) LDD-structured device.
 (c)CG-structured device.

는 작용을 하여 게이트 전류가 빠르게 증가한다. 여기서 드레인 영역의 전계감소와 V_{GS} 증가의 균형점에서 게이트 전류는 최대가 된다. nLDD구조에서는 상당히 감소한 게이트 전류를 보여주고 있다.

그림 8에서는 드레인 영역의 전계에 의한 충돌 전리(impact ionization)작용에 의해 생긴 고온전자의 발생분포도(generation rate contours)를 비교한 것으로 충돌전리의 대부분이 채널-드레인 영역 근처의 Si-oxide경계에서 발생하고 있음을 보여주고 있다. 여기서 Line의 조밀한 부분(Line과 Line의 폭이 조밀한 것)은 발생빈도가 많으며, 느슨한 부분은 발생빈도가 다소 완만한것을 나타낸다.

그림 9에서는 14V의 드레인 바이어스의 경우 에비런츠(avalanche)항복 현상의 분석에서 얻은 potential-contours와 E-line을 표시한 것으로 potential contours는 실선이며, E-line은 점선으로

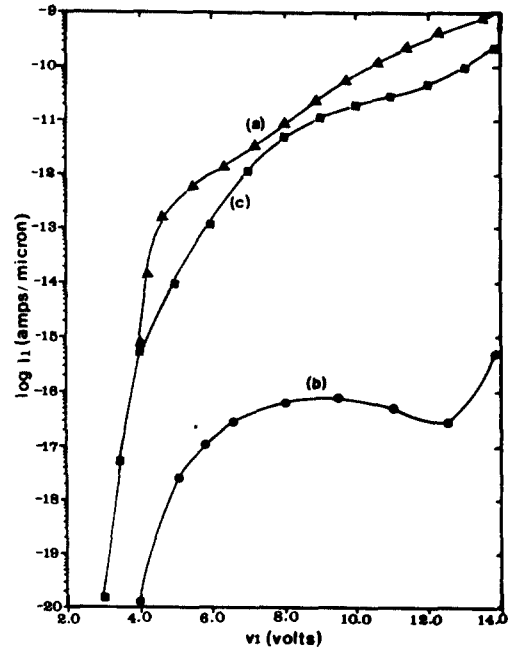
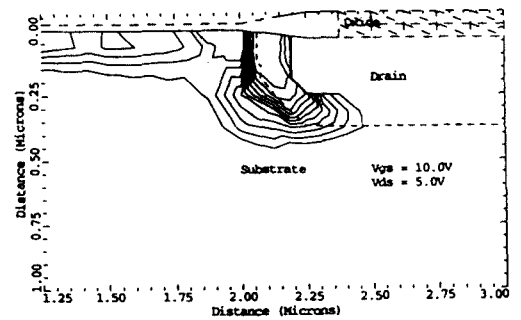


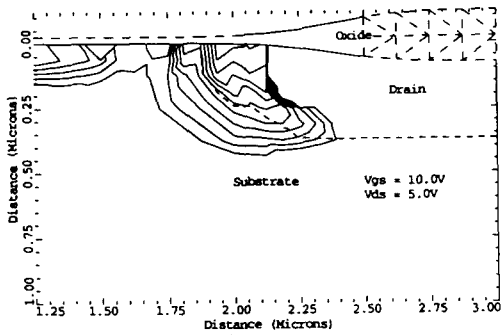
그림 7. 각 소자의 게이트 전류 특성 비교
 (a) 보통구조의 소자
 (b) LDD구조의 소자
 (c) CG 구조의 소자

Fig. 7. Gate current comparisons for various devices.
 (a) Conventional-structured device.
 (b) LDD-structured device.
 (c)CG-structured device.

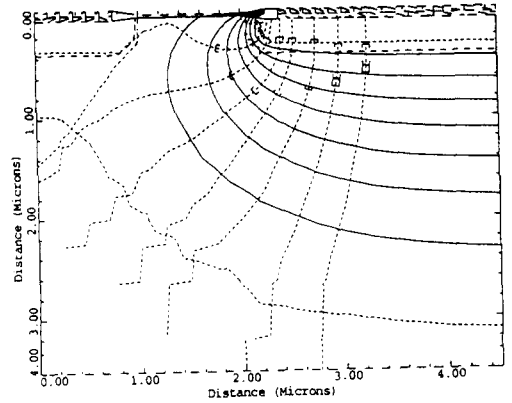
나타내었다. 그림에서 [표시는 미리 규정한 전계값 (여기서는 1.0×10^5 V/cm)을 나타낸것이다. 첫번째 field line에 대한 시작점이 드레인 영역의 표면을 규



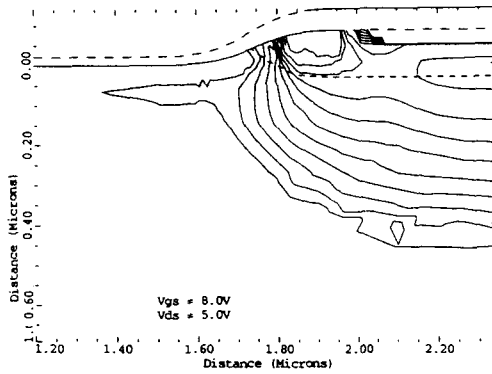
(a)



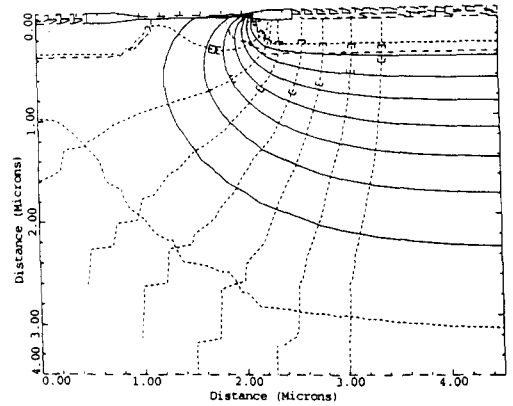
(b)



(a)



(c)



(b)

그림 8. 각 소자의 총돌전리 생성을 비교

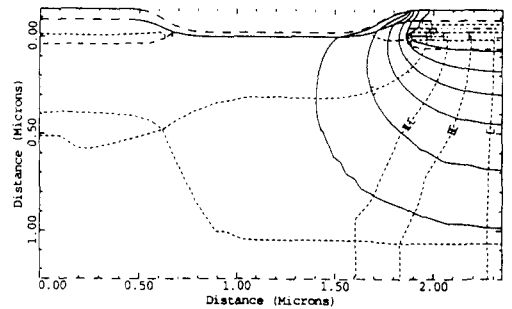
- (a) 보통구조의 소자
- (b) LDD구조의 소자
- (c) CG구조의 소자

Fig. 8. Comparison of generation rate contours for impact ionization.

- (a) Conventional-structured device.
- (b) LDD-structured device.
- (c) CG-structured device.

정하며, line과 line을 0.4μm의 거리에서 시작하도록 입력하였다.

항복전압을 조사하기 위하여 Gate구동에 따른 항복현상을 해석하였다. 게이트전압이 0.5V, 1.0V인 경우, 항복전압은 nMOS구조가 10.5V, LDD구조의 nMOS인 경우 13.0V이었으며, CG구조의 nMOS도 nLDD구조와 비슷한 값을 얻었다. 그림 10에서는 drain current snapback결과를 보여주고 있다. nMOS의 경우 드레인 전압이 10.5V, 드레인 전류가



(c)

그림 9. 항복 현상의 해석

- (a) 보통구조의 소자
- (b) LDD구조의 소자
- (c) CG구조의 소자

Fig. 9. Avalanche breakdown analysis.

- (a) Conventional-structured device.
- (b) LDD-structured device.
- (c) CG-structured device

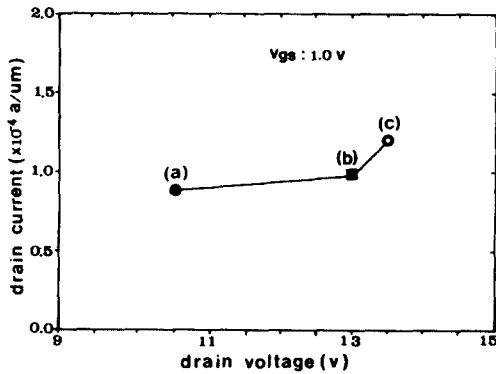


그림 10. 드레인 전류의 snapback에 의한 항복 전압의 비교

- (a) 보통구조의 nMOS
- (b) LDD 구조의 nMOS
- (c) CG 구조의 nMOS

Fig. 10. Comparison of breakdown voltage by drain current snapback.

- (a) Conventional-structured nMOS,
- (b) LDD-structured nMOS,
- (c)CG-structured nMOS.

0.88x10⁻⁴ A/μm 되는 시점에서 급격한 증가가 나타났으며, nLDD는 13.0V, 0.98x10⁻⁴ A/μm의 시점에서, CG nMOSFET는 13.5V, 1.2x10⁻⁴ A/μm의 시점에서 드레인 전류가 급격히 증가하였다. 이 급격한 증가 시점의 드레인 전압이 항복현상을 나타내므로 CG nMOSFET에서 짧은채널효과의 극복이 기대되었다.

V. 결론

새로운 소오스/드레인 구조인 CG(Concaved Gate) nMOSFET와 보통구조의 nMOSFET, LDD구조의 nMOSFET의 전기적 특성을 2차원적 컴퓨터 시뮬레이션을 통하여 조사 비교하였다. 앞의 시뮬레이션 결과로부터 CG nMOSFET의 전기적 특성이 LDD구조와 비슷한 값을 나타내, 종래의 평면소자와 같이 안정된 특성이 존재할 수 있을 것으로 예측되었다.

CG nMOSFET의 V_{DS}-I_{DS}값은 V_{DS}=3V에서 2.3x10⁻⁴ A/μm로 LDD nMOSFET와 비슷하였고, 게이트 및 기판전류의 크기는 CG구조가 LDD구조보다 다소 높았으나, 이는 채널의 움푹패인 부분(concaved region)의 높이를 조절하고, Gate Oxide두께 및 소오스/드레인 접합깊이를 줄여 최적화하면 충

분히 개선될 수 있을 것으로 기대되었다. 또한 드레인 전류의 급속한 회복(snapback of drain current)실험에서 nMOS의 경우 10.5V, nLDD는 13.0V, CG nMOSFET는 13.5V의 결과에서 보듯 항복전압이 개선될 수 있음을 보였다. 고온전자 발생의 근거인 게이트 전류 및 기판전류에서도 다소의 차이가 있으나, 비교적 좋은 결과가 있었다. 따라서 제작공정에 관한 최적화를 피하고 공정의 표준화를 기하면 CG구조의 소자도 전압의 Scaling없이 Submicron급의 VLSI제조에 이용될 수 있을것으로 생각되며, 향후 실제 제작된 소자와의 특성 비교에 관한 조사가 요망된다.

參考文獻

- [1] C. Hu, S.C.Tam, "Hot-Electron Induced MOSFET Degradation." *IEEE Trans on Elec. Dev.* vol. ED-32, no.2, PP375-385, 1985.
- [2] C.Duvvry, et al. "Series resistance modeling for optimum design of LDD transistors." *IEDM*, p388, 1983.
- [3] E.Takeda, H.Kume, S.Asai, "New grooved-gate MOSFET with drain separated from channel implanted region." *IEEE trans. Elec. Dev.* vol. ED-30 no.6 pp681-686, 1983.
- [4] H.Mikoshiba, T.Horiuchi and K. Hamano, "Comparison of drain structure in n-channel MOSFETs." *IEEE Trans. Elec. Dev.* vol. ED-33, no.1, pp140-144, 1986.
- [5] Hsu, F.C. and H.R.Grinolds, "Structure-Enhanced MOSFET Degradation Due to Hot-Electron Injection." *IEEE Elec. Dev. Lett.* EDL-5, P71, 1984.
- [6] K.Sunouchi, H.Takato, A.Nitayama and K.Hieda, "Double LDD concave structure for sub-half micron MOSFET." *IEEE Int. Elec. Dev. Meeting*, pp226-231, 1988.
- [7] Ling, M.S.C, Chang, W. Yang, C.Hu, and R.W.Brodersen, "Hot-Carriers Induced Degradation in thin Gate Oxide MOSFETs." *IEDM, Tech. Dig.*

- p186, 1983.
- [8] M.Kakumu, S.Yokogwa and K.Hashimoto, "Submicron MLDD MOSFETs for 5 [V] operation," Symp. VLSI Tech. Dig. Tech. Papers. p116, 1985.
- [9] M.L.Chen, C.W.Leung, W.T.Cochran, "Suppression of Hot-Carrier Effects Submicrometer CMOS Technology." *IEEE Trans. on Elec. Dew.* vol.35, pp2210-2219, 1988.
- [10] Ning, T.H.M., P.W.Cook, F.H. Dennard, "1 μ m MOSFET VLSI technology part IV Hot-Electron Design Constraints." *IEEE Trans. on ED-26.* P346, 1979.
- [11] Ogura,S.,P.J.Jsang, W.W.Waker, D.L. Critchlow and J.F.Shepard, "Design and Characteristics of the Lightly Doped Drain-Source(LDD)Insulated Gate Field Effect transistor." *IEEE Trans. ED-27.* P1359, 1980.
- [12] P.Ratnam, A.Name, "Drain engineering of hot carrier resistant MOSFETs using concave silicon surface for deep submicron VLSI Technology," solid state Elec. vol.33, no.9, pp1163, 1990.
- [13] Takada.E., H.Kume, T.Toyabe and S. Asai, "Submicrometer MOSFET Structure for Minimizing Hot-Carrier Generation." *IEEE Trans. ED-29.* P611, 1982.
- [14] Sun.E. J.Moll, J.Beger and B.Alders, "Breakdown Mechanism in short-channel MOS Transister." *IEDM, Tech. Deg.* p478, 1978.
- [15] T.Y.Hung, W.W.Tao, R.A.Martin, "A novel submicron LDD transistor with inverse T gate structure." *IEDM, Tech. Dig.* pp742-745, 1986.
- [16] Toyoshima, Y.N.Nihira and K. Kanzaki, "Profiled Lightly Doped (PLDD) structure for high reliable NMOSFETs." *symp. VLSI Tech. Dig.* p118, 1985.
- [17] Y.Matsumoto, et al, "Optimized and reliable LDD structure for 1 μ m NMOSFET based on substrate current analysis." *IEDM* p392, 1983.

 著者紹介



柳章烈(正會員)

1955年 5月 5日生. 1982年 2月
 인하대학교 공과대학 전자공학과
 졸업. 1985年 2月 충남대학교 대
 학원 전자공학과 석사학위 취득.
 1987年~1990年 2月 동대학원 박
 사학위 과정 수료. 1987年 7月~
 1990年 3月 충남대학교 전자공학과 조교. 1990年 4
 月~현재 국립 천안공업전문대학 전자과 조교수. 주
 관심분야는 반도체 물성 및 실리콘 소자제조 공정 연
 구 등임.

洪鳳植(正會員) 第 29卷 3號 參照

현재 충남대학교 공과대학 전자공학과
 교수