

Hopfield 신경회로망의 VLSI 구현에 관한 연구

(VLSI Implementation of Hopfield Neural Network)

朴城範*, 吳在燦*, 李鍾浩*

(Seong Beom Park, Jay Hyouk O and Chong Ho Lee)

要約

본 논문은 홉필드 신경회로망의 아날로그 회로 구현 및 시험결과를 제시한다. 제안된 구조는 feedback 회로와 feedforward 회로의 절환이 가능하도록 설계되었으며, 가중치 값의 공급과 저장방식, 아날로그 곱셈기와 전류전압 변환기등의 소자를 개선함으로써 면적효율을 높이는 환편 기능의 다양성을 추구하고있다. 배치설계된 8 뉴런 신경회로망의 연상기억실험을 통하여 제안된 구조의 응용가능성을 보였다.

Abstract

This paper presents an analog circuit implementation and experimental results of the Hopfield type neural network. The proposed architecture enables the reconfiguration between feedback and feedforward networks and employs new circuit designs for the weight supply and storage, analog multplier, and current-voltage converter, in order to achieve area efficiency as well as functional versatility. The layout design of the eight-neuron neural network is tested as an associative memory to verify its applicability to real world.

1. 서론

최근 신경회로망에 대한 다각적이고 광범위한 연구가 진행됨에 따라 신경회로망의 공학 제 분야에의 응용 가능성이 입증되고 있으나 아직도 신경회로망에 관한 연구의 대부분은 모델 단계의 연구와 모의 실험에 그치고 있으며 실제의 하드웨어로 제작하는 데에는 칩의 집적도와 범용성 등에 있어서 해결해야 할 문제들이 많이 있다. 그럼에도 불구하고 실시간 처리

를 필요로 하는 응용을 위하여 신경회로망의 하드웨어 구현은 필수적인 것이라고 여겨진다. 신경회로망의 하드웨어 구현 방법으로는 여러 가지가 제안되고 있으나 대별하면, 디지털회로 방식, 아날로그회로 방식 그리고 아날로그와 디지털회로의 혼합 방식을 들 수 있다. 혼합 방식은 연산은 아날로그로 하고 정보의 저장은 디지털로 처리되는 것이 보통이다. 디지털 방식은 제작이 용이하고, 잡음에 강하며, host 컴퓨터와의 연결이 용이하지만 아날로그 방식에 비하여 상대적으로 넓은 칩 면적을 요구하는 단점이 있다. 아날로그 방식은 곱셈 연산 기능의 구현이 쉽고, 속도가 빠르지만 정밀도에 있어서 한계가 있고, 아날로그 정보의 저장이 어렵다는 단점이 있다. 신경회로망

*正會員, 仁荷大學校 電氣工學科
(Dept. of Electrical Eng., Inha Univ.)
接受日字 : 1993年 3月 9日

의 하드웨어 구현 연구는 더 많은 신경세포, 더 많은 신경세포 간의 연결(synapse), 더 빠른 처리속도를 더 작은 공간 내에 구현하는 것을 기본목표로 한다고 볼 수 있다.^[1,2] 본 논문은 신경회로망의 VLSI 구현에 있어서, 배치 설계의 효율성을 높이고자 아날로그 방식을 이용한 홉필드 신경회로망 모델을 대상으로 하였다. 연상기억이나 최적화 문제에 많이 이용되고 있는 홉필드 신경회로망은 규칙적인 구조로 인하여 하드웨어 구현에 적합하여 다른 모델보다 큰 규모의 신경회로망 칩의 구현이 가능하다.^[3]

신경회로망을 구현한 회로는 기본적으로 신경회로망에서 이루어지는 연산, 즉 곱셈과 덧셈 기능 그리고 신경전달함수로서 시그모이드 함수를 나타내는 기능을 가질 필요가 있다. 이를 위하여 지금까지 여러 가지 회로소자 및 구조들이 제안되었으나 본 논문에서는 많은 수의 MOS 트랜지스터를 이용하여 구현하던 기존의 곱셈기 대신 기본적으로 2개의 MOS 트랜지스터만을 사용하여 양과 음의 실수 값을 처리할 수 있는 곱셈기와 가중치를 저장할 수 있는 커패시터로 구성되는 시냅스 회로를 채택함으로써 면적효율을 증대시켰으며, 뉴런으로는 전류-전압 변환기와 두개의 MOS 인버터를 사용하였다. 제한된 수의 핀을 가지는 패키지로써 최대한 많은 수의 뉴런을 가지는 신경회로망 칩을 제작하기 위해서 각각 다른 가중치 정보들을 두개의 디코더(row decoder, column decoder)와 nMOS cascaded 스위치회로를 이용하여 하나의 핀으로부터 받아 해당 커패시터에 저장하는 방법을 사용하였고, 2:1 멀티플렉서를 사용하여 feedback과 feed-forward 신경회로망간의 전환을 가능케 하였다. 이와같은 회로방식은 앞에서 언급된 바와같이 면적효율성과 기능의 다양성을 추구하기 위함이다.

II. Hopfield 신경회로망의 VLSI 구현

신경회로망의 구현에 필요한 기본회로 소자로서 본 논문에서 사용한 곱셈기, 전류전압 변환기, 인버터 및 뉴런에 대한 회로해석 및 성능분석을 제시한다.

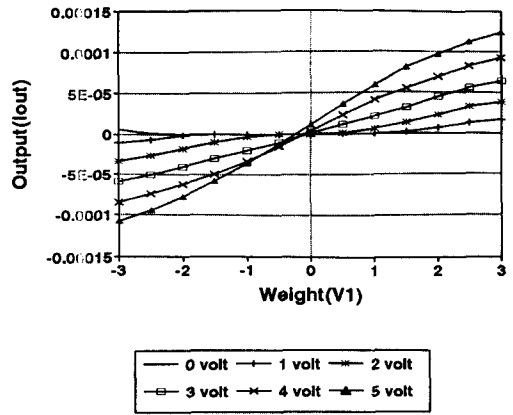
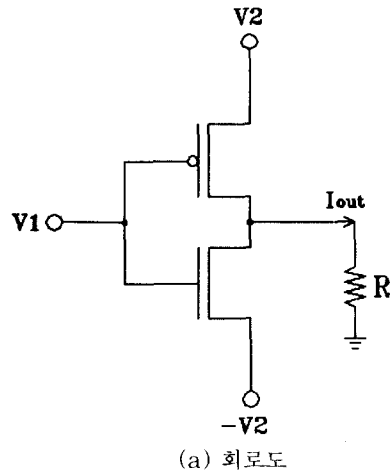
1. 아날로그 곱셈기

홉필드 신경회로망의 recall규칙은 다음과 같다.^[4]

$$V_i = f_h \left(\sum_{j=1}^n W_{ij} V_j - I_i \right) \quad (1)$$

여기에서 V_i 는 i 번째 출력 뉴런의 값이며 f_h 는 시그모이드 함수와 같은 단조 증가 함수이고 W_{ij} 는 제한된 입력 V_j 에 대한 가중치(weight), 그리고 I_i 는

바이어스 값이다. 시냅스에서 이루어지는 연산은 가중치와 입력의 곱셈이고, 뉴런에서는 시냅스에서의 곱들의 합의 시그모이드 함수처리가 이루어진다. 그러므로, 인공 신경회로망을 하드웨어로 구현하기 위해서는 위에서 보인 스칼라 곱, $W_{ij}V_j$ 를 실현하기 위한 곱셈기와 이 곱들의 합을 실현하기 위한 덧셈기, 그리고 전달 함수를 표현할 수 있는 소자가 필요하다.^[5] 가중치와 입력의 곱셈을 수행할 곱셈기로 그림 1 (a)와 같은 아날로그 곱셈기를 사용하였으며, 이 회로의 SPICE 실험결과는 그림 1 (b)와 같다.



(b) 특성도형

그림 1. 곱셈기 회로와 그의 성능 특성

Fig. 1. The analog multiplier circuit and its performance curve.

이 회로에서 전압 V_i 는 nMOS 트랜지스터와 pMOS 트랜지스터의 게이트에 공통으로 인가된다.

또, 전압 V_2 는 pMOS 트랜지스터의 소오스에 인가되며, V_2 의 부의 값을 가지는 $-V_2$ 는 nMOS 트랜지스터의 소오스에 인가될때 곱셈기 회로는 두개의 입력 전압 V_1 과 V_2 의 곱을 수행한다.

$$I_{out} \propto V_1 \times V_2 \quad (2)$$

곱셈기 회로의 출력은 전류로서 nMOS와 pMOS 트랜지스터를 흐르는 드레인 전류에 의하여 결정된다. MOSFET의 선형 영역에서의 드레인 전류는

$$I_d = \mu C_{ox} \frac{W}{L} \left[(V_{gs} - V_t)V_{ds} - \frac{1}{2}V_{ds}^2 \right] \quad (3)$$

과 같다. [6] 여기서 V_{gs} : 게이트와 소오스간 전압
 V_t : 문턱전압
 V_{ds} : 드레인과 소오스간 전압

nMOS 트랜지스터와 pMOS 트랜지스터의 이득 상수($K = \mu C_{ox} W/L$)들이

$$K_p = K_n = K, K > 0 \quad (4)$$

이고 문턱전압들이

$$-V_{tp} = V_{tn} = V_t, V_t > 0 \quad (5)$$

이라면, nMOS 트랜지스터와 pMOS 트랜지스터에 흐르는 전류는 각각

$$I_{dn} = K \left[(V_1 + V_2 - V_t)(V_o + V_2) - \frac{1}{2}(V_o + V_2)^2 \right] \quad (6)$$

$$I_{dp} = K \left[(V_1 - V_2 + V_t)(V_o - V_2) - \frac{1}{2}(V_o - V_2)^2 \right] \quad (7)$$

이 된다. 이 때 출력 전류 I_o 는 Kirchhoff의 법칙에 따라

$$I_o = I_{dp} - I_{dn} \quad (8)$$

이므로 (6)번과 (7)번식을 (8) 번식에 대입하여 정리하면

$$I_o = -2K(V_1V_2 - V_tV_o) \quad (9)$$

가 되며 $V_o = I_o \times R$ 이므로 정리하면

$$I_o = -\frac{2K}{(1 + 2KV_tR)} V_1V_2 = \alpha V_1V_2 \quad (10)$$

가 된다. 이 곱셈기는 enhancement-mode MOS 또는 depletion-mode MOS 를 사용해서 구현할 수 있다. [6] 선형영역 동작을 위한 조건으로서 $V_{ds} < V_{gs} - V_t$, 즉 우리의 곱셈회로에서 $V_1 > V_o + V_t$ 이며, $V_o = I_oR$ 에 의하여

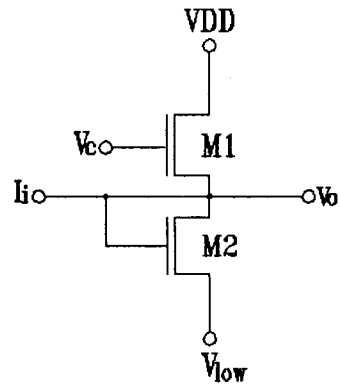
$$V_1 > \beta V_1V_2 + V_t \quad (11)$$

where $\beta = \alpha R$

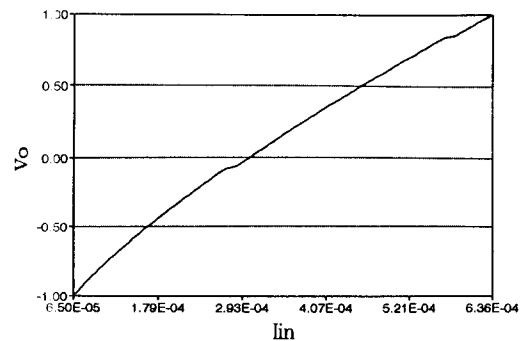
실제적으로 선형곱셈기로서의 V_1 과 V_2 의 영역은 $\begin{cases} -3 < V_1 < 3 \\ 0 < V_2 < 5 \end{cases}$ 로 제한된다.

2. 전류전압 변환기

그림 2는 전류를 입력으로 받아 선형적으로 전압을 출력하는 회로이다.



(a) 회로도



(b) 특성도형

그림 2. 전류전압 변환기

Fig. 2. Current-voltage converter circuit and characteristics.

M1과 M2가 모두 포화영역(saturation region)

에서 동작하므로 각 각에 흐르는 전류는

$$I_{m1} = \frac{K_{m1}}{2} (V_{gs} - V_t)^2 = \frac{K_{m1}}{2} (V_{in} - V_t)^2 \quad (12)$$

$$I_{m2} = \frac{K_{m2}}{2} (V_{gs} - V_t)^2 = \frac{K_{m2}}{2} (V_{in} - V_{ss} - V_t)^2 \quad (13)$$

가 된다. 이때

$$K_{m1} = K_{m2} = K \quad (14)$$

라고 하면,

$$I_t \equiv I_{m2} - I_{m1} \quad (15)$$

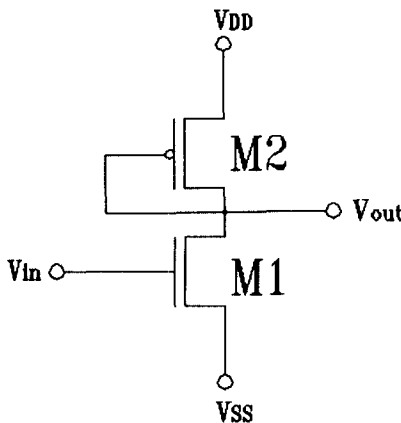
이므로 식 (11)과 식 (12)를 식 (14)에 넣어서 V_o 에 대하여 정리하면

$$V_o = \frac{2I_t / K - (V_{ss}^2 - V_{in}^2 + V_t V_{ss} + V_t V_{in})}{(V_{in} - V_{ss} - 2V_t)} = rI_t + \delta \quad (16)$$

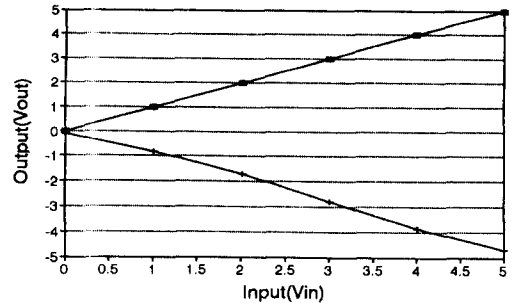
가 된다. 이 회로는 콤팩기로 구성되는 시냅스 회로의 출력인 전류를 뉴런의 입력인 전압으로 변환시키는데 사용된다.

3. 아날로그 인버터

아날로그 회로에서는 많은 경우 저이득(low-gain) inverting stage가 요구되는데 그림 3의 회로로 구성 할 수 있다.



(a) 회로도



(b) 특성 도형

그림 3. 아날로그 인버터

Fig. 3. Analog inverter circuit.

이 회로는 nMOS 트랜지스터와 pMOS 트랜지스터를 active 부하로 사용하는 기본 구조를 가진다. nMOS 트랜지스터는 선형 영역에서 동작하고 pMOS 트랜지스터는 포화 영역에서 동작하므로 이 회로의 동작은 다음과 같다.

$$V_{out}(\max) \equiv V_{DD} - |V_{TP}| \quad (17)$$

$$V_m |V_{TP}| = V_t \quad (18)$$

라면, M1을 통하여 흐르는 전류는

$$i_{d1} = \beta_1 \left[(V_{gs1} - V_t) V_{ds1} - \frac{V_{ds1}^2}{2} \right] = \beta_1 \left[(V_{in} - V_{ss} - V_t)(V_{out} - V_{ss}) - \frac{(V_{out} - V_{ss})^2}{2} \right] \quad (19)$$

이며 M2를 흐르는 전류는

$$i_{d2} = \frac{\beta_2}{2} (V_{sg2} - V_t)^2 = \frac{\beta_2}{2} (V_{DD} - V_{out} - V_t)^2 = \frac{\beta_2}{2} (V_{out} + V_t - V_{DD})^2 \quad (20)$$

과 같다. 식 (18)과 식 (19)를 V_{out} 에 대하여 풀면

$$V_{out}(\min) = V_{DD} - V_t - \frac{V_{DD} - V_{ss} - V_t}{\sqrt{1 + \frac{\beta_2}{\beta_1}}} \quad (21)$$

가 된다. 이 아날로그 인버터의 이득은

$$\frac{V_{out}}{V_t} = - \left[\frac{K'_n W_1 L_2}{K'_p L_1 W_2} \right] \quad (22)$$

이 된다.

4. 뉴런회로및 그의 결선구조

앞의 회로들을 이용하여 설계한 Hopfield 신경회로망에서 하나의 시냅스와 뉴런의 기본 구조는 그림 4와 같다. 앞에서 곱셈기의 출력으로 負의 전류값을 가지므로

$$I_o = -\frac{2K}{(1+2KV_T R)} V_1 V_2 \quad (23)$$

곱셈기의 출력이 正(正)의 값을 가지게 하기 위하여 곱셈기의 입력 중 하나인 V_1 즉, V_w 는 아날로그 인버터를 거쳐 곱셈기에 인가하였다.

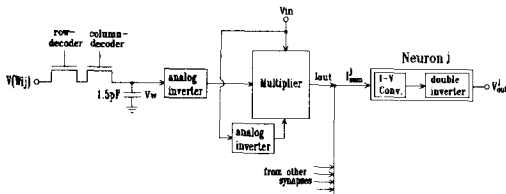


그림 4. 뉴런과 시냅스 결선구조

Fig. 4. Structure of a neuron and synapses in the neural network.

곱셈기 출력의 선형 영역만을 이용하기 위하여 입력 전압은 0에서 5V값을, 가중치를 나타내는 전압은 -3V에서 3V까지의 영역을 사용하도록 한다. Synapse의 출력은 전류신호이므로 하나의 뉴런으로 들어가는 입력신호 I_{sum} 은 뉴런의 입력단에서 합해져서

$$I'_{sum} = \sum_i I'_{out} = \alpha \sum_i V(W_{ij}) V'_i \quad (24)$$

이 된다.

각 시냅스를 구성하는 선형 곱셈기의 두 입력 중 하나인 가중치 값은 외부에서 주어지게 되며 row/column 디코더에 의하여 해당 시냅스로 공급된다. 이 스위치 회로를 통해 전달된 가중치 값은 시냅스에 연결되어 있는 커패시터에 전압 형태로 저장되며 누설전류를 보상하기 위하여 일정한 주기로 재저장(refresh) 되도록 한다. 이 회로를 통하여 커패시터에 가중치가 저장되는 시간은 다음과 같다.

$$\tau = R_{sw} C_w = \left(\frac{2}{2K_n (V_{gs} - V_t) \left(\frac{L}{W} \right)} \right) C_w \quad (25)$$

R_{sw} : 스위치 회로의 저항값

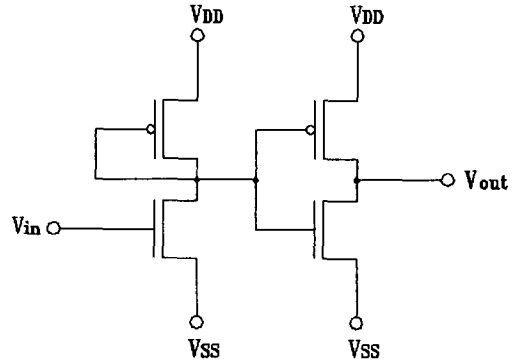
C_w : 커패시터의 용량

K_n : 스위치 회로를 구성하는 nMOS의 이득상수
이렇게 계산한 커패시터의 가중치 저장 시간은 0.112 μ sec 이다. 즉, 총56개의 커패시터가 있으므로 칩상의 모든 커패시터에 모두 가중치를 저장하는 시간은 최소 6.3 μ sec 이다. 보통 1pF의 크기를 가지는 커패시터에서 1 μ sec 당 1 μ Volt의 누설(leakage)가 발생하므로⁷⁾ 10 μ sec를 주기로 가중치를 재저장한다고 할때 각 커패시터에 저장된 값에서 대략 10 Volt의 전압 강하가 있기 전에 칩내의 모든 가중치의 재저장이 가능하다.

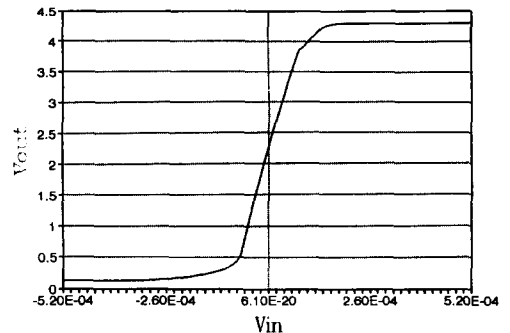
하나의 뉴런은 이에 연결되어있는 시냅스들의 출력의 합인 ΣI_o 를 입력으로 받아들여서 전류전압 변환기와 2개의 인버터를 이용하여 시그모이드 함수를 실현하게 된다. 궤환되어 다시 시냅스의 입력으로 쓰이게 되는 뉴런 출력은 전압신호로 나타난다.

$$V_o = f(I_{sum}) \quad (26)$$

$f(\cdot)$: 뉴런의 전달함수



(a) 회로도



(b) 입출력 특성

그림 5. 뉴런의 회로도와 입출력 특성

Fig. 5. Circuit diagram and the I/O characteristics of a neuron.

그림 5은 뉴런의 시그모이드 함수를 만드는 두 개의 인버터 회로이며 이 회로의 입출력 관계의 시뮬레이션 결과가 그림 5. (b)에 나타나 있다.

여기서, 시그모이드의 기울기나 최대 또는 최소값은 MOS 트랜지스터의 길이(length)와 폭(width)을 가변 시킴으로써 조절이 가능하다. 뉴런의 출력은 다른 2 × 1 MUX를 통하여 곱셈기의 입력(V_{in})으로 연결되어 케환 회로망을 구성하는데 그림 6은 이렇게 구성한 8 뉴런 Hopfield 신경회로망의 전체 구성도 이다.

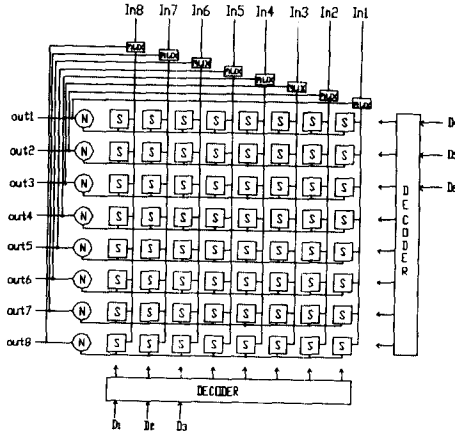


그림 6. 제안된 홉필드 신경회로망의 구성
Fig. 6. Structure of the Hopfield neural network.

Ⅲ. 실험결과와 배치설계

제안된 회로를 이용하여 구성한 8 뉴런 신경회로망을 이용하여 간단한 연상기억회로에 대한 SPICE 모의 실험을 하였다. 표준 CMOS공정을 이용한 VLSI 구현을 위하여 모든 트지스터는 enhancement-mode를 이용하였다. 모의 실험을 위한 가중치로

j \ i	1	2	3	4	5	6	7	8
1	0	2	2	-2	-2	-2	-2	2
2	2	0	2	-2	-2	-2	-2	2
3	2	2	0	-2	-2	-2	-2	2
4	-2	-2	-2	0	2	2	2	-2
5	-2	-2	-2	2	0	2	2	-2
6	-2	-2	-2	2	2	0	2	-2
7	-2	-2	-2	2	2	2	0	-2
8	2	2	2	-2	-2	-2	-2	0

의 값을 사용하였다. 이는(1 1 1 0 0 0 1)과 (0 0 0 1 1 1 1 0)의 두 가지 패턴을 기억시키기 위한 가중치로 홉필드 신경회로망의 학습 법칙.

$$\Delta W_{ij} = (2X_i - 1)(2X_j - 1) \tag{27}$$

$$W_{ij} = W_{ji}, W_{ii} = 0 \tag{28}$$

를 이용하여 계산한 것이다. 상기 가중치 매트릭스는 D/A 콘버터에 의하여 -3vot 에서 3vot 사이의 아날

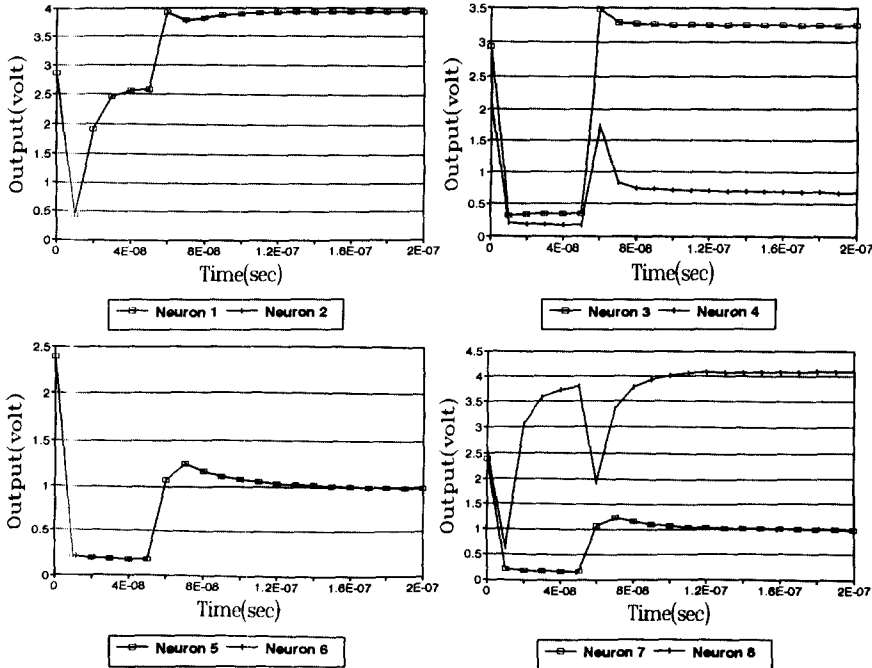


그림 7. 구현한 Hopfield 신경회로망을 이용한 연상기억 모의 실험
Fig. 7. Associative memory simulation using implemented Hopfield neural network

로그 전압으로 변환되어 가중치 저장회로로 공급된다. 아래의 그림 7은 초기 뉴런의 입력값이 (1 1 1 1 0 0 0 0)일 때의 신경회로망의 출력 값이다. 입력으로(1 1 1 1 0 0 0 0)의 저장된 패턴과의 hamming distance가 2이하인 패턴을 받았을 경우 network은 저장되었던 패턴(1 1 1 0 0 0 0 1)과 같은 패턴으로 인식하여 저장된 패턴을 출력하였다. 그러나(0 0 0 0 1 1 1 1)등 저장된 패턴과의 hamming distance가 3이상인 패턴을 입력으로 받았을 경우에는 저장된 패턴과 다른 새로운 패턴으로 인식하여 입력 패턴을 그대로 출력한다. 기억시퀀스(0 0 0 1 1 1 1 0)패턴에 대해서도 마찬가지로의 결과를 얻었다. 출력의 초기값이 0이나 4V가 아닌 2.5에서 3V인 이유는 시뮬레이션시에 인가되는 구형파가 다소의 지연시간을 보여서 생기는 것이다.

그림 8은 제안된 회로를 이용한 8 뉴런 홉필드 신경회로망의 배치설계이다. 이 배치설계는 VALID사의 layout tool인 Construct를 이용하여 설계한 것이다. 3mm×3mm의 면적과 40pin을 가지는 패키지에 1.5 μm CMOS double metal 공정을 이용하였다.

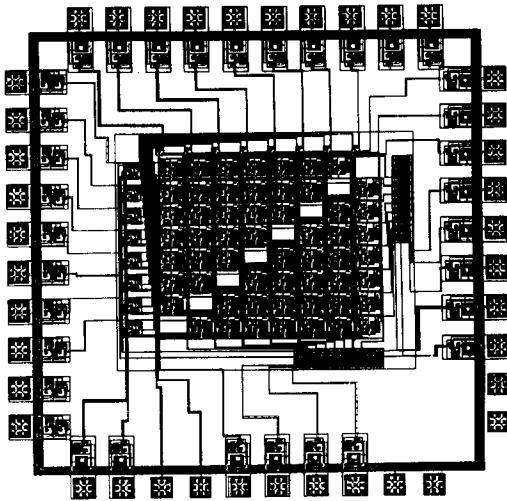


그림 8. 8 뉴런 Hopfield 신경회로망의 배치도
Fig. 8. 8 neuron Hopfield neural network chip layout diagram.

이렇게 설계한 홉필드 신경회로망 칩을 컴퓨터를 이용하여 동작시킬 경우 신경회로망에서 수행되는 여러 연산은 칩내부에서 수행되고 출력값을 목표출력값과 비교하여 가중치값을 변화시키는 것은 칩 외부에서 소프트웨어적으로 수행되게 된다. 그림 9는 칩을

동작시키기 위한 설치도를 보여준다.^[8]

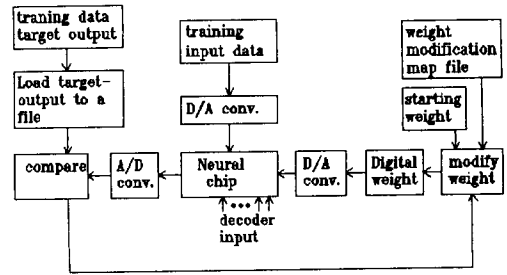


그림 9. 신경회로망 칩의 실행을 위한 블럭선도
Fig. 9. Neural network application block diagram.

IV 결론

본 논문에서는 양과 음의 수치간의 곱을 구현하는 곱셈기를 제안하였고, 이 회로를 이용하여 홉필드 신경회로망을 구현하였다. 이 회로의 특징은 기존의 곱셈기보다 훨씬 적은 수의 트랜지스터만으로 구현할 수 있어서 칩의 면적 효율을 높일 수 있게 하였다. 또한 보통 대규모의 신경회로망을 구현할 때 종종 문제가 되는 패키지의 제한된 핀의 수를 극복하기 위해 칩에서 필요로 하는 입,출력 핀의 수를 줄이고자 번지수 지정회로를 이용하여 하나의 핀에서 모든 weight값을 공급할 수 있게 하였다. 설계된 8뉴런 홉필드 신경회로망 칩을 이용하여 연상기억실험을 행한 결과 2bit 이하의 계산한 후 칩에 공급하였으며 10μsec의 주기로 재저장시킴으로서 일정한 전위가 유지되도록 할 수 있다. 또한 멀티플렉서에 의하여 feedback 신경회로망 뿐만 아니라 필요에 따라서 feedforward 신경회로망으로도 운영이 가능하다는 장점이 있다.

칩의 확장성을 높이기 위한 building-block 방식의 layout설계 문제와 학습법칙을 내부적으로 실행할 수 있는 학습 가능한 신경망을 하드웨어로 구현하는 문제와 응용분야에 따른 결선구조를 변경할 수 있는 신경회로망에 대한 연구가 계속 진행중에 있다.

* 본 논문은 1991년도 교육부 학술 연구 조성비에 의해 수행되었음.

參考文獻

- [1] 이훈복, 최명렬, "신경회로망의 VLSI 구현과

뉴로컴퓨터”, 정보과학회지, 제10권 제2호, pp. 71-83., 1992년 4월.

[2] Graf and Jackel, “Analog Electronic Neural Network Circuits”, *IEEE Circuits and Device Magazine*, pp. 44-49, July 1989.

[3] 동성수, 이종호, “선형 Analog 곱셈기를 이용한 폐환형 신경회로망의 구현”, 신경회로망 연구회 학술대회, 한국과학기술원, 1991년 6월.

[4] R.Beale and T. Jackson, *Neural Computing: An Introduction*, Adam Hilger, New York, 1990.

[5] Jacek M.Zurada, *Introduction to Artificial Neural Systems*, West Publishing Company, St. Paul, 1992.

[6] P. Shoemaker, “CMOS Analog Four-Quadrant Multiplier”, United State Patent, Patent Number: 4,978,873.

[7] Y.Tsividis and S.Satyanarayana, “A Reconfigurable VLSI Neural Network”, *IEEE Journal of Solid-State Circuit*, vol. 27, No. 1, pp. 67-81, January 1992.

[8] 박성범, 이종호, “Hopfield 신경회로망의 VLSI 구현 연구”, 대한전기학회 컴퓨터 및 인공지능 연구회 학술발표 논문집, pp. 33-37, 1992년 5월.

著 者 紹 介



朴城範(正會員)
1968年 5月 30日生. 1991年 2月 인하대학교 전기공학과 졸업(학사). 1993年 2月 인하대학교 대학원 전기공학과 졸업(석사). 1993年 3月 ~ 현재 금성산전주식회사 연구소 연구원. 주관심분야는

Neural Network 하드웨어 구현.



吳在熾(正會員)
1970年 3月 1日生. 1992年 2月 인하대학교 전기공학과 졸업(학사). 1992年 3月 ~ 현재 인하대학교 대학원 전기공학과 석사과정. 주관심분야는 인공지능 응용 및 하드웨어 구현 등임.



李鍾浩(正會員)
1953年 4月 14日生. 1976年 2月 서울대학교 전기공학과 졸업(학사). 1978年 2月 서울대학교 대학원 전기공학과 졸업(석사). 1979年 9月 ~ 1982年 6月 해군사관학교 전임강사. 1986年 8月 (美)아

이오와 주립대 전기 및 컴퓨터공학과 졸업(박사). 1986年 8月 ~ 1989年 5月 (美) 노틀담 대학교 전기 및 컴퓨터공학과 조교수. 1989年 8月 ~ 현재 인하대학교 전기공학과 부교수. 1991年 5月 ~ 1993年 5月 대한전기학회 컴퓨터 및 인공지능 연구회 간사장. 주관심분야는 VLSI CAD, Neurocomputing 등임.