

論文93-30A-11-1

PSK 신호를 위한 새로운 디지털 Carrier Recovery Loop에 관한 연구

(A Study On New Digital Carrier Recovery Loop for PSK Signal)

宋在哲*, 崔炯辰**

(Jai Chul Song and Hyung Jin Choi)

要約

본 논문에서는 PSK 변조 기법을 위한 각 형태(Angular Form)의 새로운 디지털 carrier recovery loop(AF CR loop)을 제안하였다. AF CR loop은 복조된 각형태의 심볼과 Multi level hardlimiter를 포함하고 있다. zero crossing DPLL 모델을 이용해서 1,2차 AF CR loop 에 대해서 모델링하였고, S-curve를 유도하였다. AF CR loop의 정상동작을 확인하기 위해서, 몬테카를로방법과 분석적인 simulation 방법을 사용하여 AF CR loop에 대한 성능을 평가하였고, Acquisition 과정, S-Curve, RMS-jitter등에서 기존에 제시된 다른 loop들과 성능을 비교하였다. 성능평가 결과, AF CR loop은 정상상태에서 우수한 동작을 확인할 수 있었다.

Abstract

In this paper, we propose a new Angular Form Carrier Recovery Loop(AF CR loop) for PSK modulation technique. AF CR loop includes detected angle symbol and Multi Level Hardlimiter. Using zero crossing DPLL, we model 1st 2nd AF CR loop, and also derive S-Curve. In order to prove steady state operation of AF CR loop, we evaluate performance of this loop by Monte-Carlo and analytical simulation method. We also compare the performance of AF CR loop to that of other loop in terms of acquisition, S-Curve, and RMS jitter. From the comparison result, we verify that the performance of AF CR loop operates well in steady state.

1. 서론

최근 VLSI, Digital Signal Processing등의 기

술향상으로 인하여 통신시스템방식은 아날로그방식에서 디지털방식으로 변환되어지는 추세이다. 이러한 추세로 인하여 수신단 모뎀의 디지털화는 일반화되어 가고 있다. 디지털 모뎀에서 동기(Synchronization)화 과정은 전체 통신시스템의 성능에 대단히 큰 영향을 미치게 된다. 이러한 동기과정은 크게 CR(Carrier Recovery) 부분과 STR(Symbol Timing Recovery) 부분으로 구성되어 진다. CR부분은 변조된 신호속에 포함되어 있는 반송파(Carrier)를 추출하는 과정으로서 디지털 모뎀의 대단히 중요한 부분이라

*正會員, 仁德專門大學 事務自動化科
(Dept. of Office Automation, induk
Junior College)

**正會員, 成均館大學校 電子工學科
(Dept. of Elec., Eng., Sungkyunkwan Univ.)
接受日字: 1992年 3月 25日

할 수 있다. 이러한 CR을 위해 여러가지 CR loop들의 연구가 많이 되어지고 있다. [1-9] 특히, PSK (Phase Shift Keying) 변조기법을 위한 CR loop들은 Costas Loop, Decision Directed loop 등이 현재 주류를 이루고 있으며, 성능향상을 위하여 많은 loop들의 연구가 진행중이다.

BPSK, QPSK 신호를 위한 Costas loop은 이미 대단히 많은 문헌에서 해석이 되었으며 [1,2,3]. 이러한 Costas loop의 성능향상을 위해 I-channel 에 hard limiting을 취하는 기법이 논문 [4] 에서 제시 되었다. 8PSK, 16PSK 변조 기법에 적용가능한 Multi-level limiter을 갖는 Polarity-Type Costas loop 이 논문 [5] 에서 제시되었다. ML(Maximum Likelihood)이론을 근거로 한 Decision Directed loop 이 Simon과 Smith에 의해 제시되었고 [6,7]. 논문 [8] 에서는 Simon 과 Smith의 loop을 multi-level 로 확장하였다. Leclert와 Vandmmme에 의해 제안된 loop은 기존의 Costas loop보다 hardware 설치가 용이하며, 특히 논문 [6], [7], [8]의 loop을 Multi-level QAM 신호에 적용했을때 나타나는 False Lock 의 단점을 보완한 CR loop을 개발하였다. [9] 논문 [10] 에서는 Decision Directed loop과 MAP (Maximum a posteriori probability) phase detector 이론을 근거로 한 CR loop을 제시하였다.

제안된 많은 CR loop들을 실제 통신시스템에 적용하기전에, 각 CR loop 들 상호간의 구체적인 성능평가와 비교분석은 시급한 실정이다.

본 논문에서는, PSK 변조기법을 위한 새로운 디지털 CR loop(이후, AF CR loop 이라 명명)을 제시하였다. AF CR loop은 Multi-level limiter와 복조된 각(Detected Angle)의 개념을 기본전제로 하고 있다. 본 논문에서 제시된 AF CR loop에 대한 수학적인 분석을 하였으며, 시뮬레이션을 통해 수학적 분석의 타당성을 확인하였다. 특히, 실제 통신 시스템을 시뮬레이션으로 모델링하여 제시된 AF CR Loop의 구체적인 성능평가를 하여, 기존에 제시된 많은 CR loop 들과의 성능을 비교분석하였다. 성능평가를 위해 Gaussian 잡음환경하에서 QPSK, 8PSK, 16PSK 변조기법에 대하여 Monte-Carlo 방법과 분석적 방법을 혼용하여 Simulation을 행하였다.

II. PSK 변조 기법을 위한 새로운 AF CR loop

1. AF CR loop의 유도

그림 1에서 본 논문에서 제안한 AF CR loop 의

블럭도를 나타내고 있다. 수신단에 수신된 MPSK ($M=2, 4, 6, 8, \dots$)신호는 식(1)과 같이 나타낼 수 있다.

$$X(t) = s(t) + n(t) \quad (1)$$

여기서,

$$s(t) = \sqrt{2S} \sum_k \{ I_n^k \cdot P(t - kT_s) \cdot \cos(\omega_c t + \theta) + Q_n^k \cdot P(t - kT_s) \cdot \sin(\omega_c t + \theta) \} \quad (2)$$

$$I_n = \cos\left(\frac{(2n-1)\pi}{M}\right), \quad Q_n = \sin\left(\frac{(2n-1)\pi}{M}\right), \quad n = 1, 2, 3, 4, \dots, M \quad (3)$$

으로 표시되고, 식(4.2), 식(4.3)에서

$$P(t) = [0, T_s] \text{ 간의 NRZ 단위 pulse}$$

$$n(t) = \sqrt{2} \{ N_c(t) \cos(\omega_c t + \theta) - N_s(t) \sin(\omega_c t + \theta) \} \quad (4)$$

S는 signal power 이고, $n(t)$ 는 Gaussian noise를 의미한다.

T_s 는 심볼의 주기, ω_c 는 반송파 주파수를 의미한다.

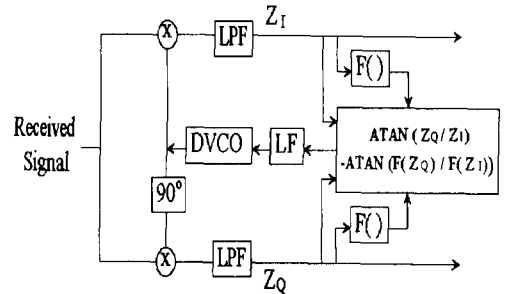


그림 1. MPSK($m > 4$) 신호를 위한 제안된 CR Loop

Fig. 1. Proposed CR Loop for MPSK Signal ($M > 4$).

그림 1에 MPSK신호를 위한 multi-level CR loop 을 나타내고 있다. 그림 1의 I, Q 채널에서 LPF 된 신호는 각각 식 (5), (6)으로 나타낼 수 있다.

$$Z_I(t) = X(t) \cdot \sqrt{2} \cos(\omega_c t + \theta) = \sqrt{2S} \sum_k \{ I_n^k \cdot P(t - kT_s) \cdot \cos \phi + Q_n^k \cdot P(t - kT_s) \cdot \sin \phi \} + N_I(t) \quad (5)$$

$$Z_Q(t) = X(t) \cdot \sqrt{2} \sin(\omega_c t + \theta) = \sqrt{2S} \sum_k \{ I_n^k \cdot P(t - kT_s) \cdot \sin \phi + Q_n^k \cdot P(t - kT_s) \cdot \cos \phi \} + N_Q(t) \quad (6)$$

여기서, phase error $\phi = \theta - \hat{\theta}$ 이고, $N_I(t), N_Q(t)$ 는

$$N_I(t) = -N_c(t)\cos\phi + N_s(t)\sin\phi \quad (7)$$

$$N_Q(t) = N_c(t)\sin\phi - N_s(t)\cos\phi \quad (8)$$

으로 나타낼 수 있다. 그림 1의 $F(\cdot)$ 부분은 QPSK 인 경우 즉, $M=4$ 인 경우에는 $F(\cdot)$ 를 hard limiter 로 대처하면 되고, 8PSK, 16PSK인 경우 즉, $m=8, 16$ 인 경우에는 multilevel limiter로 대처하면 된다. multilevel limiter에 관한 함수를 $F(\cdot)$ 로 나타내면, $F(\cdot)$ 는 odd function 이다. $M>4$ 일 경우에 $F(x)$ 는 positive x 에 대해서 식 (9)로 나타낼 수 있다. [5]

$$F(\cdot) = \sin\left\{\frac{(2n-1)\pi}{M}\right\}, \quad \text{if } \delta_n < x < \delta_{n+1} \quad (9)$$

$$= f_n \quad n = 1, 2, 3, \dots, M/4$$

으로 나타낼 수 있고, decision level δ_n 는 다음과 같이 정의된다.

$$\delta_n = 0 \quad n = 1$$

$$= \sin\left\{\frac{(2n-1)\pi}{M}\right\}, \quad 2 < n < M/4 \quad (10)$$

$$= \infty \quad n > M/4$$

이상의 함수 특성을 그림 2로 나타낼 수 있다.

$M=8$ 일 경우에 $F(x)$ 의 입출력 특성을 그림 2에서 나타내고 있다.

k 번째 sampling 순간에서 Phase Detector의 출력 error signal을 ϵ_k 로 나타내면, ϵ_k 는

$$\epsilon_k = TAN^{-1}(Z_Q/Z_I) - TAN^{-1}(F(Z_Q)/(Z_I)) \quad (11)$$

으로 나타낼 수 있다.

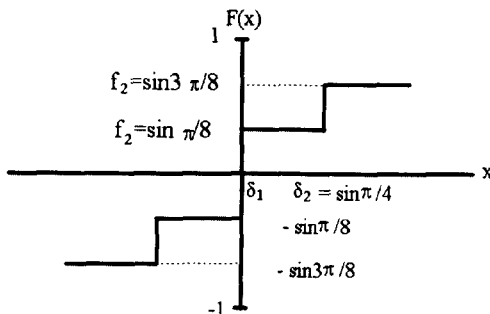


그림 2. $F(\cdot)$ 의 입출력 특성 ($M=8$)

Fig. 2. $F(\cdot)$ Input/Output Characteristics ($M=8$).

signal power S=1로 하고, 이웃 심볼간의 영향을

무시하면, 한 심볼 주기에 대한 error signal ϵ_k 는

$$\epsilon_k = TAN^{-1}\left(\frac{I_{nk} \cdot \sin\phi_k + Q_{nk} \cdot \cos\phi_k + N_Q(t_k)}{I_{nk} \cdot \cos\phi_k + Q_{nk} \cdot \sin\phi_k + N_I(t_k)}\right) - TAN^{-1}\left(\frac{F(I_{nk} \cdot \sin\phi_k + Q_{nk} \cdot \cos\phi_k + N_Q(t_k))}{F(I_{nk} \cdot \cos\phi_k + Q_{nk} \cdot \sin\phi_k + N_I(t_k))}\right) \quad (12)$$

으로 나타낼 수 있다. 여기서, 첨자 k 의 의미는 k 번째 sampling 순간에서의 샘플 값을 의미한다. 식(12)의 ϕ 가 $2\pi/M$ 와 비교하여 대단히 작다라고 가정하면,

$$F(I_{nk} \cdot \cos\phi_k + Q_{nk} \cdot \sin\phi_k + N_I(t_k)) \cong I_{nk} \quad (13)$$

$$F(I_{nk} \cdot \sin\phi_k + Q_{nk} \cdot \cos\phi_k + N_Q(t_k)) \cong Q_{nk} \quad (14)$$

으로 되므로, 식(12)은

$$\epsilon_k = TAN^{-1}\left(\frac{F(I_{nk} \cdot \sin\phi_k + Q_{nk} \cdot \cos\phi_k + N_Q(t_k))}{F(I_{nk} \cdot \cos\phi_k + Q_{nk} \cdot \sin\phi_k + N_I(t_k))}\right) - TAN^{-1}\left(\frac{Q_{nk}}{I_{nk}}\right) \quad (15)$$

으로 간단화 될 수 있다. 식(15)는 제안된 CR loop의 PD의 출력을 나타내고 있으며, PD의 출력은 noise와 Phase error에 의해 값이 결정됨을 알 수 있다. 식(15)의 PD출력은 1차 혹은 2차 DPLL의 입력이 된다.

식(11), (15)로 주어지는 PD부분을 실제 하드웨어로 구현하기 위해서는 다소 다른 방법에 비해 어려운 점이 있으나, ROM(Read Only Memory)에 Look Up Table을 작성하여 구현할 수 있다. 차후, 자세한 구현방법은 연구가 되어져야 할 것으로 사료된다.

2. system equation

본 절에서는 논문 [11-14]에서 행한 zero crossing DPLL 모델을 이용해서 본 논문에서 제시한 1,2차 CR loop의 특성을 알아보기로 한다.

일반적으로, N차 loop에 대한 Digital filter는 다음 식과 같이 나타낼 수 있다.

$$D(z) = \sum_{m=1}^N G_m (1-z^{-1})^{-m+1} \quad (16)$$

여기서, G_m 은 Gain Constant 이다.

$t(k)$ 와 $t(k-1)$ 사이의 디지털 clock의 sampling 간격은 디지털 loop의 출력 $c(k-1)$ 에 의해서 조절된다. 이것을 식으로 나타내면 다음과 같이 나타낼 수 있다

$$t(k) = T_o - c(k-1) \quad (17)$$

여기서, T_0 는 digital clock의 nominal 주기를 나타낸다. k 번째 sampling 순간까지의 전체 시간을 $t(k)$ 로 나타내면,

$$t(k) = t(0) + \sum_{j=1}^k t(j) = kT_0 - \sum_{j=0}^{k-1} c(j) \tag{18}$$

으로 나타낼 수 있고, phase error $\phi(k)$ 은 다음 식으로 정의되어 진다.

$$\phi(k) = \theta(k) - \omega_0 \sum_{j=0}^{k-1} c(j) \tag{19}$$

$c(k) = D(z) \cdot \varepsilon(k)$, $\theta(k) = \Delta\omega \cdot t(k) + \theta_0$ 이고, $\varepsilon(k)\omega$, ω_0 는 각각 PD출력, 반송파 주파수, digital clock의 nominal 주파수를 의미하며, $\Delta\omega (= \omega - \omega_0)$ 는 주파수 offset을 의미하면, phase error process의 차분 방정식은 식 (20)과 같이 나타낼 수 있다.

$$\phi(k+1) = \phi(k) - \omega \cdot D(z) \cdot \varepsilon(k) + 2\pi \cdot \Delta\omega / \omega_0 \tag{20}$$

1차 loop에 대한 디지털 filter $D(z)=G_1$ 이므로, 1차 loop에 대한 phase error process는

$$\phi(k+1) = \phi(k) - K_1 \cdot \varepsilon(k) + \Delta_0 \tag{21}$$

으로 나타낼 수 있고, 여기서 $K_1 = \omega \cdot G_1$ 이고, $\Delta_0 = 2\pi \cdot \Delta\omega / \omega_0$ 이다.

2차 loop에 대한 디지털 filter $D(z) = G_1 + G_2 / (1-z^{-1})$ 을 식(20)에 대입하면,

$$\phi(k+1) = \phi(k) - \omega \cdot \left(G_1 + \frac{G_2}{1-z^{-1}} \right) \cdot \varepsilon(k) + 2\pi \cdot \Delta\omega / \omega_0 \tag{22}$$

으로 나타낼 수 있고, 이것을 정리하면 다음 식으로 나타낼 수 있다.

$$\phi(k+2) = (2 - r \cdot K_1') \cdot \phi(k+1) + (K_1' - 1) \cdot \phi(k) \tag{23}$$

여기서, $r = 1 + G_2/G_1$ 이고, $K_1' = G_1 \cdot \omega$ 이다.

식(23)으로 모델 되어진 2차 AF loop의 입력 phase와 입력 주파수에 관한 과도 응답을 그림 3에서 나타내었다. 2차 DPLL의 중요한 성능 지수는 damping factor ζ 와 natural 주파수 ω_n 이다. 이들 두 지수들은 loop gain G_1, G_2 와 다음의 관계를 갖는다.

$$\zeta = \sqrt{G_1/G_2} / 2 \tag{24}$$

$$\omega_n = \sqrt{G_1 \cdot G_2} \tag{25}$$

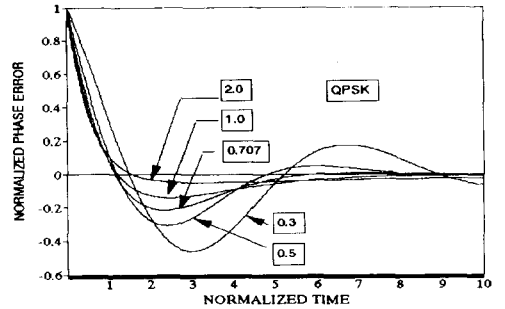
noise bandwidth B_N 과 loop bandwidth B_L 과의 관계는 다음과 같다.

$$B_N = 2B_L = \frac{\omega_n}{2} \cdot \left(2\zeta + \frac{1}{2\zeta} \right) \tag{26}$$

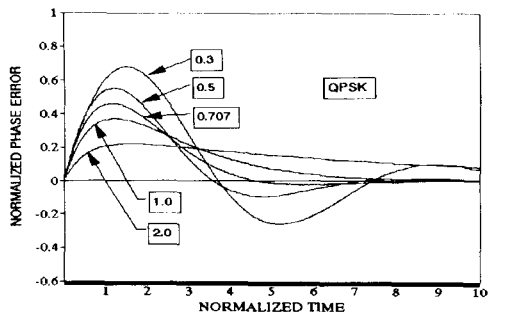
만약, $\zeta = 0.5$ 이면

$$G_1 = G_2 = \omega_n = B_n \tag{27}$$

이 된다. 그림 3에서 잡음의 영향을 배제하였고, $\omega_n \cdot T_s = 0.1$, $\zeta = 0.3-2.0$ 일 때의 과도응답특성을 보여주고 있다.



(a) Phase Offset에 관한 과도 응답



(b) Frequency offset에 관한 과도 응답

그림 3. AF CR Loop의 과도 응답 특성
Fig. 3. Transient Response of AF CR Loop.

3. S-Curve

일반적으로 S-Curve는 식(11)로 나타나는 error signal의 평균값을 취해서 얻을 수 있다. S-Curve

$g(\phi)$ 는 다음 식으로 나타낼 수 있다.

$$g(\phi) = E[\epsilon(t)|\phi] \tag{28}$$

여기서, $E(\cdot)$ 는 기대값을 의미한다.
 식(12)의 Z_i, Z_Q 를 식(28)에 적용해서 정리하면,

$$\frac{Z_Q}{Z_I} = \frac{\text{SIN}(\Theta_M + \phi) + N_Q(t)}{\text{COS}(\Theta_M + \phi) + N_I(t)} \tag{29}$$

여기서,

$$\Theta_M = \frac{(2n-1)\pi}{M} \quad n = 1, 2, 3, \dots, M \tag{30}$$

이다. 식(12)의 PD 출력 $\epsilon(t)$ 의 noise항의 평균을 내면 0이 되며, 첫 번째 항은 그림 4에서 나타난 바와 같이 phase 평면 상에서와 같이 변조된 위상 $\theta_M = (2n-1) \cdot \pi / M (n=1, 2, \dots, M)$ 과 phase error ϕ 의 합으로 구해질 수 있다. 두 번째 항은 결국 Multi-level limiter로 변조된 위상을 hard decision하는 과정이므로 올바른 phase hard decision을 위한 확률 $P(n)$ 를 고려해야만 한다. 이상을 수식으로 표현하면 식(31)과 같다.

$$\begin{aligned} g(\phi) &= E[\epsilon(t)|\phi] \\ &= E[\theta_M + \phi] - \sum_{n=1}^M P(n) \cdot \frac{(2n-1)\pi}{M} \\ &= E[\phi] - \sum_{n=1}^M P(n) \cdot \frac{(2n-1)\pi}{M} \end{aligned} \tag{31}$$

여기서, 식(15)의 첫번째 항 $E[\theta_M + \phi] = E[\theta_M] + E[\phi]$ 으로 쓸 수 있고, I, Q channel의 data가 상호 독립적이고, 부호 평형 성이 유지된다라고 가정하면 $E[\theta_M] = 0$ 이 된다. $E[\phi]$ 분포는 식(31)로 주어지는 확률 밀도 함수의 분포로 나타나게 된

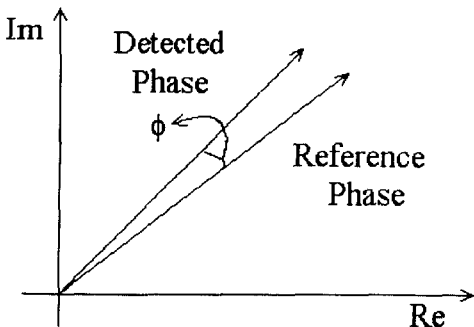


그림 4. QPSK 신호의 Phase 평면
 Fig. 4. Phase Plane of QPSK Signal.

다. ^[16] 식(31) 두번째 항의 $p(n)$ 은 Phase를 올바르게 hard decision할 확률을 나타내며, 식(32)로 주어지는 phase error ϕ 의 확률밀도함수를 사용하여 구할 수 있다. ^[2]

$$r(\phi) = \frac{1}{2\pi} e^{-E_s/N_o} \cdot \left[1 + Z\sqrt{2\pi} \cdot e^{\frac{Z^2}{2}} \cdot (1 - Q(Z)) \right] \tag{32}$$

여기서, $Z = \sqrt{2E_s/N_o} \cos(\phi)$ (33)

$$Q(u) = \frac{1}{\sqrt{2\pi}} \int_u^{\infty} e^{-\frac{x^2}{2}} dx \tag{34}$$

를 의미한다. 이때, 은 식(35)로 구할 수 있다.

$$P(n) = \int_{(2n-3)\pi/M}^{(2n-1)\pi/M} r(\phi) d\phi \tag{35}$$

식(32)로 주어지는 phase error ϕ 의 확률 밀도 함수 $r(\phi)$ 는 수치 적분을 이용해서 구할 수 있다. 확률밀도함수 $r(\phi)$ 를 다양한 SNR에 따라 그림 5에서 보였다.

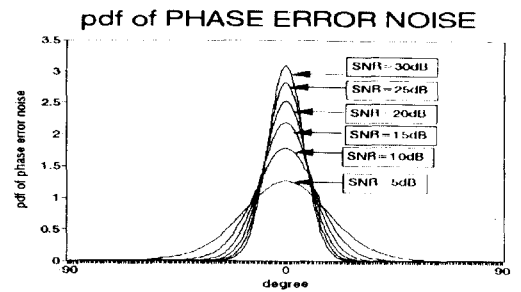
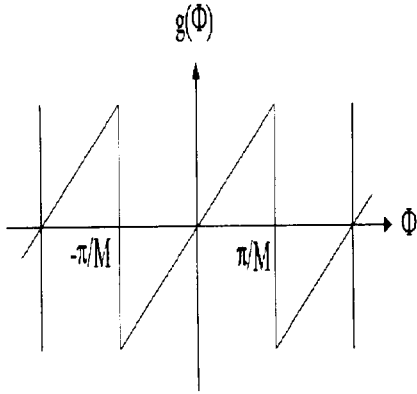


그림 5. 확률밀도함수 $r(\phi)$
 Fig. 5. p.d.f of $r(\phi)$.

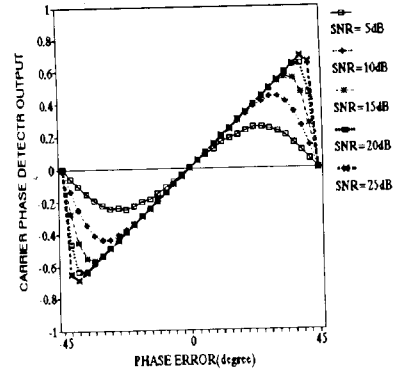
SNR = ∞일 때 S-Curve는 다음 식으로 근사 화될 수 있다.

$$g(\phi) \cong \phi \pmod{\pi / M} \tag{36}$$

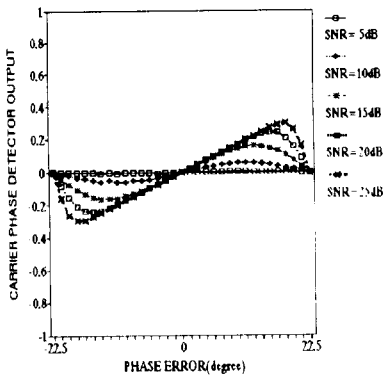
그림 6-(a)에 SNR = ∞일 때의 S-Curve를 나타내고 있다. 그림 6-(b), (c), (d)에는 각각 QPSK, 8PSK, 16PSK 변조 기법을 적용했을 때, 다양한 SNR 범위에서의 시뮬레이션한 S-Curve를 나타내고 있다. 그림 7에서는 QPSK 신호에 대해서, 다양한 $B_L T_s$ 에 따른 SNR 대 RMS Jitter 특성을 나타내고 있다.



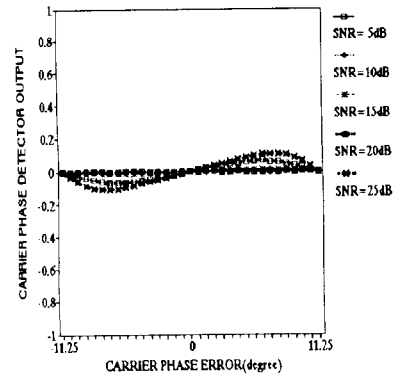
(a) AF CR Loop의 S-Curve(SNR=∞)



(b) AF CR Loop의 S-Curve(QPSK)



(c) AF CR Loop의 S-Curve(8PSK)



(d) AF CR Loop의 S-Curve(16PSK)

그림 6. 제안된 AF CR Loop의 S-Curve

Fig. 6. S-Curve of Proposed AF CR loop.

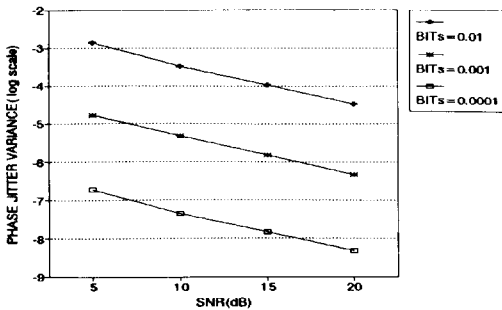


그림 7. SNR에 따른 Jitter특성

Fig. 7. Jitter Characteristic vs. SNR.

Ⅲ. 시뮬레이션 결과 및 비교분석

먼저, 본 논문에서 제시한 CR loop과 기존에 제시된 CR loop과의 성능을 비교 분석하기 위해서 Costas loop, Decision Directed loop, 논문 [8]의 Leclert loop를 간단히 논의하기로 한다. 3가지 loop의 PD출력은 다음과 같다. Z_I, Z_Q 는 2장에서 나타낸 것과 마찬가지로 각각 LPF된 I, Q 채널의 신호를 의미한다.

1. Costas loop

일반적인 Costas loop의 PD 출력은 BPSK, QPSK 경우에

$$\varepsilon_k = \frac{-1}{2^{N/2-1}} \text{Im}(Z_I + jZ_Q)^N \quad \text{for } N = 2, 4 \quad (37)$$

으로 나타낼 수 있고^[3], Tracking 성능을 향상하기 위해 hard limiting 을 취하면,

$$\epsilon_k = Z_Q \cdot \text{sgn}(Z_I) - Z_I \cdot \text{sgn}(Z_Q) \quad (38)$$

으로 근사화할 수 있다. 특히, 8PSK 나 16PSK 와 같은 Multi-level 신호인 경우는 식(40)으로 근사화할 수 있다.^[5]

$$\epsilon_k = Z_Q \cdot F(Z_I) - Z_I \cdot F(Z_Q) \quad : \text{Polarity Type} \quad (39)$$

식(37-39)의 Costas loop을 분석하면, MAP 이론에 의한 Costas loop(이하, MAP Costas loop)의 PD 출력은 다음과 같다.^[1,13]

$$\epsilon_k = Z_I \cdot \text{TANH}(Z_Q) - Z_Q \cdot \text{TANH}(Z_I) \quad (40)$$

식(40)에서 tangent hyperbolic 함수를 low SNR 에서 근사화하면, 식 (37)로 나타나고, high SNR에서 근사화하면 식(38)로 나타난다.

시물레이션에서는 식(40)으로 표시된 이론적인 MAP Costas loop의 PD를 사용하였을때의 성능을 참고로 제시하였다.

2. Decision Directed loop

$$\epsilon_k = Z_Q \cdot \hat{Z}_I - Z_I \cdot \hat{Z}_Q \quad (41)$$

여기서, \hat{Z}_I, \hat{Z}_Q 는 각각 ML(Maximum Likelihood) 추정값을 의미한다.

3. Leclert loop

$$\epsilon_k = \text{sgn}(Z_Q - \hat{Z}_Q) \cdot \text{sgn}(Z_I) - \text{sgn}(Z_I - \hat{Z}_I) \cdot \text{sgn}(Z_Q) \quad (42)$$

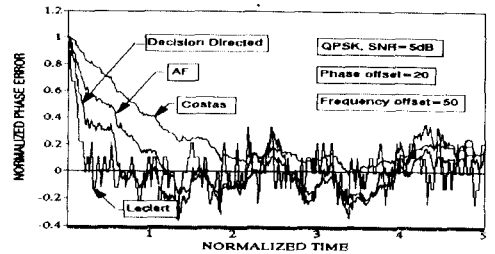
이상의 3가지 CR loop과 본 논문에서 제시한 AF CR loop의 성능을 비교 검토하기로 한다.

시물레이션에서 현존컴퓨터의 수행 능력을 고려하여 심볼당 36개의 샘플을 사용하였으며, pulse shaping을 위해 $\alpha = 0.5$ 인 FIR filter를 구현하였다.

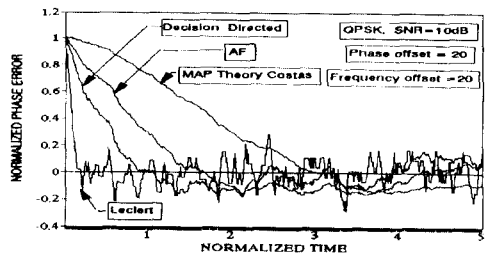
시물레이션 기법으로는 현존하는 컴퓨터의 수행 시간 고려상 CR부분은 분석적인 기법을 사용하였고, CR부분 이외의 시물레이터의 모든 부분은 Monte-Carlo 방법을 사용하였다. Noise 모델은 Gaussian noise를 모델링 하여 사용하였다. 먼저, 그림 8 에서 는 1차, 2차 CR loop에 대한 Acquisition 과정을 보

여주고 있다. 변조 방법은 QPSK를 적용하였다. 그림 8-(a)의 1차 CR Loop에서 Phase offset 은 20°, 주파수 offset은 50Hz 로 주었다. 그림 8-(b)에서는 4가지 2차 CR loop의 phase와 주파수 offset에 대한 동기 포착 과정을 보여주고 있다. damping factor $\zeta = 0.707$ 로 하였고, $\omega_n T_s = 0.1$ 로 하였다. 또, phase offset, 주파수 offset은 각각 20°, 20Hz를 주었다. 그림 8에서 4가지 loop중 Leclert loop 이 가장 빠른 동기 포착을 하고, MAP Costas loop은 가장 늦은 동기 포착을 확인할 수 있었다.

그림 9에서는 4가지 loop에 대한 S-Curve를 나타내고 있다. Leclert loop이 모든 변조 기법의 경우에서 원점에서 가장 큰 기울기를 보이고 있고, QPSK인 경우에 AF CR loop이 MAP Costas보다 나은 성능을 확인할 수 있었다. 8PSK, 16PSK인 경우에는 Polarity Costas, Decision Directed, AF CR Loop등의 성능이 거의 비슷함을 확인할 수 있다.



(a) 1차 CR loop



(b) 2차 CR Loop

그림 8. 4가지 CR Loop의 Acquisition 과정
Fig. 8. Acquisition Process of 4 CR loop.

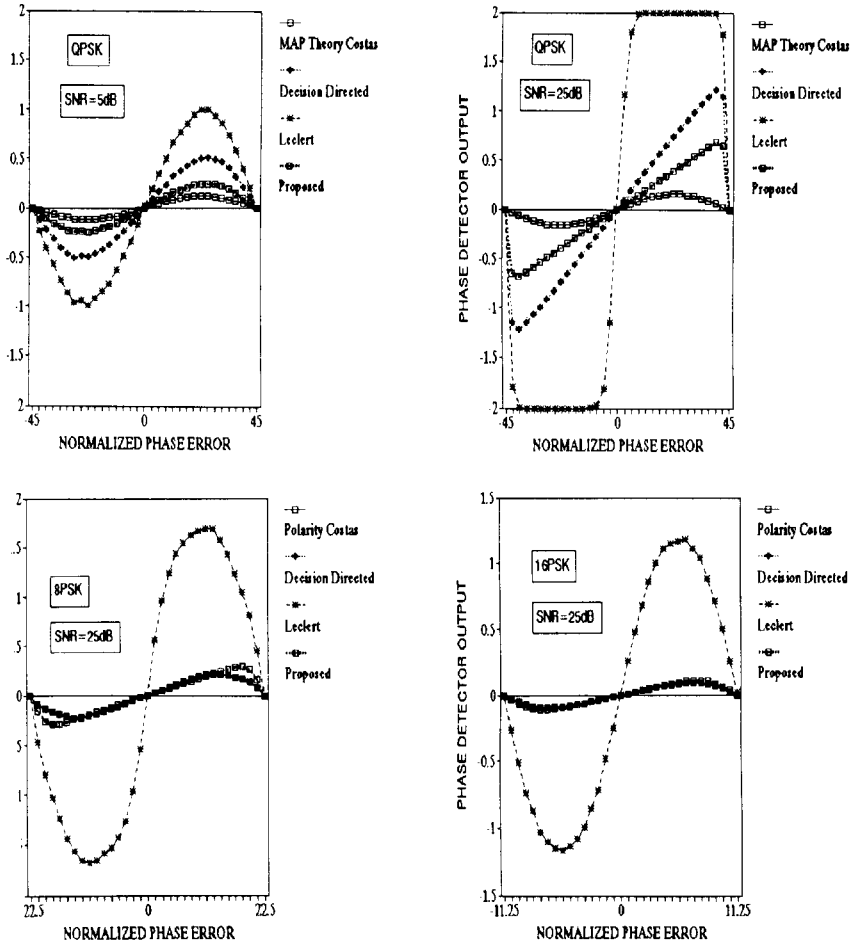


그림 9. 4가지 CR Loop의 S-Curve
Fig. 9. S-Curve of 4 CR loops.

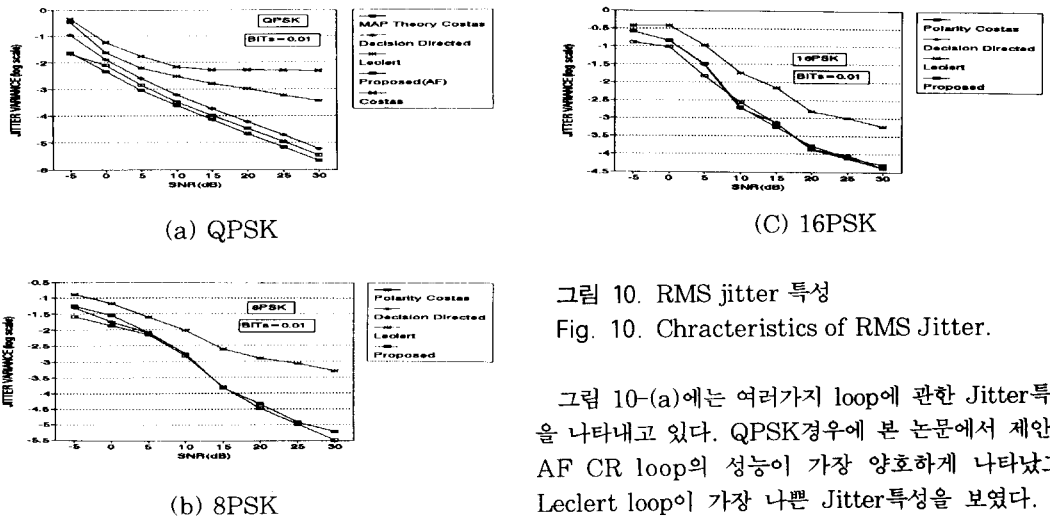


그림 10. RMS jitter 특성
Fig. 10. Characteristics of RMS Jitter.

그림 10-(a)에는 여러가지 loop에 관한 Jitter 특성을 나타내고 있다. QPSK 경우에 본 논문에서 제안한 AF CR loop의 성능이 가장 양호하게 나타났고, Leclert loop이 가장 나쁜 Jitter 특성을 보였다. 그

림 10-(b),(c) 의 8PSK, 16PSK 경우에는 본 논문에서 제시한 AF CR loop과 DD loop, Polarity Costas loop의 성능이 모든 SNR 범위에서 거의 비슷하게 나타남을 확인할 수 있다.

그림 10-(a),(c) 에서는 $B_c T_s = 0.01$ 로 하였고, 그림 10-(b)에서는 $B_c T_s = 0.001$ 로 하였다. damping factor ζ 는 0.707로 하였다. 이상의 4가지 loop에 대한 성능 비교를 정리하면 표 1 과 같다.

표 1. 4가지 CR loop에 대한 성능 비교

Table 1. Performance Comparison of 4 CR loops.

	MAP Costas	DD	Ledert	Proposed(AF)
Acquisition	양 호	우 수	가장 우수	비교적 우수
S-Curve 특성	양 호	우 수	가장 우수	비교적 우수
Jitter 특성	가장 우수	비교적 우수	양 호	우 수

IV. 결 론

본 논문에서 PSK 변조 방법에 적용할 수 있는 새로운 디지털 AF CR loop을 제안하였다. AF CR loop은 Multi-level limiter와 복조된 각(Detected Angle)의 개념을 기본 전제로 하고 있다. 제시된 AF CR loop에 대한 수학적인 분석을 하였으며, 시뮬레이션을 통해 수학적인 분석의 타당성을 확인하였다. 특히, 실제 통신 시스템 환경을 시뮬레이션으로 모델링 하여 제시된 AF CR Loop의 구체적인 성능 평가를 하여, 기존에 제시된 많은 CR loop 들과의 성능을 비교 분석하였다. 성능 평가를 위해 Gaussian 잡음 환경 하에서 QPSK, 8PSK, 16PSK 변조 기법에 대하여 Monte-Carlo 방법과 분석적 방법을 혼용하여 Simulation을 행하였다. 성능 평가를 해서 다른 CR loop과 비교 분석해 본 결과, 본 논문에서 제시한 AF CR loop은 Acquisition, S-curve 등의 성능에서는 기존에 제시된 다른 CR loop과 약간 성능이 떨어지지만, 실제 통신시스템의 성능을 결정하는 Jitter 특성에서는 Costas나 Decision Directed loop보다 훨씬 나은 성능을 보였다. 본 논문에서 제시한 AF CR loop을 실제 통신 시스템에 적용했을 때, 우수한 동작을 보일 것으로 기대한다.

감사의 글

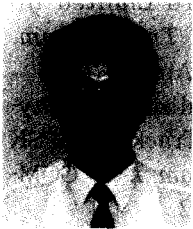
본 논문은 91-93년도 체신부 제조업 경쟁력강화 사업의 일환으로 수행된것임을 감사드립니다.

參考文獻

- [1] W.C. Lindsey, Synchronization Systems in Communication and Control, Englewood Cliffs, NJ: Prentice-Hall, 1972.
- [2] W.C. Lindsey and M.K. Simon, Telecommunication Systems Engineering, Englewood Cliffs, NJ: Prentice-Hall, 1973.
- [3] W.C. Lindsey and M.K. Simon, "Digital Phase-Locked Loops for Suppressed Carrier Recovery", NTC Proceedings, Washinton DC, pp. 24.3.1 - 24.3.6, Nov.1979.
- [4] M.K. Simon, "Tracking Performance of Costas Loops with Hard-Limited In-Phase channel," *IEEE Trans. Comm.* vol.COM-26, pp 420-432 Apr. 1978.
- [5] H.C.Osborne, "A Generalized "Polarity-Type" Costas Loop for Tracking MPSK Signals" *IEEE Trans. Comm.* vol.COM-30, pp 2289-2296 Oct.1982.
- [6] W.C. Lindsey and M.K. Simon, "Carrier synchronization and detection of Polyphase signals" *IEEE Trans. Comm.*, vol.COM-20, pp.441-454, June 1972.
- [7] M.K.Simon and J.G.Smith, "Carrier Synchronization and Detection of QASK signal sets." *IEEE Trans. Comm.* vol. COM-22, pp.98-106, Feb.1974.
- [8] K.Miyauchi, S.Seki, and H.Ishio, "New Technique for generating and detecting multilevel signal formats," *IEEE Trans. Comm.* vol. COM-24, pp.263-267, Feb. 1976.
- [9] A.Leclert and P Vandamme, "Universal Carrier Recovery Loop for QASK and PSK Signal Sets," *IEEE Trans. Comm.* vol. COM-31, pp.130-137, Jan.1983.
- [10] W.Osborne and B.Kopp, "Synchronization In Mpsk Modems", *IEEE ICC P* roceedings, pp.348.6.1-348.6.5 1992.
- [11] A.H.Makarior and P.G.Farrel, "Noise and False Lock Performance of the

- PSK-Tanlock Loop", *IEEE Trans. Comm.* vol. COM-30, pp. 2277-2284, Oct. 1982.
- [12] William C. Lindsey, *Telecommunication Systems Engineering*, Prentice-Hall, Inc. 1973.
- [13] 최형진, "위성통신 링크의 모델링, 분석 및 시뮬레이션 기법의 연구 개발" 한국과학기술원 인공위성연구센터 최종연구보고서 1991. 8. 31
- [14] H.C.Osborne, "Stability analysis of an Nth power digital phase locked loop- PART I: First Order DPLL", *IEEE Trans. Comm.* vol. COM-28, pp. 1343-1354, Aug. 1980.
- [15] H.C.Osborne, "Stability analysis of an Nth power digital phase locked loop- PART II: Second- and third- Order DPLL", *IEEE Trans. Comm.* vol. COM-28, pp. 1355-1364, Aug. 1980.
- [16] J.C.Lee, C.K.Un, "Performance Analysis of Digital Tanlock Loop", *IEEE Trans. Comm.* vol. COM-30, PP. 2398-2411, Oct. 1982.

 著者紹介



宋在哲(正會員)

1961年 9月 9日生, 1985年 2月 성균관 대학교 전자공학과 졸업(학사). 1989年 2月 성균관 대학교 전자공학과 졸업(석사). 1992年 2月 성균관대학교 전자공학과 박사과정 수료. 1991年 9月 ~ 현재 인덕전문대학 OA과 조교수. 주관심분야는 디지털 통신, 이동통신, 무선통신, 위성통신, 디지털 MODEM 등임.



崔炯辰(正會員)

1952年 8月 30日生. 1974年 2月 서울대학교 전자공학과 졸업(학사). 1976年 2月 한국과학기술원 전기 전자공학과 졸업(석사). 1976年 3月 ~ 1979年 7月 주식회사 금성사 중앙연구소 근무(연구원). 1979年 9月 ~ 1982年 12月 미국 University of Southern California 전기공학과 박사(Ph.D). 1982年 10月 ~ 1989年 2月 미국 Lin Com Corp. 연구원으로 근무. 1989年 3月 ~ 현재 성균관대학교 전자공학과 근무(부교수). 주관심분야는 디지털 통신, 무선통신, 이동통신, 위성통신 및 동기화이론을 포함한 Modem 기술 등임.