

論文93-30A-10-7

실리콘 이온 주입후 고상 결정화시킨 다결정 실리콘 TFT의 전기적 특성

(Electrical Characteristics of the Poly-Si TFT using SPC Films after Si Ion Implantation)

李炳周*, 金宰永*, 姜文祥*, 具用書**, 安哲*

(Byoung Ju Lee, Jae Yeong Kim, Moun Sang Kang, Yong-Seo Koo and Chul An)

要約

Si 기판위에 LPCVD 방법으로 증착한 다결정 실리콘 박막과 이 박막을 실리콘 이온 주입으로 비정질화시키고 고상결정화(Solid Phase Crystallization)시킨 박막에 각각 n 채널 TFT를 제작하고 전기적 특성을 측정해서 비교해본 결과 문턱전압이 각각 10.1V 와 11.2V, 전하이동도가 각각 $20.7\text{cm}^2/\text{V}\cdot\text{s}$ 와 $9\text{cm}^2/\text{V}\cdot\text{s}$, 그리고 ON/OFF 전류비가 각각 $\sim 10^5$ 와 $\sim 10^4$ 로서 비정질화 시켰던 박막에 만든 소자가 향상된 특성을 보였다.

Abstract

N-channel TFTs fabricated on the pre-amorphized (by Si ion implantation) and recrystallized Si film having 10.1V threshold voltage, $20.7\text{cm}^2/\text{V}\cdot\text{s}$ field effect mobility and $\sim 10^5$ ON/OFF ratio, showed improved characteristics comparing to those obtained from the as-deposited (by LPCVD) poly Si film which had 11.2V, $9\text{cm}^2/\text{V}\cdot\text{s}$ and $\sim 10^4$ respectively.

1. 서론

TFT (Thin Film Transistor)는 이미지 센서, 프린트 헤드, VLSI 메모리 센서 그리고 고집적 SRAM의 부하용 소자등에 응용되는등 무한한 잠재력을 가지고 있기 때문에, 많은 관심의 대상이 되고 있으며, 특히 저온 공정 다결정 실리콘 TFT에 관한 관심이 높아져 많은 연구가 진행되고 있다.^[1] 다결정

실리콘 박막은 주로 LPCVD (Low Pressure Chemical Vapor Deposition) 방법으로 제조되고 있으며, 증착한 박막의 입자의 크기는 100nm 이하인 것으로 보고되고 있다.^[2]

CVD로 증착한 다결정 실리콘 TFT의 전기적 특성을 개선시킬 수 있는 방법으로는 레이저 열처리 방법과 고상결정법 (Solid Phase Crystallization)이 주로 사용되고 있다. 레이저 열처리 방법은 전기적 특성이 좋으나^[3,4], 결정입정의 균일성 및 생산성에 불리하다. 반면 고상결정 방법은 600°C 이하에서 장시간 열처리하여 재결정하는 방법으로 박막의 표면이 평탄하고 결정입정이 레이저 열처리의 경우보다 작으나 그 크기가 비교적 균일한 다결정 실리콘층을 얻을 수 있으며^[5], 생산성에 있어서도 월등한 이점을 가지

*正會員, 西江大學校 電子工學科
(Dept. of Elec. Eng. Sogang Univ.)

**正會員, 西京大學校 컴퓨터工學科
(Dept., of Computer Eng. Seokyeong Univ.)
接受H字: 1993年 2月 24日

고 있다. 최근에는 고상결정 방법중, 비정질 실리콘을 열처리하여 다결정 실리콘을 만드는 방법외에도 증착된 다결정 실리콘 박막에 실리콘 이온을 주입하여 비정질화시킨 후 열처리하여 다결정 실리콘으로 만드는 방법이 많이 연구되고 있다.^{16, 9)}

본 논문에서는 LPCVD로 증착한 다결정 실리콘에 실리콘 이온을 주입하여 비정질화시킨 후 600℃에서 25 시간 열처리한 다음 n-channel TFT를 제작하였다. 또한 실리콘 이온 주입하지 않고 같은 조건에서 제작한 TFT와 전기적 특성을 비교하였다.

II. 소자 제작

저온 공정 다결정 실리콘 TFT를 제작하기 위해서 본 실험에서 수행한 공정 순서는 그림 1.과 같다. 기판으로 사용된 p-type (100) 실리콘 웨이퍼의 표면에 thermal oxidation으로 5000 Å두께의 기판 산화막을 성장시켰다. 이후, 저온 공정을 위해 다결정 실리콘 막을 600℃이하에서 증착시켜야 했으나, 실험 여건상 불가능하여 LPCVD 방법으로 620℃에서

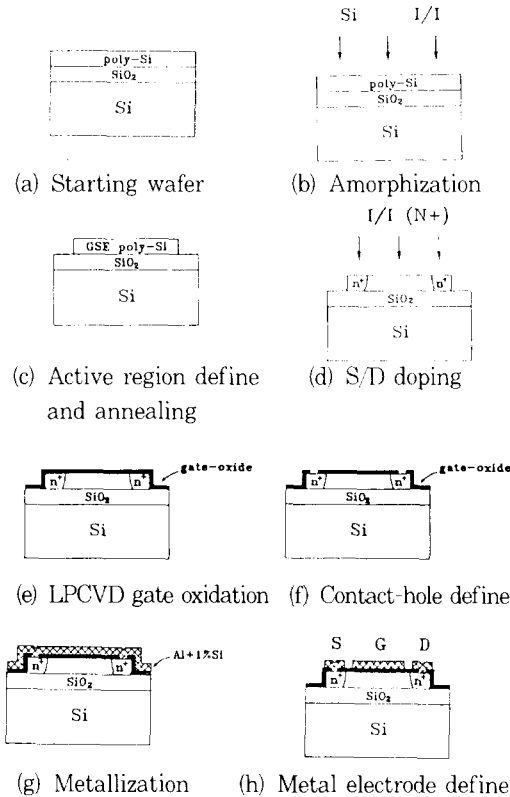


그림 1. 다결정 실리콘 TFT의 제작 순서 단면도
Fig. 1. The process flow chart for a poly Si TFT.

3000 Å 두께로 증착시켰다. 그리고 증착된 다결정 실리콘에 SSIC(Seed Selection through Ion Channeling) 방법^{16, 9)}으로 실리콘 이온을 $1 \times 10^{15}/\text{cm}^2$, 40KeV로 주입하여 비정질화시켰다. 그림 2.에는 각 단계별 마스크를 나타냈다.

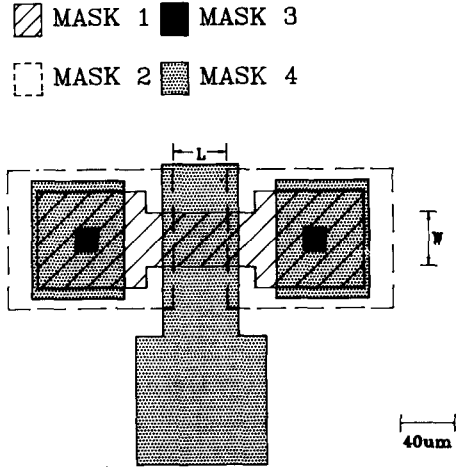


그림 2. 다결정 실리콘 TFT의 마스크 레이아웃 (W/L=40μm/40μm)
Fig. 2. The layout of the mask of the poly Si TFT (W/L=40μm/40μm).

비정질화시킨 웨이퍼를 마스크 1을 이용해 활성영역을 정의한 후, 600℃, N₂ 분위기에서 25 시간 동안 고상결정화시켜 결정이 성장된 다결정 실리콘을 얻었다. 소오스/드레인 영역을 정의(마스크 2)한 후, phosphorus를 $2 \times 10^{15}/\text{cm}^2$, 25KeV로 이온 주입하였다. 소오스/드레인의 면저항은 약 50Ω/□이었다. 웨이퍼 세척을 한 후, LPCVD system을 사용하여 400℃, 400mtorr에서 게이트 산화막을 1000 Å 정도 증착하였다. 그리고나서 불순물을 활성화 시키고 산화막을 단단하게 하기 위한 공정으로 600℃, N₂ 분위기에서 12시간 동안 열처리하였다. R. Reif 등이 실험한 결과¹⁰⁾를 볼 때 이 정도 열처리에서 불순물의 측면 확산에 의한 채널길이의 감소는 거의 무시할 수 있을 정도이다. 마스크 3을 이용하여 접촉창을 형성하고, E-beam evaporator로 1μm 두께의 Al을 증착하였다. 이때 Al은 junction spiking을 방지하기 위해 1%의 실리콘이 함유된 Al을 사용했다. 또한 비정질화시킨 소자와 전기적 특성을 비교하기위해 그림 1 b)의 실리콘 이온주입 과정을 거치지 않은 TFT도 제작하였다.

Ⅲ. 실험 결과 및 고찰

1. 고상 결정화 실험 결과

그림 3.은 LPCVD로 증착한 다결정 실리콘에 대한 X-ray 회절 실험 결과이고, 그림 4.는 실리콘 이온 주입(Si ion implantation : 이하 Si I/I)하여 비정질화시킨 박막에 대한 X-ray 회절 실험 결과이다. 그림 3.과 비교해 볼 때, Bragg angle 25°에서 50° 범위에서 (220)과 (111)의 최대치가 매우 감소한 점으로 보아서 실리콘 이온 주입으로 다결정 실리콘이 거의 비정질화 되었음을 알 수 있다.

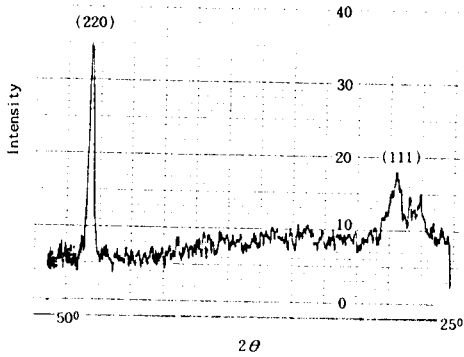


그림 3. 다결정 실리콘의 X-ray 회절 실험 결과
Fig. 3. The X-ray diffraction peaks of the as deposited poly Si.

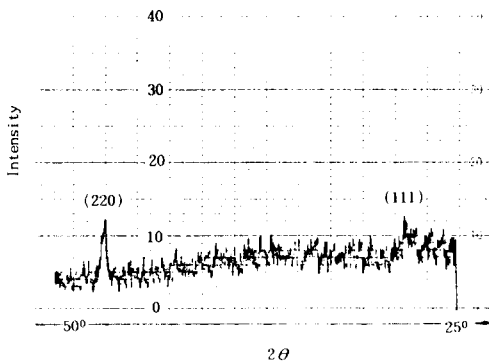


그림 4. Si I/I로 비정질화시킨 시편의 X-ray 회절 실험 결과
Fig. 4. The X ray diffraction peaks of the amorphized Si with Si I/I.

그림 5.는 비정질화시킨 시편과 비정질화 시키지않은 시편을 25 시간동안 질소 분위기에서 600℃로 열처리한 X-ray 회절 실험 결과이다. X-ray의 source 로 Cu를 사용한 경우, 28.6° 부근의 peak는 (111) 방향을 나타내고, 47.5° 의 peak는 (220)방향을 나타내는데, (220)방향을 갖는 결정이 (111)방향을 갖는 결정보다 더 많음을 알 수 있다.

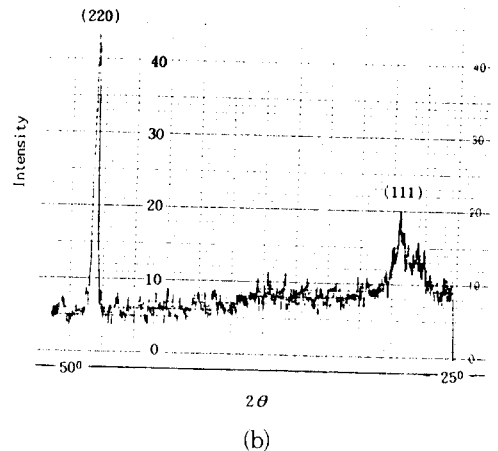
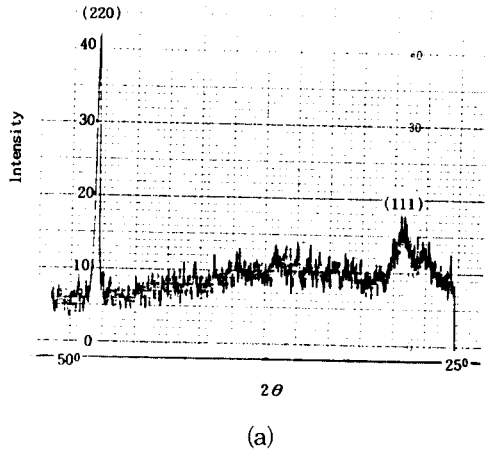


그림 5. 고상결정화시킨 후의 X ray 회절 실험 결과

- (a) 비정질화 시키지않았던 시편
- (b) 비정질화시켰던 시편

Fig. 5. The X-ray diffraction peaks of the SPC samples.

- (a) non-amorphized sample,
- (b) pre-amorphized sample.

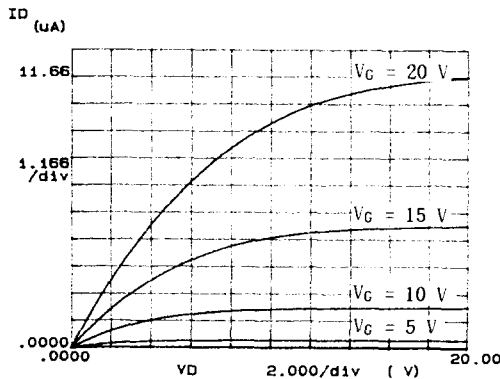
그림 6.은 증착된 다결정 실리콘을 실리콘 이온 주입으로 비정질화시킨 후 고상결정시켜 결정크기를 성장시킨 다결정 실리콘 박막의 SEM 사진이다. 증착된 다결정 실리콘의 결정 크기가 수십 nm인 것에 비해 결정 입정의 크기가 $\sim 0.6\mu\text{m}$ 정도로 증가되었음을 알 수 있다. 비정질화시키지 않고 고상결정화시킨 다결정 실리콘의 결정 크기는 매우 작아 SEM 관찰이 어려웠다. 이와같은 결과는 R. Reif등이 실험한 결과^[9] 와도 일치한다.



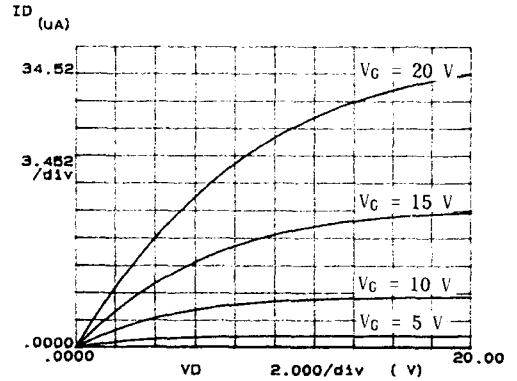
그림 6. 고상결정화시킨 시편의 SEM 사진
Fig. 6. SEM micrograph after of the SPC annealing.

2. 다결정 실리콘 TFT의 전기적 특성

1) $I_{DS}-V_{DS}$ 전류 전압 특성



(a)



(b)

그림 7. 제작한 TFT의 $I_{DS}-V_{DS}$ 특성

(a) 비정질화시키지 않았던 소자

(b) 비정질화시켰던 소자

Fig. 7. The $I_{DS}-V_{DS}$ characteristics of the poly Si TFT.

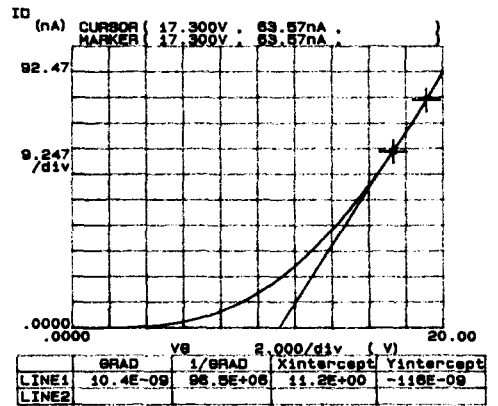
(a) non-amorphized device,

(b) pre-amorphized device.

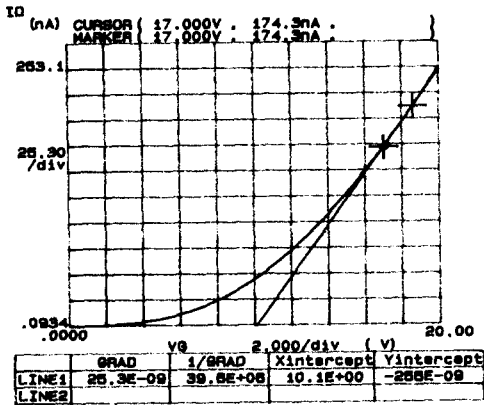
그림 7.은 다결정 실리콘을 고상결정하여 제작한 소자와 실리콘 이온주입으로 비정질화 시킨후 고상결정하여 제작한 소자의 전류 전압 특성이다. 그림 7.로부터 같은 게이트 전압과 드레인 전압에 대해 전류 레벨이 실리콘 이온 주입한 소자가 3배 이상 증가되었음을 알 수 있다.

2) 문턱 전압 특성

제작된 소자의 문턱 전압을 구하기 위해 $V_{DS}=0.1$ [V] 에서 $I_{DS}-V_{GS}$ 의 변화를 측정하였다. 그림 8.로부터 구한 문턱 전압은 실리콘 이온을 주입한 후 열처리하여 제작한 소자가 10.1 [V] 로써 실리콘 이온 주입을 하지 않고 제작한 소자의 11.2 [V] 보다 더



(a)



(b)

그림 8. 제작한 TFT의 $I_{DS} - V_{GS}$ 특성 곡선

- (a) 비정질화시키지 않았던 소자
- (b) 비정질화시켰던 소자

Fig. 8. The $I_{DS} - V_{GS}$ characteristics of the poly Si TFT.

- (a) non-amorphized device,
- (b) pre-amorphized device.

낮은 값을 얻을 수 있었다. 단결정 실리콘 MOSFET 와 비교해서는 큰 값인데 이는 다결정 실리콘의 결정 입계에서의 캐리어 포획에 기인한다고 생각된다.

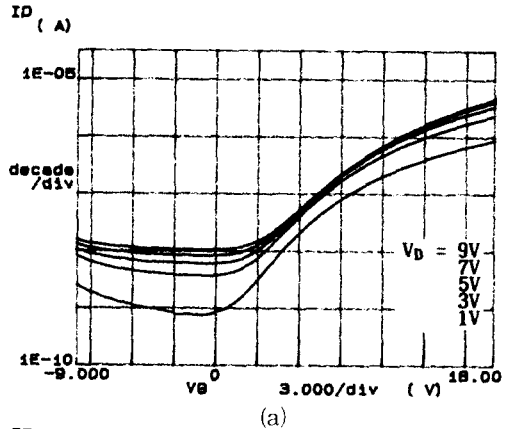
3) Transconductance 및 이동도 특성

본 논문에서는 다결정 실리콘 TFT의 이동도를 bulk MOSFET에서 사용하는 transconductance 방법을 사용하여 구하였다. 이 방법으로 얻은 이동도는 비정질화시키지않은 소자에서는 $9.1 [cm^2/V \cdot s]$ 이고 실리콘 이온을 주입하여 비정질화시켰던 소자에서는 $20.7 [cm^2/V \cdot s]$ 이었다.

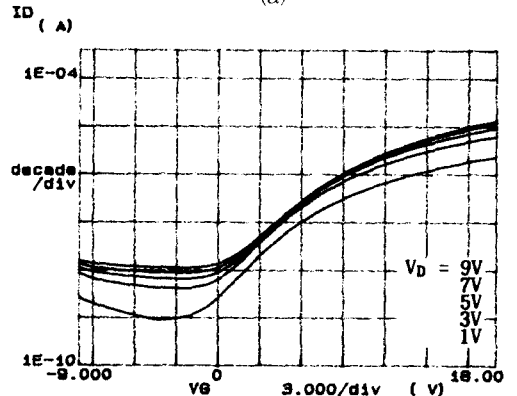
비슷한 온도와 시간으로 비정질 실리콘을 열처리한 소자에서 이동도가 $10 [cm^2/V \cdot s]$ 이하로 보고된 바 있는데^[11,12] 본 실험 방법으로 제작한 소자에서 두배 이상의 값을 가진것을 알 수 있다.

4) 누설전류 및 ON/OFF 전류비

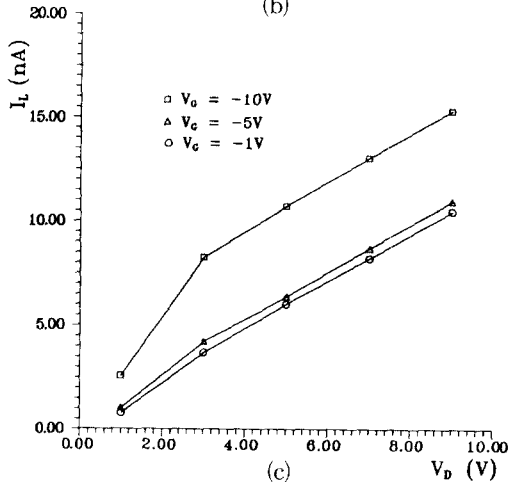
그림 9. (a)는 비정질화시키지않은 소자, (b)는 비정질화시킨 소자에서 드레인 전압을 변화시켰을 때의 게이트 전압에 따른 드레인 전류이고, (c)는 비정질화시킨 소자의 드레인 전압에 따른 누설전류인데 (c)에서 게이트 전압이나 드레인 전압이 증가함에 따라 누설전류가 증가한다는 것을 알 수 있다. 이는 드레인 영역에서의 soft breakdown 현상^[6] 과 전계에 의한 Poole-Frenkel emission에 의한 효과^[13] 라고 생각할 수 있다.



(a)



(b)



(c)

그림 9. 제작한 TFT의 누설전류 특성

- (a) 비정질화시키지 않았던 소자 (b) 비정질화시켰던 소자 (c) 비정질화시켰던 소자의 $I_L - V_D$ 그래프

Fig. 9. The leakage characteristics of the poly Si TFT. (a) non-amorphized device, (b) pre-amorphized device, (c) $I_L - V_D$ graph of the pre-amorphized device.

그림 10. 은 $V_{DS} = 5V$ 일 때의 $\log I_{DS}-V_{GS}$ 특성 곡선이다. 이 곡선으로부터 TFT 소자의 구동영역을 나타내는 중요한 파라미터 중의 하나인 ON/OFF 비율을 구해보았다. 비정질화 시키지않은 소자에서는 ON/OFF 비율이 $\sim 10^4$ 인데 비해 실리콘 이온 주입으로 비정질화시켰던 소자에서는 $\sim 10^5$ 로서 향상된 특성을 나타내고 있다.

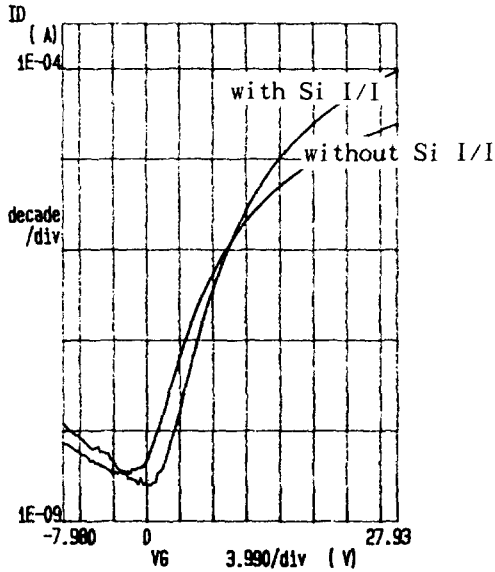


그림 10. 제작한 TFT의 $\log I_{DS}-V_{GS}$ 특성 곡선
Fig. 10. The $\log I_{DS}-V_{GS}$ characteristics of the poly Si TFT.

표 1에 두종류의 다결정 실리콘 TFT에서 얻은 파라미터들을 정리하였다. 실리콘 이온 주입으로 비정질화시켰던 소자에서 모든 전기적 특성이 우수함을 알 수 있다.

표 1. 측정된 다결정 실리콘 TFT의 파라미터 값들

Table 1. Measured parameters of poly Si TFT.

파라미터	비정질화 시켰던	비정질화 시키지
	소자	않은 소자
μ_{ch} [$cm^2/V \cdot s$]	20.7	9.1
V_t [V]	10.1	11.2
ON/OFF ratio	$\sim 10^5$	$\sim 10^4$
S [V/decade]	3.6	4.8

5) 고찰

비정질화후 재결정된 박막의 특성은 실리콘 이온주입 때의 실리콘 이온의 농도, 에너지 등에 따라 그 특성이 다양하게 나타나며^[6,9], TFT의 전기적 특성에 큰 영향을 주는 것은 결정 크기와 함께 다결정 실리콘 박막의 결정학적인 집합조직(crystallographic texture)이라는 주장이 있다. 즉 R. Reif 등은 그들의 실험에 기초해서 다음과 같이 설명하고 있다.^[8] 집합조직을 갖는 다결정 실리콘 박막 표면의 grain은 균일한 결정 방향을 갖기 때문에 표면밀도(surface density)가 감소하여 전기적 특성이 향상된다는 것이다. 또 집합조직 이외에도 이온 주입 농도와 주입 에너지의 크기도 전기적 특성에 영향을 주는 것으로, 시드(seed)가 될 grain 까지 비정질화될 만큼 큰 농도와 에너지로 이온주입한다면 결정 크기는 더 증가하지만, 재결정 과정에서 자발적인 핵형성(spontaneous nucleation)으로 표면의 결정 방향이 불규칙한 배열을 하고 평탄성이 나빠지며 박막 표면의 손상도 커져서 전기적 특성을 감소 시키는 원인이 된다고 주장하고 있다.

위의 설명들을 종합해 보면, SSIC 방법으로 TFT를 제작할 경우 다결정 실리콘 박막은 첫째, 어느 정도의 결정 크기를 갖고 둘째, 결정 방향이 같은 집합조직이고 셋째, 박막의 표면 상태가 좋을 때 가장 좋은 전기적 특성을 갖는다는 것이다.

표1의 파라미터 값들을 R. Reif 등이 실험한^[10] 경우($W/L=200\mu m/20\mu m$ 일 때 $V_t=23V$, $\mu=3.5cm^2/V \cdot s$, ON/OFF ratio 2×10^4)와 비교해 볼 때, 실험 조건은 비슷했으나 더 좋은 특성이 나왔는데, 이는 본 실험에서의 실리콘 이온 주입 에너지가 40KeV로 비교적 낮아서(R. Reif 등이 실험한 경우^[10] 이온 주입 에너지는 200KeV) 다결정 실리콘 표면의 손상이 작았고, 평탄성도 좋았기 때문이라 생각된다.

본 논문의 실험 결과를 볼 때 다결정 실리콘을 열처리한 후 소자를 제작하는 것 보다 다결정 실리콘을 SSIC 방법으로 비정질화 시켜 열처리한 후 소자를 제작하는 것이 결정 크기 및 표면 상태가 좋아져 전기적 특성이 더욱 좋아짐을 알 수 있었다. 그러나 본 실험만으로는 결정 크기와 집합조직이 전기적 특성에 어떠한 영향을 주는가에 대해서는 해석이 충분하지 못하므로 앞으로 이에대한 연구를 계속해야 될 것이다.

IV. 결론 및 향후 연구 방향

LPCVD 방법으로 증착한 다결정 실리콘을 600°C

에서 25 시간 열처리한 시편과 실리콘 이온 주입으로 비정질화시킨 후 같은 조건에서 열처리한 시편으로 각각 n-channel 다결정 실리콘 TFT를 제작하여 전기적 특성을 관찰하였다.

실리콘 이온 주입을 하지 않고 제작한 소자에서 이동도는 $9.1 \text{ [cm}^2/\text{V} \cdot \text{s}]$, 문턱 전압은 11.2 [V] , ON/OFF 비율은 $\sim 10^4$ 이었으며, 실리콘 이온 주입으로 비정질화시켰던 소자에서는 이동도가 $20.7 \text{ [cm}^2/\text{V} \cdot \text{s}]$, 문턱 전압은 10.1 [V] , ON/OFF 비율은 $\sim 10^6$ 로서 향상된 특성을 얻을 수 있었다. 위의 결과로부터 소자 특성에 크게 영향을 미치는 다결정 실리콘 박막의 표면 상태, 결정화후의 입자 크기 등이 실리콘 이온 주입으로 비정질화시켰던 소자가 더 우수함을 알 수 있다.

앞으로 더욱 좋은 다결정 실리콘 박막을 얻기 위해서는 실리콘 이온의 주입농도, 주입 에너지, 열처리 온도 및 시간 등에 관한 연구가 필요하며, 또한 누설 전류를 감소시키기 위한 소자의 구조, 수소화 처리에 관한 연구도 필요하다고 생각된다.

參考文獻

- [1] Advanced and Future Microelectronics Workshop V, "LCD 및 SRAM용 TFT 기술," 1991.
- [2] T. Kamins, Polycrystalline Silicon for Integrated Circuit Application, Kluwer Academic Publishers, pp.41-89, 1989.
- [3] K. Sera, et al., "High-Performance TFT's Fabricated by XeCl Excimer Laser Annealing of Hydrogenated Amorphous-Silicon Film," *IEEE Trans. on Elect. Dev.* ED-36, pp.2868-2872, 1989.
- [4] T. Serikawa, "Low-Temperature Fabricated of High-Mobility Poly-Si TFT's for Large Area LCD's," *IEEE Trans. on Elect. Dev.* ED-36, pp.1929-1933, 1989.
- [5] W. G. Hawkin, "Polycrystalline-Silicon Device Technology for Large-Area Electronics," *IEEE Trans. on Elect. Dev.* ED-33, pp.477-481, 1986.
- [6] R. B. Iverson and R. Reif, "Stochastic model for grain size versus dose in implanted and annealed polycrystalline silicon films on SiO₂," *J. Appl. Phys.* 57, no.15, p.5169-5175, 1985.
- [7] N. Yamauchi, J. Hajjar and R. Reif, "Polysilicon Thin-Film Transistors with Channel Length and Width Comparable to or Smaller than the Grain Size of the Thin Film," *IEEE Trans. on Elect. Dev.*, vol.38, no.1, pp.55-60, 1991.
- [8] K. T-Y. Kung and R. Reif, "Polycrystalline Si thin-film transistors fabricated at $\leq 800^\circ\text{C}$: Effects of grain size and $\{110\}$ fiber texture," *J. Appl. Phys.*, vol.62, no. 4, 15, pp.1503-1509, 1987.
- [9] K. T-Y. Kung and R. Reif, "Implant-dose dependence of grain size and $\{110\}$ texture enhancements in polycrystalline Si films by seed selection through ion channeling," *J. Appl. Phys.*, vol.59, no.7, pp.2422-2428, 1986.
- [10] K. T-Y. Kung and R. Reif, "Comparison of thin film transistors fabricated at low temperatures ($\leq 600^\circ\text{C}$) on as-deposited and amorphized-crystallized polycrystalline Si," *J. Appl. Phys.*, 61(4), 15, pp.1638-1642, 1987.
- [11] 마대영 외, "LPCVD 비정질실리콘 박막의 고상결정화에 미치는 기판의 영향," 전자공학회 논문지, 제 29권, 제 6호, pp.14-19, 1992.
- [12] 한철희, "Polysilicon Thin Film Transistors : 소자 기술 및 특성," IEEE Korea Section Electron Devices 합동학술발표회 논문집, 제 10권, 제 1호 pp.175-178, 1992.
- [13] D. W. Greve, P. A. Potyraj and A. M. Guzman, "Field-Enhanced Emission and Capture in Polysilicon pn Junctions," *Solid State Elec.* vol.28, no.12, pp.1255-1261, 1985.

著者紹介



李炳周(正會員)
1968年生. 1991年 2月 서강대학교 전자공학과(학사). 1993年 2월 서강대학교 전자공학과(석사). 현재 금성일렉트론 연구원. 주관심 분야는 SOI, TFT 등임.



金宰永(正會員)
1968年 12月 5日生. 1991年 2월 서강대학교 물리학과(학사). 1993年 2월 서강대학교 전자공학과(석사). 1993年 3월 ~ 현재 서강대학교 전자공학과 박사과정. 주관심 분야는 SOI, TFT, 소자 시물레이션 등임.

姜文祥(正會員) 第 29卷 A編 第 11號 參照
1992年 3월 ~ 현재 서강대학교 전자공학과 박사과정. 1993年 3월 ~ 현재 인덕전문대학 전자과 전임강사

具用書(正會員) 第 29卷 A編 第 11號 參照
1993年 3월 ~ 현재 서경대학교 컴퓨터공학과 교수

安哲(正會員) 第 29卷 A編 第 11號 參照
현재 서강대학교 전자공학과 교수