

論文93-30A-10-6

1100Å의 베이스 폭을 갖는 다결정 실리콘 자기정렬 트랜지스터 특성 연구

(A study on the Characteristics of PSA Bipolar Transistor with Thin Base Width of 1100Å)

具用書*, 安 哲**

(Yong Seo Koo and Chul An)

要約

본 논문에서는 1100Å의 얇은 베이스 폭을 갖는 다결정 실리콘 자기정렬 바이폴라 트랜지스터의 제작 방법 및 그 전기적 특성에 대하여 논의한다. 이러한 접합 깊이 특성을 구현하기 위하여 기존의 확산로 공정이 아닌 단일 급속 열처리 방법을 적용하였다. 에미터 면적은 $1 \times 4 \mu\text{m}^2$ 으로 설계하였으며 제작된 npn 트랜지스터의 직렬저항 및 기생용량 성분 등은 상당히 감소된 특성을 보여 주었다. 아울러 31단으로 구성된 FL링 발진기의 최소 전달 지연 시간을 측정한 결과 게이트당 2.3ns의 속도 특성을 얻을 수 있었다.

Abstract

This paper describes the fabrication process and electrical characteristics of PSA (Polysilicon Self-Align) bipolar transistors with a thin base width of 1100Å. To realize this shallow junction depth, one-step rapid thermal annealing(RTA) technology has been applied instead of conventional furnace annealing process. It has been shown that the series resistances and parasitic capacitances are significantly reduced in the device with emitter area of $1.0 \times 4.0 \mu\text{m}^2$. The switching speed of 2.3ns/gate was obtained by measuring the minimum propagation delay time in the FL ring oscillator with 31 stages.

1. 서론

바이폴라 트랜지스터로 이루어진 회로의 속도 특성은 개별 소자의 각종 기생저항 및 기생용량 즉, 베이스 직렬저항(R'_{bb}), 콜렉터저항(R_c), 베이스-에미터 접합용량(C_{jbe}), 베이스-콜렉터(C_{jbc}), 기판용량(C_s),

확산용량(C_d)과 선간용량(C_w) 등에 의하여 좌우된다.^{[1], [2]} 따라서, 바이폴라 소자의 속도특성 향상을 실현시키기 위하여는 기본적으로 활성 영역에서의 각종 소자변수의 최적화와 함께 비활성 영역에서의 기생저항과 기생접합용량의 최소화가 필수적으로 수반되어야 한다. 활성 영역에서의 소자 변수 최적화는 얇은 에미터 및 베이스 접합 형성 공정에 의한 베이스 폭 감소에 의해 실현되며, 비활성 영역에서의 기생 성분 감소는 소자의 구조적 개선을 필요로 한다.

[1], [2], [5]

기존의 SBC(Standard Buried Collector) 공정으로 제조된 상대적으로 큰 베이스 폭을 갖는 바이폴

*正會員, 西京大學校 컴퓨터工學科
(Dept. of Computer Eng., Seokyeong Univ.)

**正會員, 西江大學校 電子工學科
(Dept. of Elec. Eng., Sogang Univ.)

接受日字: 1992年 8月 10日

라 소자의 스위칭 특성 개선을 위하여 70년대말까지 베이스 폭 감소에 많은 연구가 진행되었으나 구조 및 공정 상의 제약 등으로 말미암아 큰 진전을 보이지 못하던 중, 80년대초에 PSA(Polysilicon Self-Aligned)소자가 개발됨으로써 0.2 μ m이하의 얇은 베이스 폭 형성이 실현되게 되었다. 그러나 베이스 내 전하 축적 시간을 극소화시키기 위하여는 공정 상의 진일보된 기술을 토대로 한 보다 얇은 접합깊이 및 베이스 폭 형성이 요구된다.

따라서, 본 논문에서는 PSA소자의 비활성 베이스, 활성 베이스, 에미터 접합 형성 과정을 기존의 열 확산 방법이 아닌 단일 급속 열처리 방법을 사용하여 단 한번의 RTA 공정으로 정의하는 방법을 제시하였다. 아울러 불필요한 기생 성분의 감소에 의한 스위칭 특성 개선을 위하여 1 \times 4 μ m²의 작은 에미터 면적 설계와 trench 산화막 격리 공정을 적용하였다.

II. 구조 및 공정 설계

본 논문에서 제시된 PSA바이폴라 소자의 평면도 및 단면도는 그림1과 그림2에 나타나 있으며 그 구조적 특징은 다음과 같다.

첫째, 활성 영역에서의 베이스 폭 감소를 위한 개선된 수직 profile 구조를 주요한 특징으로 한다.

둘째, 활성 영역에서의 얇은 에미터 접합 형성에 의한 양호한 소자변수 특성을 얻기 위하여 n⁺다결정 실리콘을 확산원 및 에미터 전극으로 사용하며, 셋째, 활성 영역에서의 접합용량 및 확산용량 값의 감소를 위하여 공정 가능한 범위 내에서 에미터 폭과 길이의 최소화를 실현하며(폭/깊이:1 μ m/4 μ m), 넷째, 콜렉터와 기관간의 기생용량 최소화를 위하여 기존의 LOCOS, SWAMI 등과 같은 산화막 격리 구조 대신에 trench 격리 구조를 적용한다.^{[6], [7]} 다섯째, p⁺

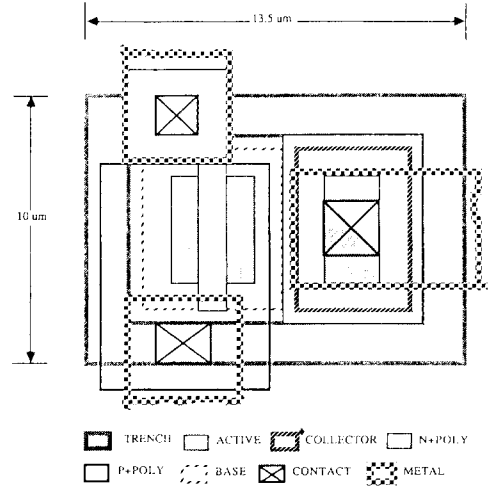


그림 1. npn 트랜지스터의 평면도
Fig. 1. Top view of npn transistor.

결정 실리콘을 비활성 영역의 확산원 및 베이스 전극으로 사용하며,

여섯째, 에미터 저항값 감소를 위하여 공정 최종 단계에서 급속 열처리 방법(RTA)을 적용하며, 일곱째, 기관용량 및 베이스-에미터, 베이스-콜렉터 접합용량 최소화를 위하여 단일 에미터 strip구조를 사용한다.

여덟째, 비활성 베이스영역 감소에 의한 용량성분 감소 및 안정된 전류 이득특성 구현을 위하여 butted 에미터 구조(베이스전류 감소)를 채택한다.

한편, 소자 제작을 위하여 요구되는 공정 설계는 일반적으로 실리콘 영역에서의 접합형성 및 소자의 전기적 절연공정과 실리콘 표면에서의 전극 형성 및 급속 배선공정 등에 대한 공정 규격의 설정으로 이루

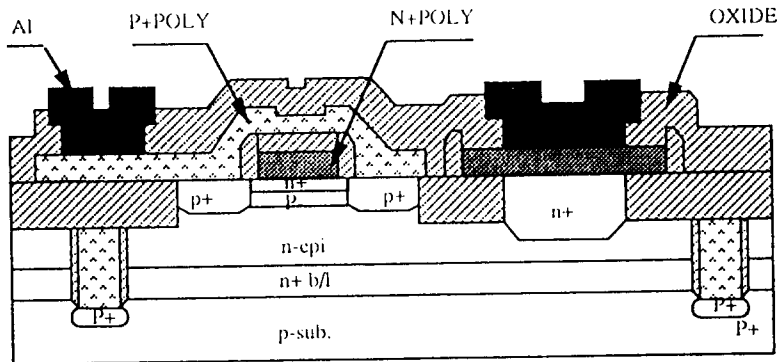


그림 2. npn 트랜지스터의 단면도
Fig. 2. Cross section of npn transistor.

어진다.

첫째, 실리콘 영역에서의 공정 설계는 다음과 같다.

콜렉터 직렬저항 감소를 위한 n' 매몰층은 면저항이 20-30Ω/□이 되도록 p형기판위에 비소(As')를 이온 주입한 후 열처리함으로써 형성된다.

바이폴라 소자의 기본적인 구조 실현을 가능하게 하는 각종 접합이 형성되는 n 에피층은 기생 콜렉터 저항과 n'매몰층의 바깥확산등을 고려하여 1.5μm의 두께를 갖는 규격으로 설계된다.

n'콜렉터 플러그(plug)는 n'매몰층과 상접시키기 위하여 확산 계수가 큰 인(phos.+)을 이온주입한 후 열처리하여 형성한다.

활성 베이스 영역은 보다 얇은 베이스 접합 깊이와 베이스폭 형성을 위하여 BF₂'이온을 낮은 에너지에서 주입하는 방법으로 공정 설계되었다.

둘째, 소자 간의 전기적 절연을 위한 공정 설계는 다음과 같다.

기판접합용량 최소화 및 칩 집적도 향상 등을 위하

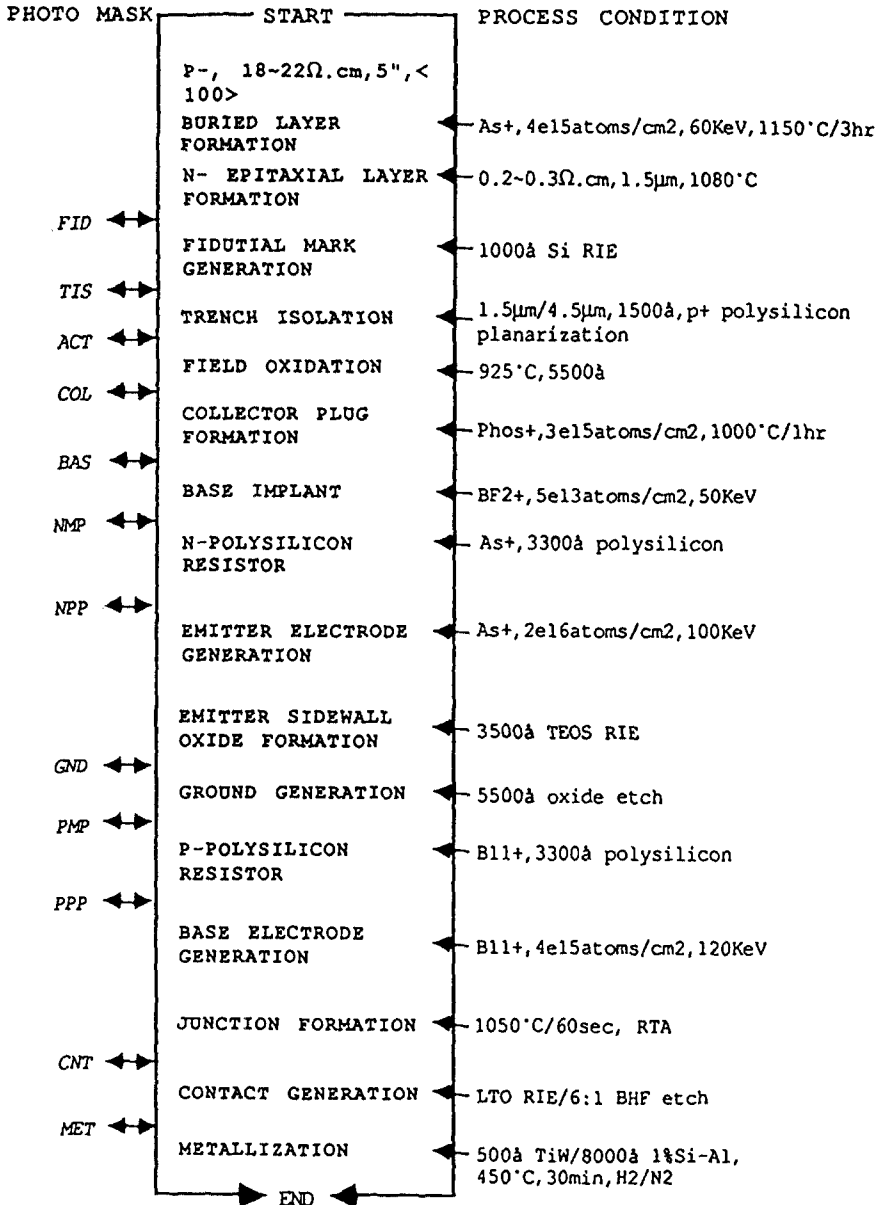


그림 3. 공정 흐름도
Fig. 3. Process flow chart.

여 trench 격리 기술을 사용하며 이때의 trench 폭과 깊이는 각각 1.5 μm/4.5 μm로 설계된다. 또한, trench 내부는 P-다결정 실리콘으로 충전(refill)하여 접지 층과 연결되도록 한다.

셋째로, 각종 전극이 형성되는 실리콘 표면에서의 공정 설계는 다음과 같다.

에미터 및 콜렉터 전극과 에미터-베이스 접합을 제공하는 n-다결정 실리콘은 에미터 저항과 층간 단차(step coverage) 등을 고려하여 3300 Å 두께의 다결정 실리콘 상에 As⁺를 이온 주입함으로써 형성된다. 또한, n-다결정 실리콘의 저항값 감소에 따른 에미터 저항 감소 효과를 얻기 위하여 단일 급속 열처리 방법을 적용한다.

에미터 전극과 베이스 전극 간의 전기적 절연을 제공하기 위한 에미터 측벽 산화막의 두께는 베이스 에미터 과피 전압과 전류 이득 등을 고려하여 설계한다.

제작 공정의 단순화 및 보다 얇은 접합 깊이 형성을 위하여 각기 As⁺, B⁺ 등으로 이온 주입된 n-/p-다결정 실리콘 및 단결정 실리콘 내부의 BF₃ 이온을 단 한번에 급속 열처리(one-step RTA)함으로써 활성 베이스, 에미터, 비활성 베이스 영역이 동시에 형성되도록 공정 설계한다. 비활성 베이스 영역과 베이스 전극을 제공하는 p-다결정 실리콘은 기생 저항과 비활성 베이스 접합 깊이, 소자 구조의 특성 등을 고려하여, 기존의 BN sourcing 방법이 아닌 B⁺를 고농도 이온 주입하는 방법을 사용한다. 그림 3은 소자의 공정 흐름도를 나타낸다.

III. 소자 제작

1. 마스크 제작

소자 제작을 위한 공정 수행을 위하여는 12 layer의 마스크 수가 요구된다. 공정 설계 및 테스트 패턴 설계에서 정의된 마스크 layer 및 layer 명칭 등은 아래의 표 1에 나타나 있다.

표 1. 마스크 layer 명칭
Table 1. Mask layer designation.

Mask Description	Remark	Layer Number	Polarity
Fiducial	FID	1	P
Trench	TIS	2	P
Active	ACT	3	N
Collector	COL	4	P
Base	BAS	5	P
N-Resistor	NMP	6	N
Emitter	NPP	7	N
Ground	GRD	8	P
P-Resistor	PMP	9	N
Extrinsic Base	PPP	10	N
Contact	CON	11	P
Metal	MET	12	N

2. 소자 제작

본 소자의 제작을 위하여는 소자 설계 부분에서 제시된 바와 같이 trench 산화막 격리 기술, 얇은 에피층 형성 기술, 다결정 실리콘 확산원에 의한 얇은 접합 형성, 다결정 실리콘 자기 정렬 방법 등이 적용되며 아래에 제시된 몇가지 사항에 대해서 주요한 특징을 가지고 있다.

활성 베이스 공정시 베이스 형성을 위한 p type 이온 주입은 B⁺이온이 아닌 BF₂⁺이온을 사용하였으며 이때의 에너지 조건은 50keV로 결정하였다.

비활성 베이스 영역 및 베이스 전극형성은 B⁺ sourcing 공정방법 대신에 B⁺ 이온 주입 방법을 사용하였다. 즉, 4E15 atoms/cm², 120keV의 조건으로 이온 주입된 3300 Å의 p-다결정 실리콘을 확산원으로 이용하여 최종 LTO 증착후 급속 열처리 공정을 수행함으로써 비활성 베이스 영역이 형성된다.

접합 깊이 형성공정은 활성 베이스, 비활성 베이스 및 에미터 영역의 접합깊이 형성은 확산원에 의한 열처리 공정을 지양하고, 최종 공정 단계 즉, 접촉 개구(contact open)를 위한 4000 Å의 LTO 증착후에 단 한번의 급속 열처리 공정(1050℃, 60초)을 수행함으로써 이루어진다.

IV. 측정 및 분석

1. 공정 결과 분석

1 μm 설계물을 갖는 소자의 주요 공정 변수들과 그 측정 값들은 표 2에 나타나 있다.

표 2. 주요 공정 변수
Table 2. Main process parameters.

Process Parameters	Measured Value
Buried layer sheet resistance	27 Ω/□
Epi. resistivity	0.24 Ω-cm
Epi. thickness	1.51 μm
Trench width/depth	1.4 μm/4.5 μm
Collector sheet resistance	18-20 Ω/□
Emitter peak concentration	5E20 atoms/cm ³
Emitter junction depth	1100 Å
Base peak concentration	1E18 atoms/cm ³
Base junction depth	2200 Å
n+ polysilicon sheet resistance	24 Ω/□
n+ polysilicon contact resistance (Ac=2×2 μm ²)	2.5 Ω
p+ polysilicon contact resistance (Ac=2×2 μm ²)	5.7 Ω

이들 공정변수들은 공정 각 단계에서 공정제어용 웨이퍼를 통하여 측정하였고, 일부는 최종 공정 완료 후 테스트 패턴에서 전기적으로 측정된 값들이다. 바이폴라 소자 제작시 주요 변수 중의 하나인 에피층의 두께와 비저항은 FTG(Film Thickness Gauge) 및 4-point probe를 사용하여 측정하였으며, 측정된 에피 두께는 $1.51\mu\text{m}$, 비저항값은 $0.2\sim 0.24\ \Omega\text{-cm}$ 로 나타났다. 아울러 에피층 농도는 약 $3E16\ \text{atoms/cm}^3$ 이며, 최종 열처리 공정 후의 매몰층 최대 비소 농도는 약 $5E19\ \text{atoms/cm}^3$ 로 측정되었다.

한편 trench 산화막 격리 공정의 분석 측면에서 trench 측벽 산화막을 통한 leakage 특성을 전기적으로 검증하기 위하여 베이스와 접지 간의 back to back 다이오우드를 측정한 결과 그림4에 나타난 바와 같이 약 33V에서 1nA정도의 누설 전류를 보여 줌으로써 trench 공정에 별 문제점이 없는 것으로 판명되었다. 다음, 소자 간의 완전한 격리 특성을 확인하기 위한 콜렉터-콜렉터간의 파괴 전압 특성 분석 결과, BV_{CC} 값이 약 32V로 나타나 trench 격리 기술의 양호함을 알 수 있었다(그림5).

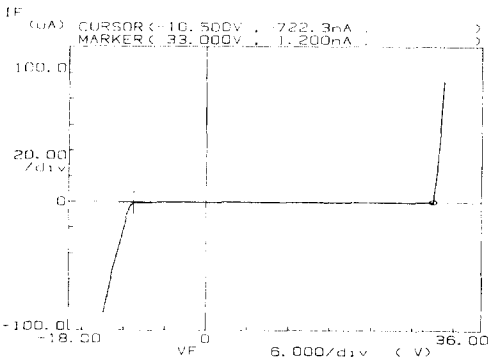


그림 4. 베이스-기판 간의 파괴 전압
Fig. 4. Breakdown voltage characteristics between base and substrate.

제작된 npn바이폴라 소자의 에미터 및 활성베이스 영역 접합 깊이, 불순물 농도 분포 등의 정확한 측정을 위하여는 SIMS(Secondary Ion Spectroscopy) 분석이 요구되며 이 장비를 이용한 본 소자의 측정 분석 결과, 그림6에 나타난 바와 같이 에미터 접합 1100\AA , 베이스 접합 2200\AA , 베이스폭 1100\AA 의 매우 얇은 접합 깊이 형성을 보여 주고 있으며, 이는 활성 베이스 형성 과정시 이온 주입원을 기존의 B⁺이온 대신에 BF₂⁺이온으로 대체한 효과와 에미터 및 베이스 영역을 동시에 단일 급속 열처리한 효과 때문이

라 판단된다.

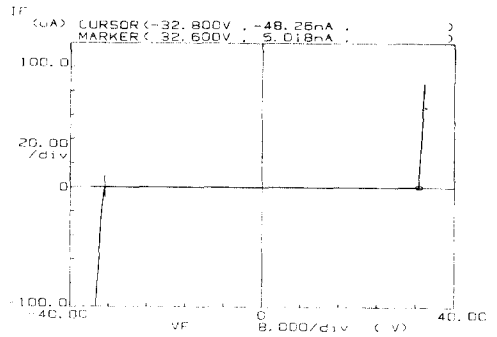


그림 5. 콜렉터-콜렉터 간의 파괴 전압
Fig. 5. Breakdown voltage characteristics between collector and collector.

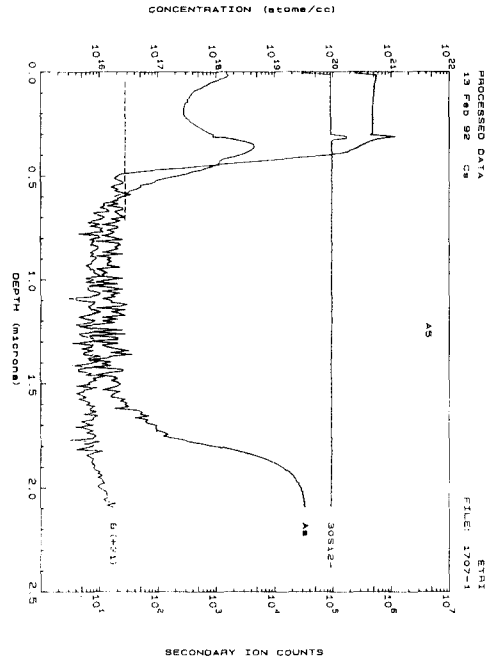


그림 6. 활성 영역의 불순물 농도 분포
Fig. 6. Impurity profiles of active region.

2. 소자 특성 분석

비활성 베이스, 활성 베이스, 실리콘 에미터 접합을 동시에 형성시키는 단일 급속 열처리 공정을 사용하여 $1.5\mu\text{m}$ 의 에피층 및 $1\times 4\mu\text{m}^2$ 의 면적을 갖는 에미터 구조의 트랜지스터를 제작 측정된 결과, 매우 양호한 전기적 특성을 얻을 수 있었다. 이를 구체적으로 살펴보면 다음과 같다.

전류이득특성은 그림7에서 보는 바와 같이 $V_{ce}=3V$ 에서 약 82로 안정되게 나타나, 단일 금속 열처리 공정에 의한 접합 깊이 제어가 기존의 확산로에 의한 열처리 방법과 거의 같은 효과를 나타냄을 알 수 있었다. 또한, 베이스 변조 특성을 보여주는 Early전압은 약 29V로서 양호한 값을 보여 주었다.

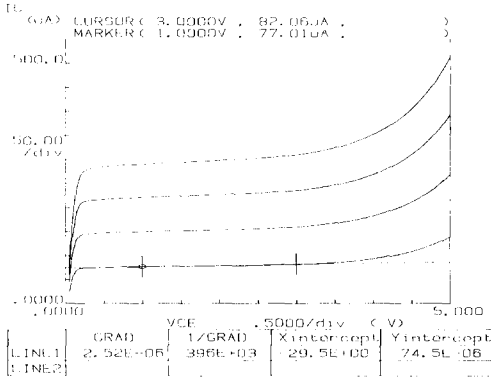


그림 7. npn 트랜지스터의 I-V 특성
Fig. 7. I-V characteristics of npn transistor.

에미터-콜렉터 간의 파괴 전압은 약 6V이며 그 특성 곡선은 그림8에 나타나 있다. 베이스-에미터간의 전기적 특성을 보여 주는 BV_{ebo} 값은 그림9에서 약 5.1V의 안정된 값을 보여 주었는데, 이는 900°C 이상의 고온에서 열처리되지 않은 에미터 측벽 산화막 (TEOS)층이 에미터의 질화막 제거공정시 크게 영향을 받지 않았기 때문이다. 그림10은 베이스-콜렉터 파괴전압 특성을 나타내고 있으며 약 8.2V로 측정되었다.

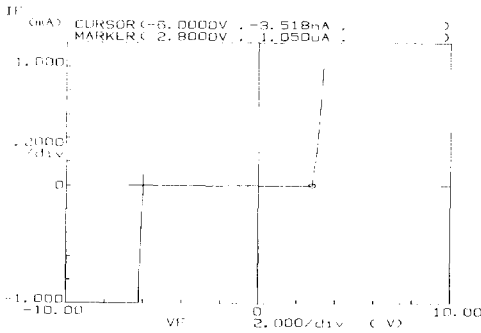


그림 8. 에미터 - 콜렉터 간의 파괴 전압
Fig. 8. Breakdown voltage characteristics between emitter and collector.

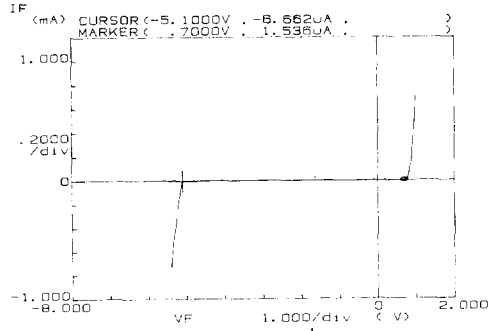


그림 9. 에미터 - 베이스 간의 파괴 전압
Fig. 9. Breakdown voltage characteristics between emitter and base.

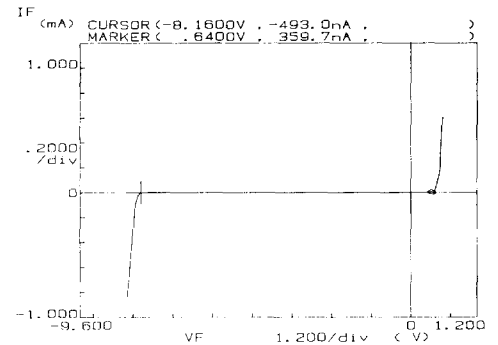


그림 10. 베이스 - 콜렉터 간의 파괴 전압
Fig. 10. Breakdown voltage characteristics between base and collector.

그림11은 제작된 1μm npn트랜지스터의 Gummel Plot(G-P)으로서 포화전류 I_{s} 는 8.8E-18A로 측정되었으며 Knee전류 I_k 값은 약 5.4mA로 측정되었다.

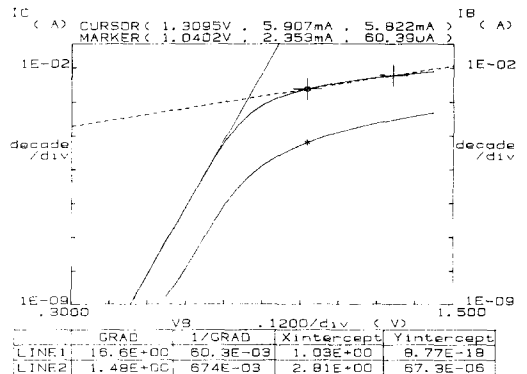


그림 11. V_{be} 변화에 따른 I_C 및 I_b 특성
Fig. 11. Characteristics of collector & base currents versus emitter-base voltage.

그림12는 $h_{FE}-I_C$ 특성 곡선을 보여 주고 있으며, 약 2mA정도의 콜렉터 전류를 큰 무리 없이 구동시킬 수 있는 전기적 특성을 나타내었다.

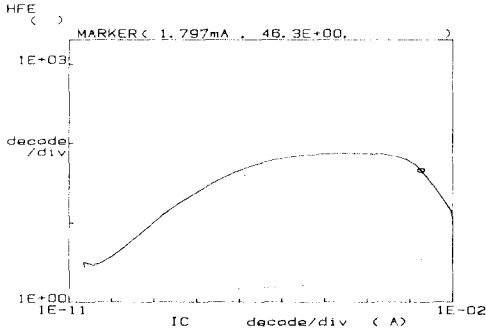


그림 12. 콜렉터 전류에 대한 전류 이득 특성
Fig. 12. Characteristics of current gain with collector current.

다음, 에미터 저항값 R_e 는 Ebers-Moll모델로부터 유도된 그림13의 $V_{ce}-I_b$ 특성곡선으로부터 얻을 수 있으며 약 51Ω 으로 측정되었다. 일반적으로 PSA바이폴라소자의 에미터 저항 R_e 는 다음의 4가지 성분 즉, 접촉저항, 다결정 실리콘 저항, 자연 산화막에 의한 저항, 단결정 실리콘 에미터 영역의 저항 등으로 구성되며, PSA-R소자의 구조특성상 n'다결정 실리콘 저항과 자연 산화막에 의한 저항 성분이 R_e 값 형성에 큰 영향을 미친다고 볼 수 있다. 따라서, 이 성분을 감소시키기 위한 소자 구조의 연구와 공정 개선이 이루어져야 하며, 본 연구에서는 공정 개선 측면에 초점을 맞추어 소자 제작의 최종 단계에서 1050℃의 고온 급속 열처리 공정을 수행함으로써, n'다결정 실리콘

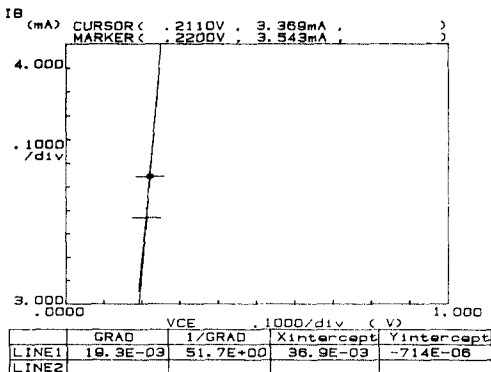


그림 13. 에미터 저항 특성
Fig. 13. Characteristics of emitter resistance.

콘의 재결정화(recrystallization)와 자연 산화막 파괴(TEM분석 결과)에 의한 에미터 저항의 감소효과를 극대화시켰다. 한편, 콜렉터 저항값은 약 80Ω 의 낮은 값을 보여주어 아날로그 및 디지털 회로설계에 무리 없이 적용될 수 있음을 확인하였다. 그림14는 콜렉터 저항 특성을 나타내고 있다.

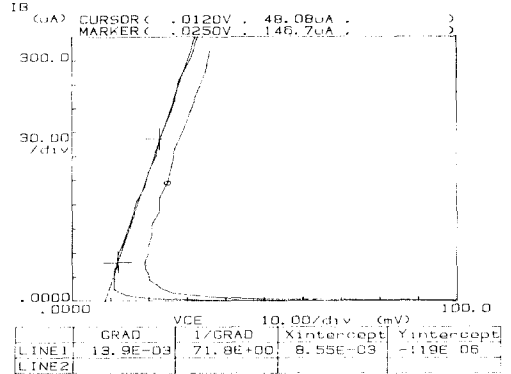


그림 14. 콜렉터 저항 특성
Fig. 14. Characteristics of collector resistance.

소자의 스위칭 특성등 A.C특성에 가장 중요한 변수 중의 하나인 베이스 직렬저항은 여러 가지 측정 방법에 의하여 추출될 수 있으나, 여기서는 앞서 제시된 그림11의 G-P곡선으로부터 원하는 값을 얻고자 하였다. 우선 베이스 저항은 "0"바이어스 상태, 즉 평형 상태에서 살펴보아야 하므로, 이 조건에 가장 근접하기 위하여 $V_{bc}=0$ 인 G-P에서 외삽하였다. 또한, G-P곡선 상의 두개의 데이터로부터 ΔV 를 구하므로써,

$$\Delta V = I_e R_e + I_b R_{bb}' \quad (1)$$

식(1)에서 R_{bb}' 를 구할 수 있다. ΔV 값은 G-P로부터 V_{ce}, I_c, I_b 값을 파악하여 다음의 식(2)으로부터

$$\log(I_c) = 16.6V_{be}' + \log(8.8E-18A) \quad (2)$$

I_c 값을 대입하여 V_{be}' 를 얻은 후, $V_{be}-V_{be}'$ 를 계산함으로써 얻어진다. 에미터 전류는 G-P로부터 구하며, 에미터 저항 R_e 는 측정된 값을 이용한다. 이런 방법에 의하여 구해진 베이스 직렬 저항 값은 약 295Ω 으로 나타났다.

제작된 트랜지스터의 각종 기생 용량값을 측정된 결과, 그림15에서보는 바와 같이 베이스-콜렉터간의

접합용량 C_{ibc} 는 약 25fF로 나타났다.

베이스-에미터간의 접합용량 C_{ibe} 는 약 10fF의 낮은 값을 가지며, 임계전압 ϕ_b 는 0.85 V, 지수 계수 M_{jc} 는 0.45로 측정되었다. 그림 16은 바이어스 변화에 대한 C_{ibe} 특성을 보여주고 있다. 아울러, 기관간 접합용량 C_{bc} 는 19fF의 작은 값을 보여 주었다. (그림17) 이 값은 LOCOS 혹은 SWAMI 격리기술을 사용한 소자의 C_{bc} 보다 약 1/5~1/7정도의 감소된 특성을 나타낸다.

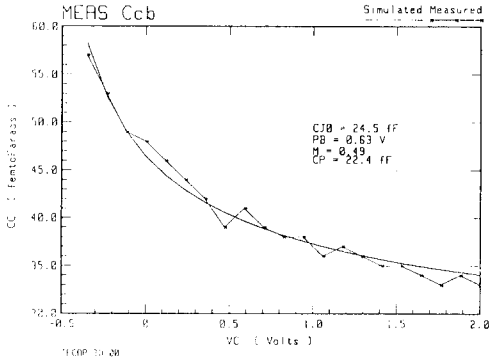


그림 15. 바이어스 변화에 따른 베이스 - 콜렉터 접합 용량 특성
Fig. 15. Characteristics of base-collector capacitance with bias conditions.

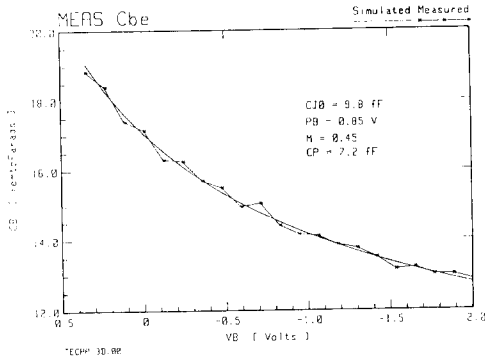


그림 16. 바이어스 변화에 따른 베이스 - 에미터 접합 용량 특성
Fig. 16. Characteristics of base-emitter capacitance with bias conditions.

본 트랜지스터의 스위칭 특성을 살펴보기 위하여 31단으로 구성된 FL링 발진기를 측정하였다. 최대 동작 속도는 약 6.95MHz이었으며 게이트당 최소 전

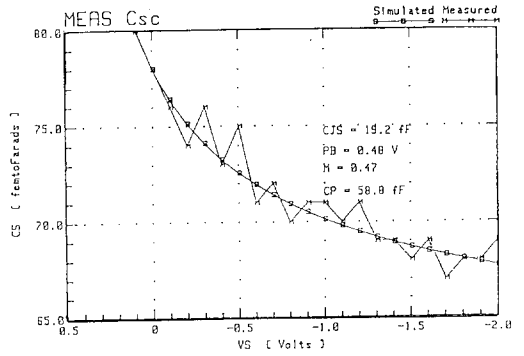


그림 17. 바이어스 변화에 따른 콜렉터 - 기관 접합 용량 특성
Fig. 17. Characteristics of collector-substrate capacitance with bias conditions.

달지연 시간은 약 2.3ns의 매우 빠른 속도 특성을 보여 주었다. 그림18은 제작된 FL의 SEM 평면도를 나타내며 그림19는 측정파형을 보여주고 있다.

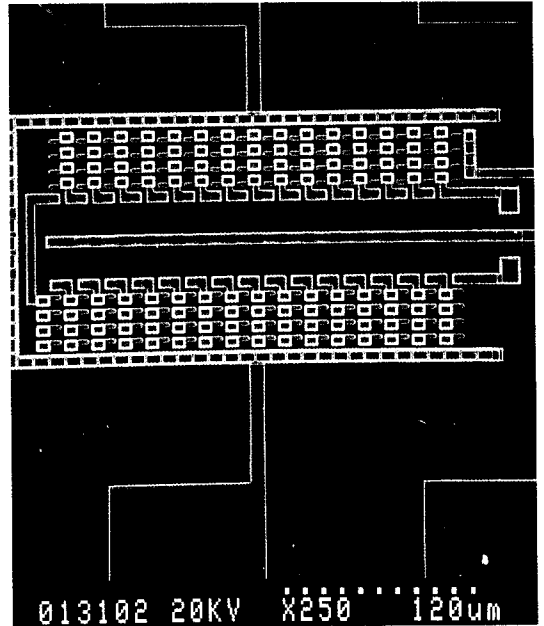


그림 18. FL링 발진기의 SEM 사진
Fig. 18. SEM photograph of FL ring oscillator.

이와같은 속도특성은 1100Å의 얇은 베이스폭 형성에 의한 베이스 transit time의 감소($\tau_{B} \propto W_B^2$) 및 작은 에미터 면적($1 \times 4 \mu m^2$)에 의한 각종 기생 성분의 감소에 기인한다고 판단된다.

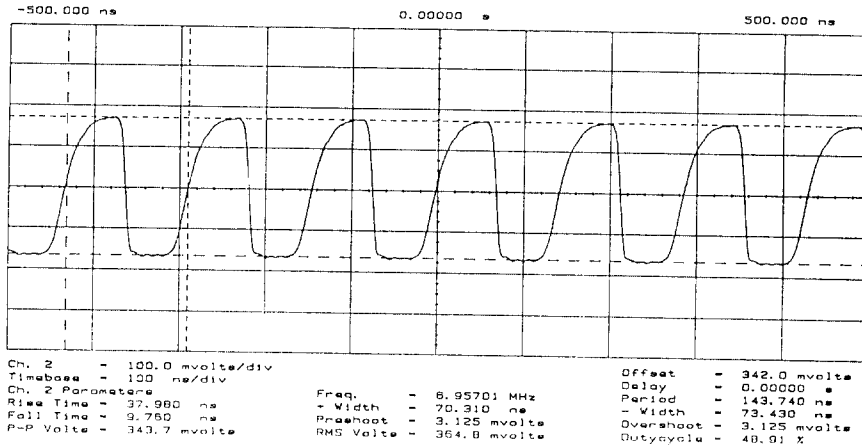


그림 19. I2L 링 발진기의 출력 파형
 Fig. 19. Output waveform of I2L ring oscillator.

표3은 측정된 트랜지스터의 주요 소자 변수를 보여 주고 있다.

표 3. 주요 소자 변수
 Table 3. Main device parameters.

Device Parameters	Measured Value
A_E	$1 \times 4 \mu m^2$
β	82
V_{d1}	29V
BV_{ces}	6V
BV_{ebc}	5.1V
BV_{ecb}	8.2V
I_s	$8.8E-18A$
I_k	5.3mA
N_F	1.002
R_e	51Ω
R_c	80Ω
R_b	295Ω
C_{ibe}	10 fF
C_{ibc}	25fF
C_{js}	19fF

V. 결론

본 논문에서는 PSA바이폴라 트랜지스터의 얇은 접합깊이 특성 구현을 위하여, 비활성 베이스 활성 베이스 및 에미터 영역을 단 한번의 급속 열처리 기술로써 형성시키는 방법을 제시하였다. 아울러 소자의 각종 기생용량 성분 최소화 관점에서 에미터 면적을 $1 \times 4 \mu m^2$ 으로 설계하였으며 trench 격리 기술을

적용하였다. 측정된 에미터 영역의 접합 깊이는 1100Å, 베이스 접합깊이 2200Å, 베이스폭 1100Å으로 나타났다. 제작된 npn트랜지스터의 전류이득 및 Early전압은 82, 29V이며 직렬 저항과 용량성분은 상당히 감소된 특성을 보여 주었다. 즉, R_e, R_c, R_{bb} 는 각각 51Ω, 80Ω, 295Ω이며 C_{ibe}, C_{ibc}, C_{js} 는 10fF, 25fF, 19fF의 값을 나타내었다. 속도 특성 분석을 위하여 31단으로 구성된 I²L링발진기를 제작 측정한 결과 게이트당 약 2.3ns의 빠른 속도 특성을 얻을 수 있었다.

감사의 글

본 논문의 실험 진행 및 측정 분석에 관하여 많은 도움을 주신 한국전자통신연구소(ETRI)반도체연구단의 한태현, 김귀동, 구진근씨와 강상원 부장님, 이진호 부장님께 깊은 감사를 드립니다.

參考文獻

[1] T.H. Ning, R.D. Isaac, P.M. Solomon, D.D. Tang, H.N. Yu, G.C. Feth, and S.K. Wiedmann, "Self-Aligned Bipolar Transistors for High-Performance and Low-Power Delay VLSI," *IEEE Trans. Electron Devices*, vol. ED - 28, no. 9, pp. 1010-1013, 1981.
 [2] S.Y. Chiang, D. Pettengill, and P.V. Voorde, "Bipolar Device Design for Circuit Performance Optimization,

- "Proc. IEEE BCTM, pp. 172-179, 1990.
- [3] B. van Schravendijk, J.L. de Jong, J. G. de Groot, and P. Mailot, "Thin Base Formation by Double Diffused Polysilicon Technology," *Proc. IEEE BCTM*, pp. 132-135, 1988.
- [4] T. Yamaguchi et al., "70 ps ECL Gate Si Bipolar Technology using Borosenic-Poly Process with coupling-Base Implant," *Tech. Dig. IEEE CiCC*, pp. 231-234, 1988.
- [5] Y. Tamaki, T. Shiba, I. Ogiwara, T. Kure, K. Ohyu, and T. Nakamura, "Advanced Device Process Technology for 0.3 um Self-Aligned Bipolar LSI's," *Proc. IEEE BCTM*, pp. 166-168, 1990.
- [6] G.P. Li, T.H. Ning, C.T. Chuang, M. B. Ketchen, D.D. Tang, and M. Mauer, "An Advanced High Performance Trench Isolated Self-Aligned Bipolar Technology," *IEEE Trans. Electron Devices*, vol. ED-34, no.11, pp. 2246-2253, 1987.
- [7] H.B. Pogge, "Trench Isolation Technology," *Proc. IEEE BCTM*, pp. 18-25, 1990.

 著 者 紹 介

具 用 書(正會員) 第29卷 A編 第11號 參照
 1993년 3월 ~ 현재 서경대학교 컴
 퓨터공학과 교수

安 哲(正會員) 第29卷 A編 第11號 參照
 현재 서강대학교 전자공학과 교수