

論文93-30A-9-8

# 대용량 Dynamic RAM의 Data Retention 테스트 회로 설계

## (Design of Data Retention Test Circuit for Large Capacity DRAMs)

薛秉洙\*, 金大煥\*, 劉泳甲\*

(Byong Su Seol, Dae Hwan Kim and Young gap You)

### 要約

DRAM의 대형화에 따라 bit line과 word line등이 장대화 되어가고 있으며, 이에따라 이들 line에서의 누설전류가 고장을 유발하고 있다. 이 논문은 이들 고장에 대한 fault coverage를 높이는 방법으로 column march (Y-march) test를 개선하였다. 종래의 column march 테스트에 data retention 특성검사를 위한 시간 개념이 도입되어 refresh 취약 단점을 보완한 새로운 테스트 알고리즘이 제시되었다. 여기서 도출된 column march 테스트 알고리즘을 기초로 고집적 DRAM의 테스트를 위한 새로운 built-in self test circuit을 설계하고 논리 시뮬레이션을 통하여 정상적인 동작을 확인하였다.

### Abstract

An efficient test method based on march test is presented to cover line leakage failures associated with bit and word lines of mega bit DRAM chips. A modified column march (Y-march) pattern is derived to improve fault coverage against the data retention failure. Time delay concept is introduced to develop a new column march test algorithm detecting various data retention failures. A built in test circuit based on the column march pattern is designed and verified using logic simulation, confirming correct test operations.

### 1. 서론

계속되는 반도체 메모리 설계 및 제조기술의 발전에 따라 Dynamic RAM(DRAM)은 매 2·3년마다 그 용량이 거의 4배씩 증가하여 왔으며, 주요 반도체 회

사들이 잇따라 64Mbit DRAM의 시제품을 발표하고 있다. 이는 DRAM 제조 및 공정기술의 혁신적인 발전에 기인한 것으로서, 지속적인 관련 공정기술과 공정장비의 발전에 따라 곧바로 256 Mbit와 1 Gbit급 초대용량 DRAM의 개발가능성이 현실로 다가오는 실정이다. 그러나 이러한 메모리 제품이 시장에서 가격경쟁을 이기며 적절한 이윤을 보장받기 위하여, 먼저 해결해야 할 문제중에서 가장 심각한 것이 테스트의 문제이다. 즉 DRAM의 집적도가 급격하게 증가함에 따라 종래에는 볼 수 없었던 새로운 유형의 복잡한 고장들이 발견되고 있으며, 이런 고장들을 경제성 범위내에서 검사할 수 있는 새로운 테스트 기술

\* 正會員, 忠北大學校 情報通信工學科  
(Dept. of Computer & Comm. Eng.  
Chungbuk Nat'l Univ.)

(※ 본 논문은 삼성전자(주)의 연구비 지원에 의하여 이루어졌습니다.)

接受日字: 1992년 12월 18일

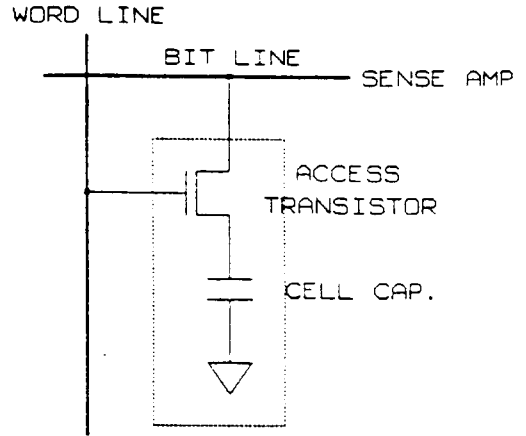
개발을 위한 노력이 계속되고 있다.<sup>[37]</sup>

집적도의 증가에 따르는 테스트 품질열화를 방지하기 위한 새로운 알고리즘의 개발은 초고집적 메모리의 테스트가 달성해야할 중요한 목표중의 하나이다. 메모리의 집적도 증가에 따라, 종래에는 볼 수 없었던 더욱 복잡한 고장 유형이 발견되는데, 이들에 대하여 만족할만한 고장탐지율을 얻기 위해서는 복잡한 테스트 알고리즘의 사용이 불가피하게 된다. 따라서 종래의 테스트 개념으로는 경제성을 갖는 테스트가 어렵게 되며, 테스트 시간 단축만을 위하여 불합리한 테스트 알고리즘을 사용하게 되어 테스트 품질열화를 가져오게 된다.

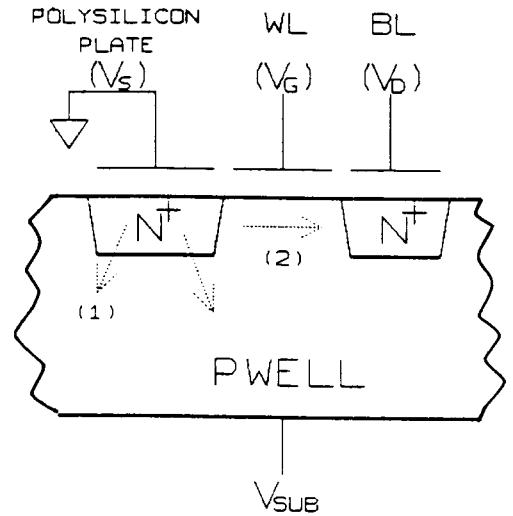
본 논문에서는 일반적인 column march (또는 Y-march) 테스트에서 발생하는 취약한 data retention 특성상의 단점을 보완하여, data retention 특성 검사를 위한 시간 개념이 도입된 새로운 테스트 알고리즘이 연구되었다. 기존의 column march 테스트 알고리즘을 발전시키고, 고집적 DRAM의 테스트를 위한 새로운 on-chip 테스트 회로가 설계되었다. 본 논문의 II장에서는 data retention failure에 대한 분석과 함께 column march 테스트의 단점을 설명하고, 이를 보완한 새로운 column march 테스트 알고리즘을 제시하였다. III장에서는 설계된 column march 테스트 회로에 대한 구체적인 설명과 함께 각 부분별 회로와 기능의 소개, 그리고 논리 시뮬레이션 결과를 보이며, 마지막으로 IV장에서는 결론을 기술하였다.

### II. Column March Test Pattern과 Data Retention Test

면적과 소비전력을 줄이기위한 많은 노력으로 DRAM의 셀은 변화와 발전을 거듭하여 현재는 그림 1과 같은 one transistor 구조가 일반화 되었다.<sup>[8]</sup> 하나의 access transistor와 하나의 storage cell로 구성되는 one transistor cell은 워드라인과 비트라인으로 선택되어 비트라인으로 데이터가 전송된다. 여기서 DRAM의 셀은 커패시터로 정보를 축적하는 구조이므로, 셀에 저장한 정보를 일정시간 방치해두면 전하가 새어 저장되어 있는 정보가 유실되는 결점을 가지고 있다. 따라서 어느 일정 시간내에 저장되어 있는 정보를 다시 써넣는 별도의 refresh 동작을 수행한다. 이때 refresh timing이 너무 늦게되거나 셀에 담겨있는 전하가 과도하게 새어나가면 셀등에 저장되어 있는 정보가 파괴된다. 이와같은 현상을 data retention failure라고 한다.



(a)



(b)

그림 1. 한 트랜지스터 DRAM 셀의 구조: (a) 회로도; (b) 대표적인 구조도

Fig. 1. Structure of a one-TR DRAM cell: (a) circuit diagram; (b) typical structure.

DRAM에서 이 data retention failure는 두가지로 나누어 생각할 수 있는데 그중 하나는 static data retention failure이며 다른 하나는 dynamic data retention failure이다. 디바이스가 대기 상태에 있을 때의 data retention failure를 static data retention failure라고 한다. Static data retention failure에서의 오동작은 커패시터에 저장

되어 있는 전하가 storage capacitor 등에 존재하는 접합 누설전류에 의해 새어나가는 동안 전위가 변화하다가 static data retention test시에 원래의 데이터 값과는 다른 데이터 값을 읽어드리는 과정에 의해 발생한다.<sup>[9]</sup> 이때 오동작은 거의 대부분 single bit나 twin bit의 형태로 나타난다. Static data retention failure는 데이터 "1"을 읽어버리는고장이 대부분인데 VBB가 커질수록 접합 누설전류가 커져 고장이 많아진다.

Dynamic data retention failure는 디바이스가 읽기, 쓰기 동작중에 있을 때의 오동작을 말한다. Dynamic data retention failure에서의 오동작은  $VBI = "L"$ 이고 커패시터의 데이터 값이 "1"일 때 access transistor의 누설전류에 의해 data retention test시에 데이터 값이 "0"으로 읽어질때 발생한다. 또다른 경우는 읽기 혹은 쓰기 동작에 따른 word line coupling noise 발생에 의해 선택되지 않은 워드라인의 전위가 올라가서 고장이 발생하는 경우이다. 결국 셀에서 누설 시간이 길수록, 감지 동작에 의한 row decoder의 GND 노이즈 영향이 클수록 오동작의 발생 가능성은 높아지게 된다.

Data retention failure를 유발하는 누설전류는 크게 두가지 경로에서 발생한다.<sup>[9]</sup> 그림 1b는 셀을 이루는 트랜지스터의 단면으로 이들 경로의 모습을 보여준다. 첫번째 경로는 그림 1b의 N storage node의 전압이 p-well의 전압보다 높을 경우에 발생하는 역방향 P-N 접합을 들 수 있으며, 두번째는 access transistor를 통한 비트라인으로의 누설전류가 그것이다.

복잡하고 다양해지는 메모리 고장을 채어나기 위해서는 이들 고장에 대한 적절한 모델화 작업과 도출된 모델에 의하여 엄밀한 테스트 알고리즘 도출과정이 필요하다.<sup>[10,11]</sup> 메모리 고장을 규정하기 위해 사용되고 있는 모델로서는 동작 모델, 기능적 모델, 논리 모델, 전기적 모델, 기하학적 모델등이 있다. 이들중 가장 널리 사용되는 것은 기능적 모델(functional model)인데, 이것은 다양한 물리적 고장들을 SAF(Stuck-At Fault), TF(Transition Fault), CF(Coupling Fault), NPSF(Neighborhood Pattern Sensitive Fault)등의 대표적 4가지 모델로 해석하고 있다. 이 기능적 모델로부터 많은 메모리 테스트 알고리즘들이 연구되어 사용되고 있는데, 그중 하나가 column march test pattern으로서 AF(Address decoder Fault), SAF, CF, CF와 결합된 TF등의 검출이 가능한 높은 고장 탐지율을 가진다. 이것의 복잡도는 메모리내의 셀 갯수가 n이

라고 할 때  $8n$ 이다.

그러나 셀 어레이의 셀들을 차례로 비트라인 방향으로 먼저 테스트 하는 column march test는 워드라인 방향으로 테스트가 먼저 진행되는 row march (또는 X-march)에 비해 data retention 특성이 취약하다는 단점을 가지고 있다. 그림 2에서  $WL_i$ 을 i번째 워드라인,  $BL_j$ 을 j번째 비트라인이라고 하며,  $BL'_j$ 를 j번째 비트라인과 감지증폭기를 공유하는 다른 비트라인이라고 할때, row march는 다음과 같이 묘사된다.

$$\begin{aligned} &(WL_1, BL_1) (WL_2, BL_1/) (WL_3, BL_1/) \\ &(WL_4, BL_1) \dots (WL_n, BL_1) \\ &(WL_1, BL_2) (WL_2, BL_2/) (WL_3, BL_2/) \\ &(WL_4, BL_2) \dots (WL_n, BL_2) \\ &\dots \\ &(WL_1, BL_m) (WL_2, BL_m/) (WL_3, BL_m/) \\ &(WL_4, BL_m) \dots (WL_n, BL_m) \end{aligned}$$

위의 셀 접근 순서에 있어서, 각 셀에 연결된 워드라인은  $(n-1) \times t_{rc}$  (n은 row address의 수,  $t_{rc}$ 는 RAS cycle time)의 시간이 경과한 후 다시 구동된다. 즉 워드라인의 구동마다 셀에 저장된 데이터는 refresh되므로 결국 모든 cell은  $n \times t_{rc}$ 마다 refresh 된다.

또한 column march의 경우에는 다음과 같은 순서로 셀이 접근된다.

$$\begin{aligned} &(WL_1, BL_1) (WL_1, BL_2) (WL_1, BL_3) \\ &(WL_1, BL_4) \dots (WL_1, BL_m) \\ &(WL_2, BL_1/) (WL_2, BL_2/) (WL_1, BL_3/) \\ &(WL_2, BL_4/) \dots (WL_2, BL_m/) \\ &\dots \\ &(WL_n, BL_1/) (WL_n, BL_2/) (WL_n, BL_3/) \\ &(WL_n, BL_4/) \dots (WL_n, BL_m/) \end{aligned}$$

여기서 마지막 워드라인  $WL_n$ 이 구동되려면  $(n-1) \times m \times t_{rc}$  (m은 column address의 수)의 시간이 필요하므로, row march의 경우보다 n배의 시간이 경과된다. 따라서 각 셀의 refresh 간격이 길어지므로 static data retention 특성이 취약해지며, 그동안 다른 셀 접근에 의한 stress가 누적되어 dynamic data retention 특성도 취약해진다.

또한 RAS cycle time을 충분히 길게한 장주기 테스트일 경우, 전류 누설 시간의 증대로 단순한 column march의 경우보다 data retention 특성이

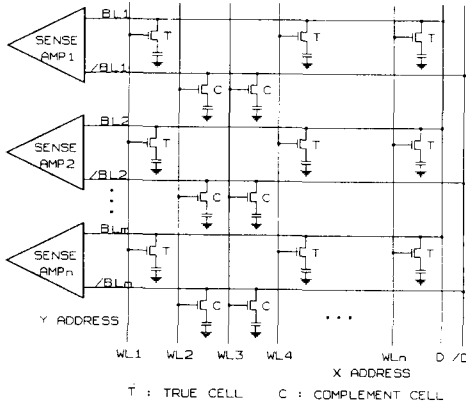


그림 2. 메모리 셀 어레이 구조  
Fig. 2. Structure of a meemory cell array.

$$\begin{array}{cccc}
 \sum_{i=0}^{n-1} (W_i) & \sum_{i=0}^{n-1} (R_i W_i R_i) & \sum_{i=n-1}^0 (R_i W_i R_i) & \sum_{i=0}^{n-1} (R_i) \\
 \hline
 P_0(S) & P_1(S) & P_2(S) & P_3(S)
 \end{array}
 \quad (a)$$
  

$$\begin{array}{cccc}
 \sum_{i=0}^{n-1} (W_i) & \sum_{i=0}^{n-1} (R_i W_i R_i) & \sum_{i=n-1}^0 (R_i W_i R_i) & \sum_{i=0}^{n-1} (R_i) \\
 \hline
 P_0(S) & P_1(L) & P_2(L) & P_3(S)
 \end{array}
 \quad (b)$$

그림 3. Column march 테스트 알고리즘 : (a) 단주기 테스트; (b) 장주기 테스트  
Fig. 3. Column march test algorithm: (a) short cycle; (b) long cycle.

더욱 저하될 수 있다. 장주기 테스트에 의해 워드라인의 전위가 저하됨에 따라, 쓰기동작시 storage node에 저장되는 전하량이 작아지게된다. 따라서 읽기동작시 data retention 특성이 저하되는 것과 동일한 효과를 가져오므로 고장이 유발될 수 있다. 셀 어레이의 연결선간에 micro-bridge가 형성되어 미세한 전류가 흐르고 있을 때, 단순한 column march

의 경우에는 누설 시간이 짧아 고장이 일어나지 않을 수가 있으나, 장주기 테스트의 경우 비트라인에서의 누설 시간의 증대로 고장이 일어날 수 있다.

이러한 문제를 극복하기 위하여 일반적인 march pattern 테스트에 data retention 테스트를 위한 시간 개념이 도입된 새로운 테스트 알고리즘이 연구되었다. 그림 3은 본 연구에서 도출된 column march 테스트 알고리즘으로서 메모리에 가해지는 기능적인 동작을 부호화하여 기술하였는데, 이 알고리즘의 표현에는 메모리 테스트 이론에 광범위하게 적용되는 기능적 표현을 사용하였다.<sup>[12]</sup>

또한 column march 테스트 알고리즘에는 모두 4개의 부분과정이 있는데, 그림3에 표시된 P<sub>0</sub>, P<sub>1</sub>, P<sub>2</sub>, P<sub>3</sub>가 그것이다. 먼저 n개의 셀을 가진 메모리 M<sub>n</sub>을 M<sub>n</sub> = (S<sub>0</sub>, S<sub>1</sub>, ..., S<sub>n</sub>)로서 표현할 때, i 번째의 저장 셀 S<sub>i</sub>에 행해질 수 있는 메모리 동작의 수는 세가지이다. S<sub>i</sub>에 "1"을 써넣는 것, S<sub>i</sub>에 "0"을 써넣는 것, S<sub>i</sub>의 내용을 읽어내는 것이다. 이 세가지는 각각 W<sub>i</sub>, W<sub>i</sub>/ 그리고 R<sub>i</sub>로 표기한다.<sup>[11]</sup> 또  $\sum_{i=0}^{n-1}$ 는 메모리의 번지를 오름차순으로 접근하는것을 위미한다. 즉 첫번째 번지로부터 메모리의 마지막 번지 순서로 테스트 과정을 진행함을 나타내고  $\sum_{i=n-1}^0$ 는 이와 역순의 주소 발생을 나타낸다. 이때 ( )는 한 주소에 대해서 수행되는 연속적인 테스트 동작 과정을 표시하는데, 예를들어  $\sum_{i=0}^{n-1} (R, W, R)$ 는 오름차순 번지에 의하여 한 셀에 대해서 이미 기록된 내용을 읽고 "1"을 쓰며 다시 셀의 내용을 읽어보는 작업을 모든 주소에 대해서 반복함을 나타낸다. 또한 S와 L은 테스트 과정을 진행함에 있어 RAS cycle time으로 결정되는 단주기 테스트와 장주기 테스트를 나타내는데, 본 연구에서는 단주기 테스트일 경우 RAS cycle time은 200ns, 장주기 테스트일 경우 RAS cycle time은 10000ns로 설정하여 회로 설계가 진행되었다.

### III. Column March 테스트회로 설계

앞에서 제시한 column march 테스트 알고리즘을 메모리의 양산 테스트에 적용하기 위하여 고집적 DRAM의 테스트를 위한 새로운 BIST (Built-In Self Test) circuit이 설계되었다. 이 설계는 우선 2장에서 제시한 알고리즘을 구체적인 flowchart화 하고, 이 flowchart의 매 단계에서 제어신호와 테스트에 필요한 시간 timing이 정의되도록 하였다. 그림 4는 이렇게 얻어진 flowchart로서 직접 delay-based 설계 기법에 의하여 회로화 되었다. 전체회로가 너무 방대하기 때문에 이 작업은 6개의 block으로

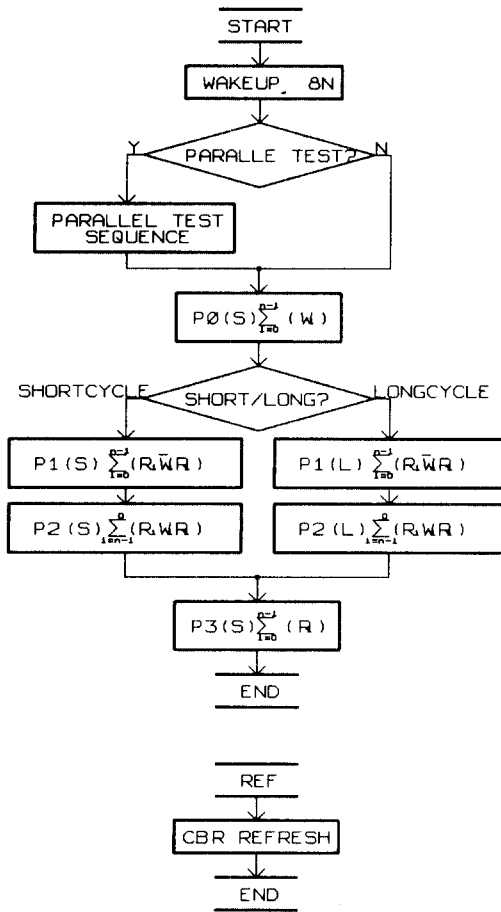


그림 4. Column march 테스트 회로에 구현된 테스트 과정

Fig. 4. Test procedure implement on column march test circuit.

분할되어 진행되었다. 그림 5는 column march 테스트회로의 블록 다이어그램으로서 일반 DRAM의 구조에 제어 회로, 기준신호 발생 회로, 어드레스 발생기, 데이터 발생기, 비교기, 그리고 refresh 처리 회로등 크게 6개의 부분이 추가되어 구성된다.<sup>10,11</sup> 제어회로는 column march 테스트회로의 모든 부분들을 제어하는 신호를 생성하며, 테스트회로의 각 부분들은 이 제어신호를 입력으로 받아 DRAM의 동작과 테스트에 필요한 주요 신호를 생성한다. 즉 알고리즘에 따라 적절한 환경을 설정하는 것은 제어 회로이며 이 설정된 환경아래서 DRAM 테스트에 필요한 주요 신호, 예를들면 RAS(Row address Strobe), CAS(Column Address Strobe), WE(Write Enable), OE(Out Enable), address, data등이 나머지 회로에서 반복 생성되어 메모리의 셀에 공급

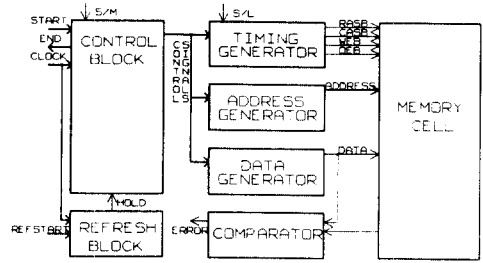


그림 5. 테스트 회로의 블록도

Fig. 5. Block diagram of a data retention test circuit.

된다.

그림 4는 설계된 column march 테스트 회로가 동작하면서 진행되는 테스트 과정의 흐름을 보여준다. 테스트가 시작되면 우선 RAS-only wake-up cycle이 진행되며 내부에서 LOW나 HIGH로 고정될 수 있는 입력단자의 값에 따라 병렬 테스트 방식이나 셀 단위 테스트 방식을 선택하게 된다. 단주기 테스트나 장주기 테스트에 관계없이 column march 테스트중 첫번째 부분과정인 P0는 단주기 테스트로 진행된다. 모든 셀에 대해 "1" 값을 써넣는 이 단계가 끝나면 원하는 테스트가 단주기 테스트인가 장주기 테스트인가에 따라 각각의 주기방식에서 P1, P2 과정이 계속된다. 물론 column march 테스트의 마지막 부분과정인 P3도 단주기 테스트로만 진행된다. 따라서 설계된 column march 테스트회로는 내부에 있는 2개 입력단자의 값에 따라 4가지의 테스트 방식을 선택하는데, 이 네가지의 테스트 방식은 단주기 병렬테스트, 단주기 cell-by-cell 테스트, 장주기 병렬테스트, 장주기 cell-by-cell 테스트이다.

설계된 테스트 회로의 내부에는 refresh 처리 과정이 포함되어 있다. 테스트 도중 일정한 간격을 두고 발생하는 refresh 요구 신호를 입력으로 받아 테스트 동작을 일시 중지하고, CAS-BEFORE-RAS (CBR)의 신호에의한 refresh operation을 수행한다. 여기서 메모기 셀 어레이의 row에 해당하는 숫자만큼의 CBR 신호에 의하여 모든 row가 refresh 된 후, 다시 정지하였던 테스트가 계속 수행된다.

각 부분 회로별 입출력 신호의 종류와 그들의 기능을 간략하게 설명하면 다음과 같다. 우선 제어 회로는 테스트의 시작을 알리는 START 신호의 입력에 따라 테스트 동작을 개시한다. 또한 전체 테스트 회로의 초기화, 각종 제어 신호의 생성을 담당하며, 테스트 종료시 이를 알리는 END 신호를 내보내는 기

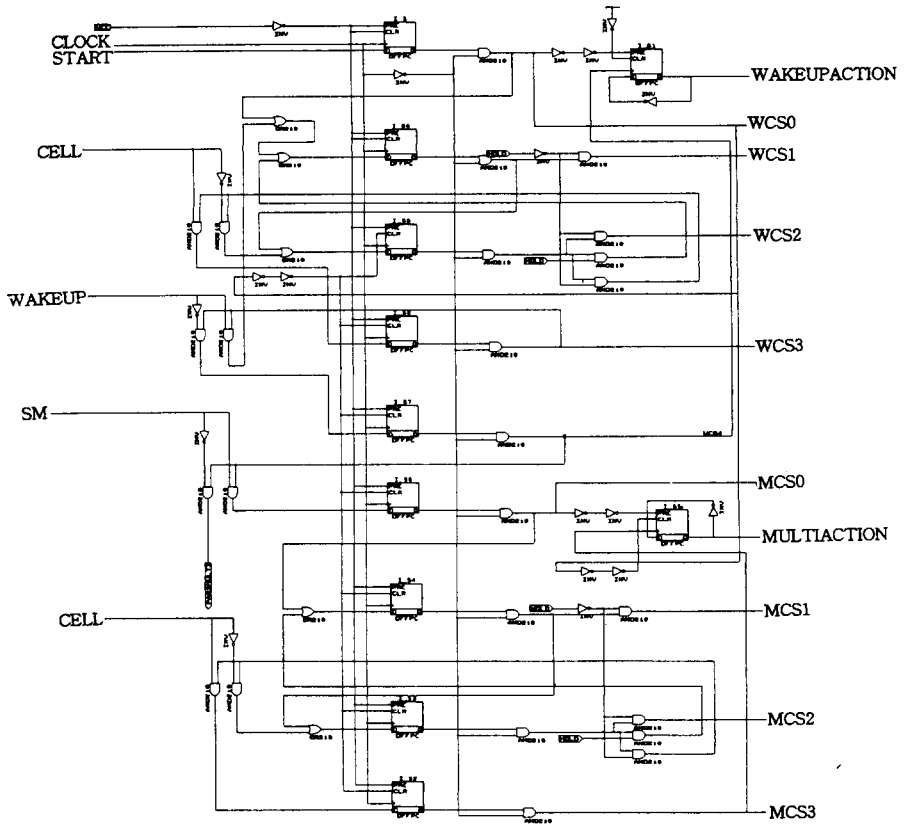


그림 6. 제어회로(일부분)  
 Fig. 6. Control block circuit.

능을 한다.

두번째, 기준신호 발생 회로는 제어 회로와 다른 부분에서의 여러 신호에 따라 DRAM의 동작에 필요한 RASB, CASB, WEB, OEB등의 기준 신호와 단주기 테스트, 장주기 테스트의 주기에 대한 시간 정보를 담은 신호를 만들어 낸다. 어드레스 발생기는 테스트도중 필요한 메모리 셀의 어드레스를 생성하며 데이터 발생기는 그 어드레스에 필요한 데이터 값이나 그 어드레스에서 기대되는 데이터 값을 생성시키는 기능을 담당한다. 이와 함께 비교기는 메모리 셀에서 읽은 데이터 값과 데이터 발생기에서 생성된 데이터 값과의 비교로 에러의 유무를 표시하는 ERROR신호의 출력을 담당한다. 마지막으로 refresh 처리 회로는 refresh의 시작을 알리는 주기적인 REF 신호에 따라 테스트 과정을 정지시키는 HOLD 신호와 refresh 동작에 필요한 여러가지 제어 신호를 발생시킨다.

참고로 설계된 테스트 회로에 사용되는 모든 신호

들중 외부에서 입력시키거나 외부로 출력되는 신호는 3개뿐이다. 먼저 테스트의 시작과 종료를 알리는 START 신호와 END 신호, 그리고 에러의 유무를 표시하는 ERROR 신호이며, 나머지 모든 신호는 내부에서 생성되는 신호들이다.

그림 6은 제어 회로의 일부분으로서 wake-up과 병렬 테스트로의 진입에 필요한 과정을 수행하는 부분이다. 제어 회로에서의 신호제어 방식은 지연 소자를 기본 구성 요소로 하는 신호의 발생, 비교, 진행 방식이다. 이것은 그림 3의 알고리즘과 그림 4의 테스트 과정으로부터 지연 소자를 이용하여 쉽게 회로 구성이 가능한 one hot 방식이다.<sup>[14]</sup> 회로에서 보는 바와 같이 테스트는 START 신호를 펄스로 입력 시킴으로써 시작된다. 각 지연소자 단계별로 테스트 과정이 진행되는데 wake-up에 필요한 제어 신호들과 병렬 테스트 방식에서의 진입에 필요한 제어 신호들이 분기조건에 따라 연속적으로 발생한다. 물론 병렬 테스트로의 진행여부를 결정하는 내부 입력단자인

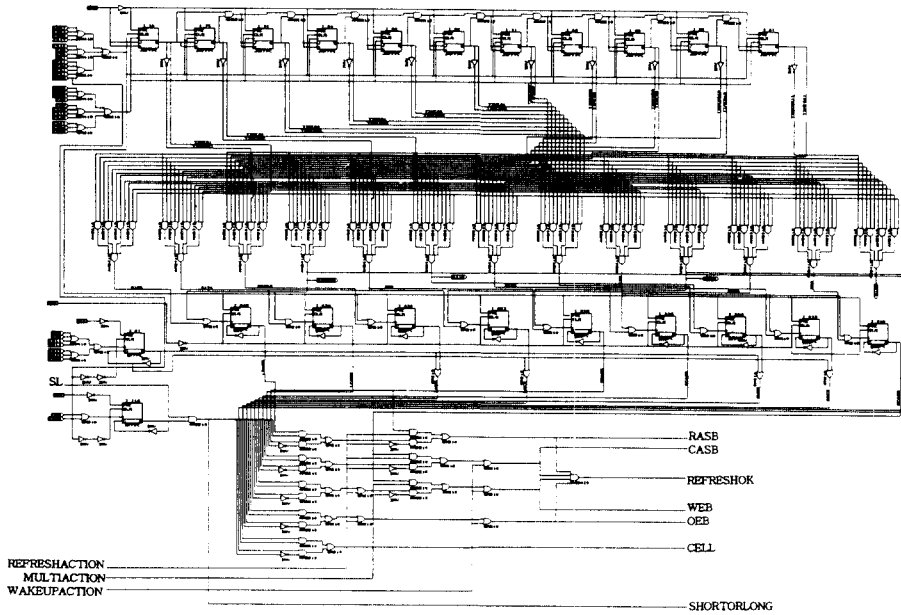


그림 7. 기준신호 발생회로

Fig. 7. Reference signal generation circuit.

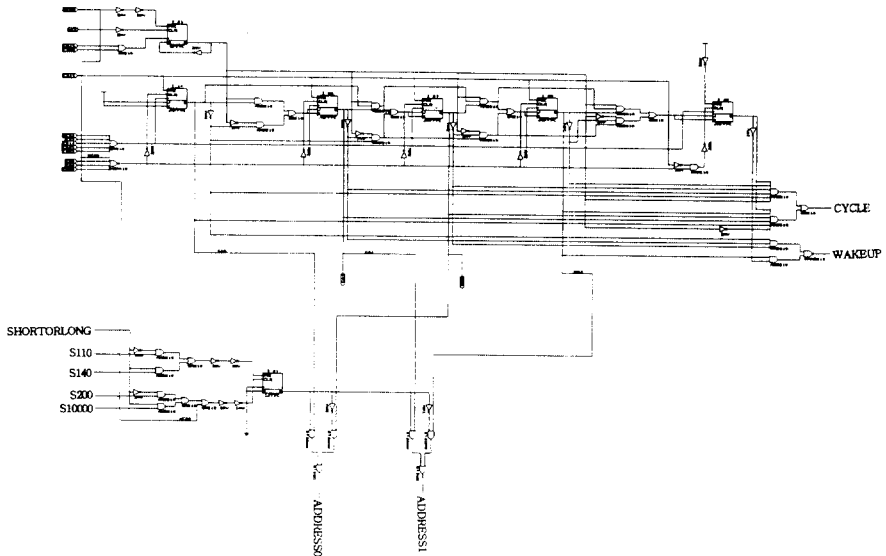


그림 8. 어드레스 발생회로

Fig. 8. Address generation circuit.

S/M의 값에 따라 병렬 테스트를 위한 제어 신호들의 생성 과정은 생략될 수도 있다. 이 경우 이후 테스트 과정은 셀단위 테스트 방식으로 진행된다. column march 테스트회로가 발생시키는 제어 신호의 개수는 총 39가지이며 모든 과정이 끝나면 마지막 단계에

서 END 신호가 생성되어 테스트의 종료를 표시한다.

그림 7은 DRAM의 운영에 필요한 기본 신호들인 RAS/, CAS/, WE/, OE/등을 만들어내는 기준신호 발생 회로이다. 기준 신호 발생 회로의 구성은 크

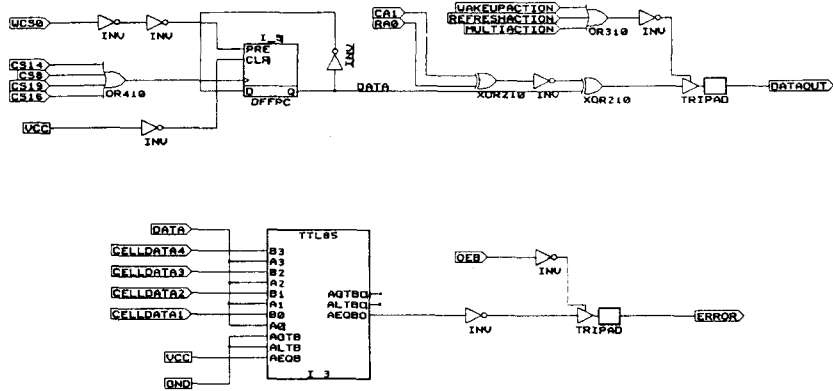


그림 9. 데이터 발생회로와 비교회로  
 Fig. 9. Data generation and comparison circuit.

계 두부분으로 나누어 생각할 수 있다. 하나는 테스트 회로 내부에 존재하는 클럭으로 각종 신호를 원하는 시간에서 원하는 주기로 만들어 낼 수 있는 카운터를 기본 구성으로하는 부분이다. 다른 하나는 만들어진 여러 신호중 적절한 신호를 골라 알고리즘에 따라 제어 회로에서 설정하는 환경아래서 출력으로 내보내는 신호 전달 부분이다. 전자는 입력되는 클럭을 계수하여 필요한 시간에 신호들을 발생시키고 이들 신호들을 플립 플롭의 입력으로하여 원하는 파형의 신호를 얻을 수 있다. 이 회로에서 보는바와 같이 RAS/, CAS/, WE/, OE/ 등의 신호들이 각각 장주기 테스트와 단주기 테스트 timing에 맞게 2가지씩 생성되는 것을 볼 수있다. 즉 단주기 테스트에 해당하는 신호들은 200ns의 주기를 쓰고, 장주기 테스트에 해당하는 신호들은 10000ns의 주기를 써서 필요한 파형을 이룬다.

이와같이 만들어진 신호들은 제어 회로에서 제공하는 여러가지 조건, 예를들면 장주기 테스트, 단주기 테스트, wake-up, 병렬 테스트 방식등의 환경에 따라 pass gate를 통과하여 최종적으로 하나의 경로로 출력된다. 이상과 같은 주요 기준 신호 생성기능 이외에, 이 회로에서 담당하는 또하나의 중요한 기능은 200ns와 10000ns에서 하나의 주기가 끝났다는 신호를 발생시켜 새로운 동작을 시작할 수 있게 해주는 것이다.

그림 8은 테스트도중 필요한 주소를 발생시키는 어드레스 발생기인데 동기식 업다운 카운터를 기본 구성요소로 한다. March test pattern은 어드레스 생성이 오름차순과 내림차순의 두 방향으로 진행되어야 하며, 이것은 업다운 카운터로서 그 조건을 충족시킬 수 있다. 회로에서 보는 바와 같이 업 혹은 다운을

결정해주는 입력 단자와 각각의 경우에서 초기화를 위한 2개의 입력, 그리고 클럭의 공급을 위한 입력 단자등 총 4개의 입력과 row address bit, column address bit, 마지막 어드레스까지 생성이 끝났음을 알려주는 carry bit, 그리고 wake up 8 cycle의 계수를 위해 사용되는 또다른 carry bit등 총 6개의 출력단자를 가지고 있다.

그림 9는 데이터 발생기와 비교기를 보이고 있다. 데이터 발생기는 어드레스 발생기에서 만들어지는 어드레스에 적절한 데이터를 공급하는 기능을 가지며, 비교기는 DRAM에 원하는 정보를 기록한 후 일정 시간후에 그 정보를 다시 읽어 원하는 값과 일치하는지의 여부를 가려 에러의 유무를 판별하는 기능을 가진다. 플립플롭에서 출력되는 값을 제어 회로가 알고리즘에 따라 적절하게 바꿈으로써 원하는 데이터 값을 얻을 수 있는데, 이 값은 DRAM내부의 scramble 회로를 거쳐 출력된다. 이때 wake up 동작중이거나, refresh가 진행중인 상황 그리고 병렬 테스트 방식으로 진입을 위한 신호의 발생시에는 출력되는 데이터 값이 high impedance 상태이어야 하므로 scramble 회로를 거친 데이터 값은 tri-state buffer를 거쳐 최종 출력된다.

설계된 column march 테스트회로에 포함되어 있는 refresh 처리 회로는 테스트도중 일정 시간 간격으로 발생하는 refresh 요구 신호에 따라 모든 테스트 회로의 운영을 제어하는 제어 회로에서의 제어 신호 생성을 막아 테스트 동작을 중지시키고 refresh 동작을 완료된 후에 중단된 테스트 과정을 다시 진행시키는 기능을 한다. 진행되는 refresh 형식은 200ns의 주기로 디바이스의 ROW 갯수만큼 CBR



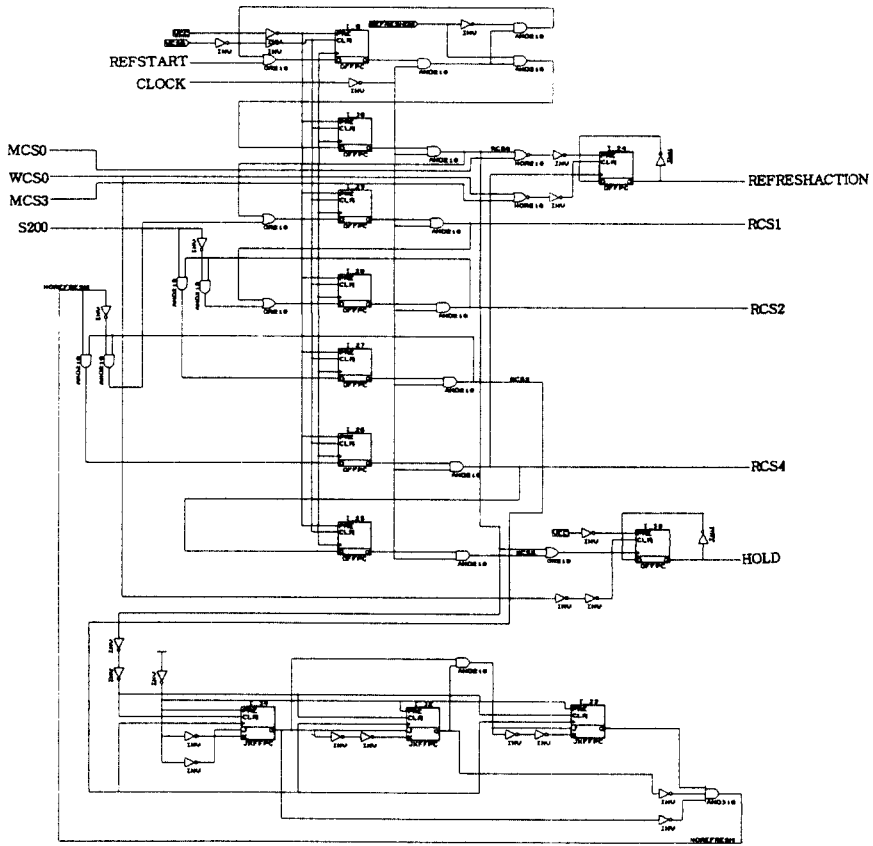


그림 10. 리프레쉬 처리 회로  
Fig. 10. Refresh generation circuit.

(CAS Before RAS) operation을 수행하는 집중방식으로 설계되었다. 그림 10은 앞에서 설명한 refresh 처리 회로의 모습이다. 이상의 회로구성에는 비교적 적은 양의 회로가 사용되었다. 총 게이트 수는 900여개이며 실제 구현과정에서 사용된 transistor 수는 3700여개이다. 이것은 16Mbit DRAM 회로의 면적에서 0.1%에 훨씬 못미치는 양인데 실제로 레이아웃 단계에서 연결 선등으로 인하여 면적의 추가 사용은 불가피 할 것이나 그 증가의 양은 미미할것이다.

설계된 column march 테스트회로는 논리 시뮬레이션을 통하여 그 기능이 정상동작함을 확인하였다. 논리 시뮬레이션은 4가지 방식 각각에 대해서 수행되었는데 그 결과를 그림 11 14에 제시하였다. 그림 11은 테스트 회로가 단주기테스트로 진행될 경우의 논리 시뮬레이션 결과이다. 논리 시뮬레이션 결과에서 볼수있는 신호들중 CA0, CA1은 column address를, RA0, RA1은 row address를 나타내며

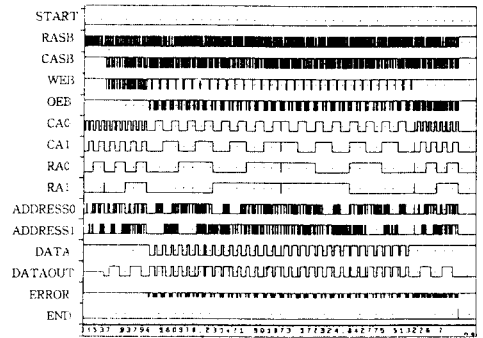


그림 11. 단주기 테스트의 column march 테스트 로직 시뮬레이션 결과  
Fig. 11. Logic simulation of short cycle column march test circuit.

ADDRESS0와 ADDRESS1은 앞의 4신호가 mux

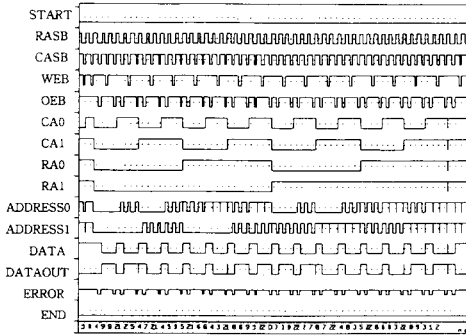


그림 12. 단주기 테스트의 서브프로세서 P1로직 시뮬레이션 결과

Fig. 12. Logic simulation of short cycle subprocess P1.

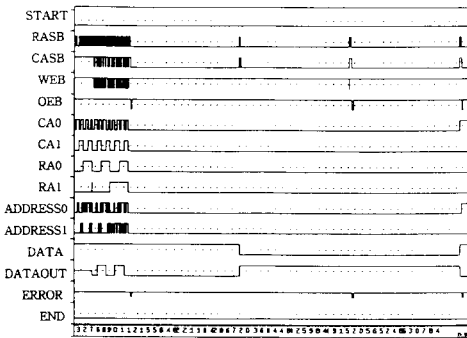


그림 13. 장주기 테스트의 서브프로세서 P1로직 시뮬레이션 결과

Fig. 13. Logic simulation of long cycle subprocess P1.

되어 실제 DRAM에 공급되는 어드레스 값이다. 또 DATA는 데이터 발생기에서 공급되는 값을, DATA-OUT은 DATA값이 scramble 회로를 거쳐 출력되는 최종 값이다.

이해를 돕기위해 그림 12에 단주기 테스트 과정중 두번째 부분과정인 P1에 해당하는 부분만의 논리 시뮬레이션 결과를 확대하여 제시하였다. 어드레스 값으로서 하나의 셀 단위로 이루어지는 동작을 알 수 있는데, operation 1번의 경우 어드레스 0번지에 대하여 3번의 읽고 쓰고 다시 읽는 과정이 수행되고 있음을 볼 수 있다. 이 때 데이터 발생기에서 공급되는 데이터 값은 "1, 0, 0"이다. 읽는 과정에서 데이터 발생기에서 공급되는 값은 셀에서 기대되는 값을 뜻하며, 이 값과 셀에서 출력되는 데이터 값과의 비교

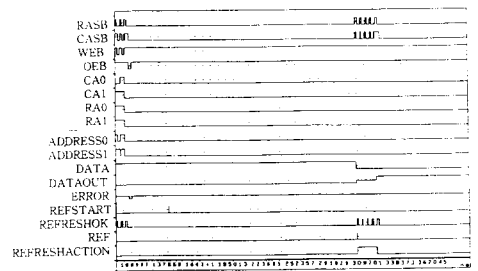


그림 14. 리프레쉬 발생 로직 시뮬레이션 결과

Fig. 14. Logic simulation of refresh generation.

로 에러의 유무를 결정하게 된다. 이와 똑같은 동작이 어드레스가 증가하면서 반복 수행되어 모든 셀에 대한 subprocess P1의 과정이 끝난다.

그림 13은 장주기로 진행되는 테스트에서 wakeup과 부분과정 P0에 해당하는 부분, 그리고 장주기 테스트로 진행되는 부분과정 P1중 처음 address에 대한 동작 과정을 보여주고 있다. 그림에서 200ns로 수행되는 wakeup과 P0의 전체 수행시간이 10000ns 주기로 수행되는 long cycle의 일회 수행시간보다도 짧음을 알 수 있다. 마지막으로 테스트도중 refresh가 요구될 때 회로가 행하는 동작에 대한 시뮬레이션 결과가 그림 14에 제시되어 있다. 그림은 P0가 수행된 후 P1의 첫번째 동작이 수행되는 도중 refresh 요구 신호인 REFSTART가 발생하는 상황이다. 이 때 하나의 동작이 수행도중이므로 이 과정을 끝나기를 기다린후 실제 refresh 처리 과정이 수행된다. Refresh는 오직 200ns 주기의 short cycle로 진행되는데, RAS/와 CAS/의 출력은 CBR refresh operation을 수행하며 데이터 발생기에서 출력되는 데이터 값은 high impedance를 유지하고 있음을 알 수 있다. 설계된 회로는 row의 수가 4개임을 기준으로 설계되어 있음으로 refresh 처리 회로내의 카운터도 4번으로 설계되어 있어 4회의 CBR operation이 수행된 후에 수행 도중이었던 테스트가 다음 어드레스부터 다시 수행되고 있다. 물론 이 CBR operation의 수는 refresh 처리 회로내의 카운터 단수를 증가함으로써 실제 디바이스의 경우에 대한 적절한 CBR operation의 수를 정할 수 있다. 이 설계 기법을 적용하게 되면 별도의 테스트 장비가 필요 없으며, 칩내에서 여러 비트를 동시에 테스트할 수 있는 병렬 테스트의 도입이 가능하므로 메모리 테스트를 더욱 간단하고 빠르게 수행할 수 있다.

이 연구에는 Valid 사와 QuickLogic 사의 tool이 사용되었다. 연구된 logic은 Valid의 GED를 이용하여 SUN 4 workstation 환경하에서 memory와의 호환성을 근간으로 설계하였고, Valid의 RapidSIM을 사용하여 설계된 logic의 검증을 수행하였다. 또한 설계된 회로의 field programmable gate array에 의한 구현을 위해서 IBM PC 486 환경하에서 동작하는 QuickLogic의 pASIC Toolkit이 사용되었다.

#### IV. 결론

본 논문에서는 일반적인 column march 테스트의 data retention 특성의 취약 단점을 보완하여 data retention 특성 검사를 위한 시간 개념이 도입된 새로운 테스트 알고리즘이 연구되었다. 기존의 column march test는 단순한 bit pattern의 변환만을 정의하고 있을 뿐 그 bit pattern의 변화과정과 시간개념의 정의가 없어서, DRAM의 data retention 특성 측정에는 불충분하였다. 따라서 이 새로운 column march test를 이용하면 훨씬 높은 fault coverage가 가능하게 되었다. 또한 연구된 column march 테스트 알고리즘을 직접 hardware로 변환해서 고집적 DRAM의 test를 위한 새로운 BIST 회로가 설계되었다.

설계된 column march test circuit은 내부에 있는 2개 입력단자의 값에 따라 단주기 병렬테스트, 단주기 cell by cell 테스트, 장주기 병렬테스트, 장주기 cell by cell 테스트등의 4가지 방식으로 사용될수 있다. 제어 회로, refresh 처리회로, 기준 신호 발생 회로, 어드레스 발생기, 데이터 발생기, 비교기등의 6개 부분으로 설계된 column march 테스트 회로는 4가지 테스트 방식에 대한 각각의 논리 시뮬레이션으로 그 기능이 정상 동작함을 확인하였다. 이 설계는 상업용 메모리의 공정과 호환성이 강하여 대부분의 DRAM chip 내에 쉽게 응용이 가능하다.

#### 參考文獻

[1] K. Itoh, "Trends in megabit DRAM circuit design", *IEEE J. Solid State Circuits*, vol. 25, no. 3, pp. 778-789, June 1990.  
 [2] 민위식, "DRAM의 발전 방향과 전망", 대한 전자공학회지, 제19권 제1호, pp. 1-15, 1992년 5월.  
 [3] K. Arimoto et al., "A 60-ns 33V-only

16Mbit DRAM with multipurpose register," *IEEE J. Solid State Circuits*, vol. 24, no. 5, pp. 1184-1190, Oct. 1989.

- [4] T. Takeshima et al., "A 55ns 16Mb DRAM with built-in self test function using microprogram ROM", *IEEE J. Solid State Circuits*, vol. 25, no. 4, pp. 903-911, Aug. 1990.  
 [5] Y. Nishimura et al., "A redundancy test time reduction technique in 1Mbit DRAM with a multiple test mode," *IEEE J. Solid State Circuit*, vol. 24, no. 1, pp. 43-49, Feb. 1989.  
 [6] K. Mashiko et al., "A 90ns 4Mb DRAM in a 300mil DIP", *IEEE Int'l Solid-State Circuit Conf.*, pp. 12-13 and 314-315, Feb. 1987.  
 [7] T. Ohsawa et al., "A 60ns 4Mb CMOS DRAM with built-in self-test", *IEEE Int'l Solid-State Circuits Conf.*, pp. 286-287 and 430, Feb. 1987.  
 [8] R. H. Dennard, "Field effect transistor memory", *IEEE Trans, Electron Dev.*, ED-31, p.1594, 1984.  
 [9] R. L. Franch, S. H. Dohng, and R. E. Scheuerlein, "A large VDS data retention test pattern for DRAM's", *IEEE J. Solid State Circuits*, vol. 27, no. 8, pp. 1214-1217, Aug. 1992.  
 [10] E. A. Amerasekera and D. S. Campbell, *Failure Mechanisms in Semiconductor Devices*, John Wiley & Son's Ltd., New York, 1987.  
 [11] M. S. Abadir and H. K. Reghbaty, "Functional testing of semiconductor random access memories", *ACM Computing Survey*, vol. 15, no. 3, pp. 175-198, Sept. 1983.  
 [12] Y. You and J. P. Hayes, "A self-testing dynamic RAM chip," *IEEE J. Solid State Circuits*, vol. sc-20, no. 1, pp. 428-435, Feb. 1985.  
 [13] J. P. Hayes, *Computer Architecture and Organization, 2nd Ed.*, McGraw-Hill, New York, 1988.

著者紹介



薛秉洙(正會員)

1969年 9月 23日生. 1992年 2月  
충북대학교 정보통신공학과(공학사). 1992年 3月 ~ 현재 충북대  
학교 대학원 정보통신공학과 석사  
과정 재학중. 주관심분야는 메모리  
의 test 및 testable design,

ASIC design 등임.

金大煥(正會員)

1968年 7月 11日生. 1991年 2月 충북대학교 정보통  
신공학과(공학사). 1993年 2月 충북대학교 대학원 정  
보통신공학과(공학석사). 1992年 11月 ~ 현재 한국  
타이어(주) 연구원. 주관심분야는 메모리의 test 및  
testable design, ASIC design, 중형 및 대형 컴  
퓨터 제작 및 제조기술 등임.



劉泳甲(正會員)

1948年 3月 22日生. 1975年 8月  
서강대학교 전자공학과(공학사).  
1981年 8月 미국 미시간대학교  
전기전산학과(공학석사). 1986年  
4月 미국 미시간대학교 전기전산  
학과(공학박사). 1975年 8月 ~

1979年 8月 국방과학연구소 연구원. 1982年 4月 ~  
1986年 4月 미시간 전산연구소. 1986年 2月 ~  
1988年 2月 금성반도체(주) 책임연구원. 1988年 3月  
~ 현재 충북대학교 정보통신공학과 부교수. 주관심  
분야는 반도체 집적회로 테스트, 고장극복형 컴퓨터  
구조, 가변익항공기제어, 중대형 컴퓨터 제작 및 제  
조기술, 정밀인쇄 장치 구조설계 등임.