

# Hot electron 효과로 노쇠화된 NMOSFET의 드레인 출력저항 특성

## (The Characteristics of Degraded Drain Output Resistance of NMOSFET due to Hot Electron Effects)

金美蘭\*, 朴種泰\*

(Mi Ran Kim and Jong Tae Park)

### 要約

본 연구에서는 hot electron에 의한 소자의 노쇠화에 기인하는 드레인 출력저항의 노쇠화 특성에 관하여 기술하였다. 측정된 소자의 전류-전압 특성으로부터 노쇠화된 드레인 출력저항의 semi-empirical 근사 모델을 제시하였다. 그리고, 측정으로부터 구한 드레인 출력저항의 노쇠화와 해석학적 모델을 비교함으로써 드레인 출력저항의 노쇠화와 소자변수와의 의존도를 검증하였다. 드레인 출력저항의 노쇠화는 stress 시간에 따라 증가하였으며 드레인 전류의 노쇠화와 비례하였다. 또한 드레인 출력저항변화로 정의된 소자의 수명시간은 드레인 전류의 노쇠화로 정의된 수명시간과 비슷한 것을 알 수 있었다

### Abstract

In this study, the degradation characteristics of drain output resistance was described due to hot electron effects. An semi-empirical model for the degraded drain output resistance was derived from the measured device characteristics. The suggested model was verified from the measured data and the device parameter dependence was also analyzed. The degradation of drain output resistance was increased with stress time and had linear relationship with the degradation of drain current. The device lifetime which was defined by failure criteria of drain output resistance (such as  $\Delta r_{o}/r_{o}=5\%$ ) was equivalent to that of failure criteria of drain current (such as  $\Delta I_{D}/I_{D}=5\%$ ).

### 1. 서론

MOSFET의 소자 크기가 deep submicron 레벨로 축소됨에 따라 hot carrier에 의한 소자의 노쇠화가 심각하게 일어나게 되는데 소자의 노쇠화 메카니즘 및 소자의 노쇠화 모델에 관한 연구는 많이 진행되었다.<sup>1,2</sup> 또한 hot electron에 의한 소자의 수명

시간을 예측하는 방법들이 연구되어 NMOSFET인 경우 Power law 관계식이 일반적으로 이용되고 있다.<sup>3,4</sup> 그러나, 소자의 수명시간을 결정하는 기준을 드레인 전류의 10% 변화나 10mV의 문턱 전압 변화로 정의하는 것이 실제회로에서는 얼마나 큰 영향을 미치게 될 것인지에 대해서는 아직 연구가 초기 상태에 있다.<sup>5</sup> 소자의 노쇠화 및 수명시간이 집적회로의 성능 및 수명시간에 미치는 영향에 관한 연구가 진행되고 있으나 대부분 디지털회로에 관한 것으로 아날로그회로의 특성에 미치는 영향에 관하여는 아직 초기 상태이다.<sup>6,7</sup>

\* 正會員, 仁川大學校 電子工學科  
(Dept. of Elec. Eng., In Cheon Univ.)  
接受日字: 1992年 12月 4日

Hot carrier 영향에 의한 디지털 회로의 성능에 관한 연구는 간단한 inverter를 비롯하여 NAND 게이트, transmission 게이트 등과 DRAM의 access 시간 및 refresh 시간 등에 관한 것으로 현재 많이 진행되고 있다.<sup>16)</sup>

Hot carrier 영향에 의한 아날로그 회로의 성능에 관한 연구는 J.Chung 및 Park 등이 hot electron에 의하여 차동증폭기의 입력 offset 전압 및 드레인 출력등이 변하며 이로 인하여 증폭기의 이득이 저하되는 등의 특성저하가 있는 것으로 발표하였다.<sup>10) 11)</sup> Hot electron 영향으로 인한 CMOS 차동증폭기 입력 offset 전압의 해석학적 모델 및 offset 전압 변화에 의한 소자의 수명시간 정의 방법등에 관한 연구가 되었으나 hot electron에 의한 드레인 출력저항 노쇠화에 관한 모델이 제시되지 않았으며 소자의 변수 의존도에 관한 연구가 미흡한 상태이다.<sup>16)</sup>

감지 증폭기를 비롯한 여러가지 아날로그 회로에 쓰이는 차동 증폭기의 hot electron에 의한 회로의 성능 저하 및 신뢰도에 관한 연구가 많이 필요하다.

일반적으로 드레인인 채널영역의 불순물 분포의 최적화는 transconductance는 크게 감소시키지 않으면서 출력저항을 크게 하여 이득을 높이고 있으나 아날로그 회로에서는 소자의 변수에 따른 출력특성이 민감하므로 소자의 최적화 설계에 많은 주의가 필요하다.

현재는 소자의 노쇠화로 인한 소자의 수명시간 결정을 소자의 특성 저하에 의하여 정의·결정하였지만 집적회로의 성능저하 및 수명 시간 등의 신뢰도를 결정하기 위하여는 회로 전체의 성능저하에 의하여 회로의 수명시간을 정의·결정해야 될 것이다.

본 연구에서는 NMOSFET의 드레인 출력저항의 저하 특성을 위하여 근사적인 경험적 모델을 제시하였으며 모델의 타당성을 위하여 소자의 변수 및 측정 변수에 따라 NMOSFET의 드레인 출력 저항을 측정하였다. 그리고 기존의 방법대로 소자의 수명을 결정한 것과 회로 응용을 위하여 드레인 출력저항의 노쇠화에 의한 수명시간 결정을 비교함으로써 집적회로의 수명시간 예측방법을 제시하였다.

## II. 노쇠화된 드레인 출력저항 모델링

NMOSFET가 높은 전압의 stress를 인가 받게 되면 드레인 전류가 감소하게 된다. 그림 1은 드레인 전류의 노쇠화와 이로 인한 드레인 출력저항의 저하 현상을 나타낸 것이다.

드레인 출력저항은 그림 1과 같이 fresh 소자와

stress를 받은 소자의 I-V 특성곡선으로부터 일정한 드레인 전압차이를 드레인 전류 차이로 나눈 것으로 정의하였다.

아날로그 회로의 특성은 동적 저항특성에 의하여 크게 영향을 받지만 일반적으로 소신호 해석에서는 DC 저항을 구하여 동적 저항으로 근사시키는 방법을 사용하고 있으므로 본 연구에서도 semi-empirical한 근사적 방법으로 stress 후의 I-V 특성으로부터 출력저항을 모델하였다.

NMOSFET의 소자 노쇠화(드레인 전류 감소, 문턱 전압 변화나 transconductance 변화등)는 hot electron에 의한 경계면 전하에 의한 것으로 그림 1로부터 드레인 전류의 변화는 선형영역과 포화영역의 경계에서 많이 일어나는 것을 알 수 있다. 이런 드레인 전류의 변화는 드레인 저항의 변화를 가져오게 될 것이므로 본 연구에서는 드레인 출력저항 모델링을 선형영역과 포화영역의 2 영역에서 모델링하였다.

### 1. 선형영역에서의 드레인 출력저항 모델링

Stress 후에는 hot carrier에 의한 누설전류의 증가가 있지만 근사적인 모델을 위하여 그림 1과 같이 드레인 전압이 0 V 근처에서 stress 전·후의 드레인 전류는 거의 같은 값을 갖는 것으로 정의하였다. 드레인 전압이 선형영역일때에는 stress 후의 드레인 전류가 stress 전의 드레인 전류보다 작게 되며 포화영역 경계에서 감소가 최대가 된다. 드레인 전압이 거의 0 V ( $V_{D0}$ ) 일때의 stress 전·후의 드레인 전류를  $I_{D0}$ 와  $I_{D0}$ 로 정의하고 포화 드레인 전압( $V_{D1}$ ) 일때의 stress 전·후의 드레인 출력저항을 다음식과 같이 나타낼 수 있을 것이다.

$$r_{00} = \frac{V_{D1} - V_{D0}}{I_{D1}(V_{D1}) - I_{D0}(V_{D1})} \quad (1)$$

$$r_0 = \frac{V_{D1} - V_{D0}}{I_D(V_{D1}) - I_0(V_{D0})} \quad (2)$$

여기서  $r_{00}$ 는 stress를 인가하기전의 드레인 출력저항이며  $r_0$ 는 stress를 인가한 후의 드레인 출력저항이다.

Stress전과 후의 드레인전류 변화  $\Delta I_D$ 와 출력저항 변화  $\Delta r_0$ 를 다음과 같이 정의하면

$$\Delta I_D = |I_{D0}(V_{D1}) - I_D(V_{D1})| \quad (3)$$

$$\Delta r_0 = |r_0 - r_{00}| \quad (4)$$

이다.

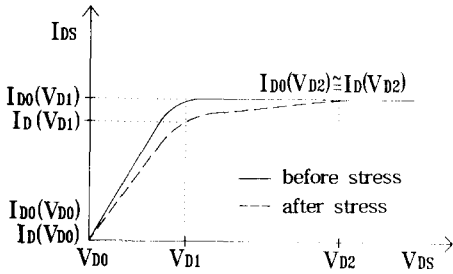


그림 1. Stress 전 후의 NMOSFET의 I-V 특성 곡선

Fig. 1. I-V characteristics of NMOSFET before and after stress.

$V_{D0}$  지점에서는  $I_{D0}(V_{D0})$  와  $I_D(V_{D0})$ 가 거의 같게 되므로 식 (3) 은 다음과 같이 근사시킬 수 있다.

$$I_{D0}(V_{D0}) \approx I_D(V_{D0}) \tag{5}$$

식 (1)과 (2)를 식 (4)와 (5)에 대입하면 출력저항 변화는 다음과 같이 쓸 수 있을 것이다.

$$\frac{\Delta r_{o0}}{r_{o0}} = \frac{\frac{\Delta I_D}{I_D}}{(1-A) - \frac{\Delta I_D}{I_D}} \tag{6}$$

$$A = \frac{I_D(V_{D0})}{I_D(V_{D1})} \tag{7}$$

$(1-A) \gg \frac{\Delta I_D}{I_D}$  인 경우  $\frac{\Delta r_{o0}}{r_{o0}} = K \frac{\Delta I_D}{I_D}$  로 (단  $K = \frac{1}{1-A}$ ) 쓸 수 있다. 그런데  $I_D(V_{D0}) \approx 0$  로 가정하면  $A \approx 0$  이 될 것이므로 식 (6)은 다음과 같이 쓸 수 있을 것이다.

$$\frac{\Delta r_{o0}}{r_{o0}} = - \frac{\Delta I_D}{I_D} \tag{8}$$

위 식으로부터 선형영역에서 드레인 출력저항의 노쇠화 정도는 드레인전류의 노쇠화와 거의 같게 됨을 알 수 있다. 그리고 식 (7)과 (8)로부터 선형영역에서는 stress 후에는 드레인 출력저항이 증가하는 것을 알 수 있다

2. 포화영역에서의 드레인 출력저항 모델링

일반적으로 stress를 인가한 후의 드레인 전류  $I_D$ 는 낮은 드레인 전압에서는 stress를 인가하기전의 드레인 전류  $I_{D0}$ 보다 작으나 드레인 전압이 증가하여  $V_{D2}$ 가 되었을 때는  $I_D$ 와  $I_{D0}$ 는 거의 같게 되므로

stress 전·후의 드레인 출력저항을 다음과 같이 쓸 수 있게 될 것이다.

$$r_{o0} = \frac{V_{D2} - V_{D1}}{I_{D0}(V_{D2}) - I_{D0}(V_{D1})} \tag{9}$$

$$r_o = \frac{V_{D2} - V_{D1}}{I_D(V_{D2}) - I_D(V_{D1})} \tag{10}$$

Stress전과 후의 드레인전류 변화  $\Delta I_D$ 와 출력저항 변화  $\Delta r_o$ 는 식 (3)과 (4)와 같이 정의하면  $V_{D2}$  지점에서는  $I_{D0}(V_{D2})$ 와  $I_D(V_{D2})$ 가 거의 같게 되므로 식 (3)은 다음과 같이 근사시킬 수 있다.

$$I_{D0}(V_{D0}) = I_D(V_{D2}) \tag{11}$$

식 (8)과 (9)를 식 (4)와 (10)에 대입하면 포화영역에서의 출력저항 변화는 다음과 같이 쓸 수 있을 것이다.

$$\frac{\Delta r_{o0}}{r_{o0}} = \frac{\frac{\Delta I_D}{I_D}}{(1-A) + \frac{\Delta I_D}{I_D}} \tag{12}$$

여기서  $A = \frac{I_{D0}(V_{D0})}{I_{D0}(V_{D1})}$ 이다.

일반적으로 A 값은 1 보다 큰 값을 가지게 되며 채널길이가 짧을 수록 A 값은 큰 값을 갖게 되므로 채널길이에 의존하는 상수로 정의할 수 있을 것이다. 그리고 식 (12)로부터 포화영역에서는 stress 후의 드레인 출력저항이 감소하는 것을 알 수 있다.

근사적 방법으로 구한 노쇠화된 NMOSFET의 드레인 출력저항은 식 (6)과 (12)로부터 선형영역에서는  $\frac{\Delta r_{o0}}{r_{o0}} = -K \frac{\Delta I_D}{I_D}$  관계로 표시할 수 있으므로 stress 후에 드레인 출력저항이 증가함을 알 수 있고 포화영역에서는  $\frac{\Delta r_{o0}}{r_{o0}} = K \frac{\Delta I_D}{I_D}$  관계로 표시되어 stress 후에 드레인 출력저항이 감소함을 알 수 있다. 지금까지의 hot carrier로 인한 소자 노쇠화에 관한 많은 연구가 드레인 전류의 변화에 관한 것으로 드레인 전류의 변화로 Nit, stress 조건등으로 해석하고 모델링되어졌으므로 드레인 출력저항의 변화를 드레인 전류변화와 연관시키므로 stress 조건에 따른 드레인 출력저항의 변화를 해석할 수 있게 될 것이다.

III. 결과 및 고찰

Hot carrier로 노쇠화된 드레인 출력저항을 근사적으로 모델링한 것을 실제 측정치와 비교하기 위하

여 N 형 다결정 실리콘을 게이트로 사용한 표준 공정으로 제작된 NMOSFET를 측정하였다. 소자의 채널길이는 0.6, 0.7, 0.8 $\mu\text{m}$ 이며 게이트 산화층의 두께는 약 150 $\text{\AA}$ 이고 접합깊이는 약 0.3 $\mu\text{m}$  인 것을 사용하였다. DC stress 조건은  $I_{\text{sub}}^3/I_{\text{DS}}^2 \cdot W_{\text{eff}}$ 가 최대가 되는  $V_{\text{DS}}$ 와  $V_{\text{GS}}$ 를 선정하여 stress 시간을 50분까지 하였다.

본 연구에서 제시한 모델의 타당성을 검증하기 위하여 여러가지 소자변수 및 측정조건에 따른 드레인 출력저항변화를 측정치와 비교하고자 한다

1.  $V_{\text{DS}}$ 와  $\Delta r_o/r_{o0}$  관계

그림 2는 채널길이가 0.6 $\mu\text{m}$ 인 NMOSFET의 DC stress 전압 전후의 I-V특성 변화 및 드레인 출력저항

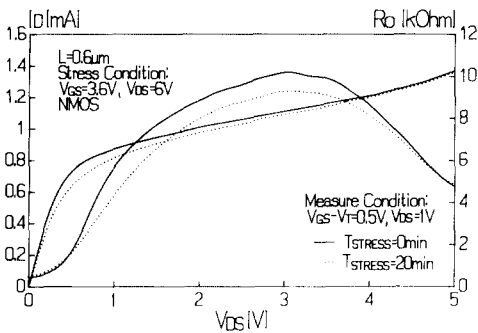


그림 2. Stress 전 후의 I-V 특성과 드레인 출력 저항 특성

Fig. 2. I-V and drain output resistance characteristics before and after stress.

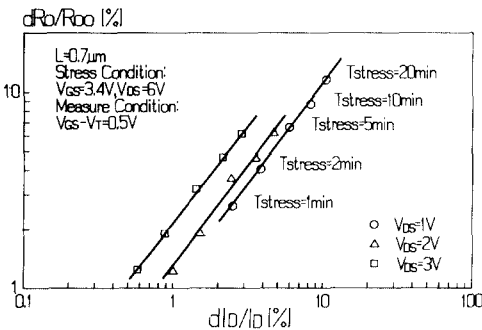


그림 3. 드레인 출력전압에 따른  $\Delta r_o/r_{o0}$ 와  $\Delta I_D/I_D$ 의 상관 관계

Fig. 3. Correlation between  $\Delta r_o/r_{o0}$  and  $\Delta I_D/I_D$  for different drain voltage.

향을 나타낸 것이다. 그림 2는  $V_G-V_T=0.5V$  에서 측정된 것으로 약  $V_{\text{DS}}=0.5V$  이하인 선형영역에서는 stress후의 드레인 출력저항은 증가하였으며 stress 후의 드레인 출력저항  $r_o$ 가  $0.4V < V_{\text{DS}} < 4.9V$ 에서는 stress 전의 것보다 감소된 것을 알 수 있다.

그림 2로부터 드레인 전압이 선형과 포화영역의 경계에서 드레인 출력저항의 변화가 큰 것을 알 수 있다.

드레인 전압이 낮은 경우는  $r_o$ 의 변화가 심하며 드레인 전압이 증가할 수록  $r_o$ 의 변화가 작은 것을 알 수 있다. 드레인 전압이 낮은 경우는 hot carrier에 의하여 생성된 acceptor type의 Nit가 전자로 포획되어 Nit는 음전하로 되고 이 음전하는 채널전자의 scattering을 증가시키게 되므로 유효 이동도의 감소와 드레인 전류의 감소를 초래하게 되어 저항  $r_o$ 의 감소가 크게 된다.<sup>(9)</sup>

드레인 전압이 증가하면 quasi-Fermi 레벨이 저하되어 낮은 전압에서 전자로 포획된 Nit가 중성화되므로 채널의 이동도가 stress 전의 값과 유사한 값을 가지게 되고 이로 인하여 드레인 전류의 변화가 작으며 저항  $r_o$  변화도 감소하게 된다.

그림 3은 채널길이 0.7 $\mu\text{m}$ 인 소자의 드레인 출력저항의 변화와 드레인 전압 관계를 나타낸 것이다. 드레인 전압이 포화전압인 거의 1 V 정도에서  $r_o$ 의 노쇠화가 가장 크며 드레인 전압이 증가할수록  $\Delta r_o/r_{o0}$  값은 작아짐을 알 수 있다.

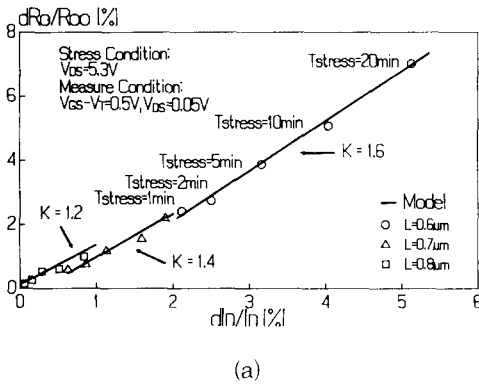
2.  $\Delta I_D/I_D$ 와  $\Delta r_o/r_{o0}$  관계

$\Delta r_o/\Delta I_D$  본 연구에서 제시한  $\frac{\Delta r_o}{r_{o0}} \propto \frac{\Delta I_D}{I_D}$  관계의 타당성을 검증하기 위하여 그림 3과 같이 선형 및 포화영역에서 드레인 전류의 변화에 대한 드레인 출력저항의 변화를 나타내었다.

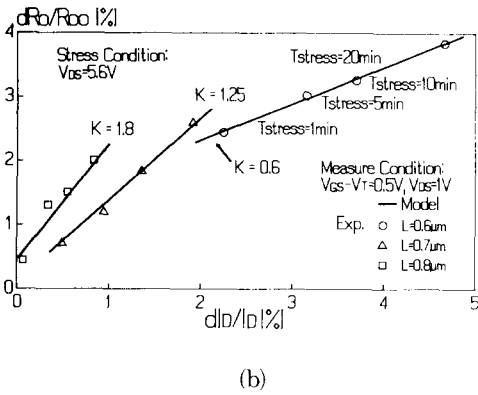
선형영역에서는 그림 4-a 와 같이 드레인 출력저항 변화가 드레인 전류변화에 선형적으로 증가함을 알 수 있는데 이것은 식 (6)의 결과와 일치한다. 식 (6)은  $(1-A) \frac{\Delta I_D}{I_D}$  인 경우  $\frac{\Delta r_o}{r_{o0}} = K \frac{\Delta I_D}{I_D}$  로 (단  $K = \frac{1}{1-A}$ ) 쓸 수 있으므로  $A=0$  으로 가정하면 그림 4-a에서 K 가 거의 1.0 이 될 것이다. 그러나 그림 4-a 에서 K 값이 1 보다 약간 큰 것은 식 (7)의 A 값이 0 보다 큰 것으로 생각할 수 있는데 이것은 실제로 K 값이 0 이 아니기 때문이다. 그리고 채널의 길이가 짧을수록 K 값이 큰 것을 알 수 있는데 이것은 채널길이가 짧을수록 누설전류 및 짧은 채널 효과에 의한  $I_{\text{D0}}(V_{\text{D0}})$  가 큰 것에서 기인된 것으로 사료된다.

포화영역에서는 식 (12)로부터  $(1-A) \frac{\Delta I_D}{I_D}$  인 경우  $\frac{\Delta r_o}{r_{o0}} \propto K \frac{\Delta I_D}{I_D}$  (단  $K = \frac{1}{1-A}$ ) 로 나타낼 수 있으므로 그림

4-b 에 모델의 이론값과 측정값을 비교하여 나타내었다. 선형영역에서와 같이  $\Delta r_o/r_{o0}$ 는  $\Delta I_D/I_D$ 와 선형적인 관계가 있으며 K 값은 채널길이에 따라 다르며 0.6 $\mu$ m 에서 0.6정도의 값을 가짐을 알 수 있다. 포화영역에서는 채널길이가 짧을수록 짧은 채널 효과 및 channel length modulation 효과가 크므로 A 값이 크게 되어 K 값이 작아지게 된다. 그림 4로부터 본 연구에서 제시한 식 (6) 과 식 (12)의 드레인 출력 저항 노쇠화 모델은 측정값과 잘 일치함을 알 수 있다 그림 4-b로부터 유효 채널길이가 0.6 $\mu$ m 정도인



(a)



(b)

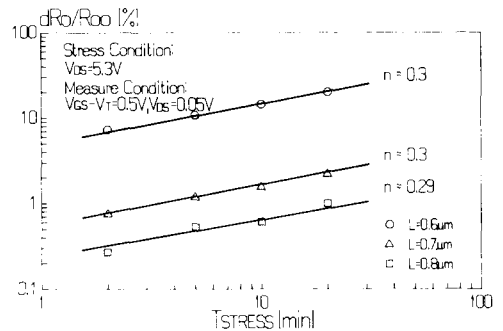
그림 4. (a) 선형영역에서 채널길이에 따른  $\Delta r_o/r_{o0}$ 와  $\Delta I_D/I_D$ 의 상관관계  
(b) 포화영역에서 채널길이에 따른  $\Delta r_o/r_{o0}$ 와  $\Delta I_D/I_D$ 의 상관관계

Fig. 4. (a) Correlation between  $\Delta r_o/r_{o0}$  and  $\Delta I_D/I_D$  for different channel length in the linear region.  
(b) Correlation between  $\Delta r_o/r_{o0}$  and  $\Delta I_D/I_D$  for different channel length in the saturation region.

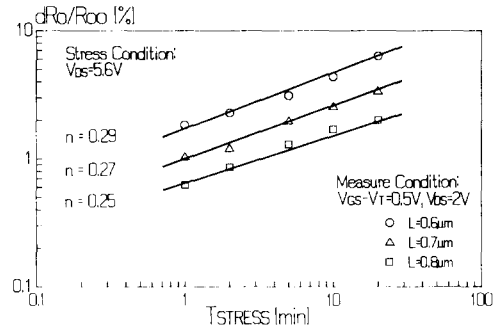
것의 비례상수 K 값은 1.9 정도인 것을 알 수 있는데 이것은 J.Chung 등의 hot carrier 영향에 의한 아나로그 회로의 성능에 대한 연구에서 드레인 출력 저항 변화와 전류변화가 1.8~2 정도의 비례관계를 가지는 것과 일치하는 결과이다.<sup>19</sup>

### 3. $\Delta r_o/r_{o0}$ 와 stress 시간 관계

Stress 시간이 증가될 수록 드레인 전류의 노쇠화는 심할 것이므로 이로 인하여 드레인 출력 저항 노쇠화도 심하게 될 것이다. 그림 5는 선형 및 포화영역에서 stress 시간에 따른 드레인 출력저항 노쇠화를 나타낸 것이다. Stress 시간이 증가될 수록  $\Delta r_o/r_{o0}$ 가 큰 것을 알 수 있는데 이것은 NMOSFET의



(a)



(b)

그림 5. Stress 시간에 대하여 채널길이에 따른 출력저항 변화  
(a) 선형영역 (b) 포화영역

Fig. 5. Drain output resistance  $\Delta r_o/r_{o0}$  degradation with different channel length as a function of stress time.  
(a) linear region (b) saturation region

노쇠화 모델에서  $\Delta I_D/I_D \propto N_{it} \propto (T)^n$  관계와 일치한다.

그림 5로부터 기율기 n 값은 약 0.2~0.3 정도이므로 이것은 NMOSFET의 노쇠화 모델  $\Delta I_D/I_D \propto (T)^n$ 으로부터 구한 n 값과 거의 일치하는 결과이다.<sup>[12][13]</sup> 그림 5의 결과로부터도 본 연구에서 제시한  $\frac{\Delta r_o}{r_o} \sim \frac{\Delta I_D}{I_D}$ 의 관계가 만족됨을 알 수 있다. 선형영역과 포화영역의 n 값은 큰 차이는 없으나 채널의 길이가 짧을수록 선형영역에서의 드레인 출력저항의 변화가 포화영역에서보다 큰것을 알 수 있다. 그리고 채널의 길이가 짧을수록 n 값이 큰 것을 알 수 있는데 이것은 채널의 길이가 짧을수록 hot electron 에 의한 소자의 노쇠화가 많이 일어남을 나타내는 것으로 다른 연구들의 결과와도 일치한다.<sup>[14]</sup>

4. 드레인 출력 저항과 소자 수명 관계

NMOSFET의 소자 수명시간은 power law 관계식으로부터 기판 전류  $I_{sub}$ 의 크기에 반비례한다. 소자의 수명시간의 결정방법은 stress 전후의 소자의  $\Delta V_T$ ,  $\Delta G_m/G_m$  및  $\Delta I_D/I_D$ 의 일정한 변화량으로 정의하여 사용하고 있다.

본 연구에서는  $\Delta r_o/r_o$ 가 CMOS 차동증폭기의 특성에 미치는 영향을 위한 것이므로 소자의 수명시간보다 회로의 성능적인 측면에서 회로의 수명시간을 예견할 수 있도록  $\Delta r_o/r_o$ 에 의한 소자의 수명시간을 정의·결정하였다. 그림 6은  $V_{GS}$ 와  $I_{sub}$  및  $\Delta r_o/r_o$ 의 관계에 관한 것으로  $I_{sub}$ 가 최대인 지점에서  $\Delta r_o/r_o$ 도 최대의 관계를 가지므로 기존의 Power law 관계식이  $\Delta r_o/r_o$ 에 의한 소자 수명 시간 결정 방법에도 그대로 적용될 수 있을 것이다. 그림 7은 기존의 방법대로 소자의 노쇠화  $\frac{\Delta I_D}{I_D} = 5\%$  인 것과 본 연구에서 제시한  $\frac{\Delta r_o}{r_o} = 5\%$  인 방법으로 수명시간을  $I_{sub}$ 의 관계로 나타낸 것이다.

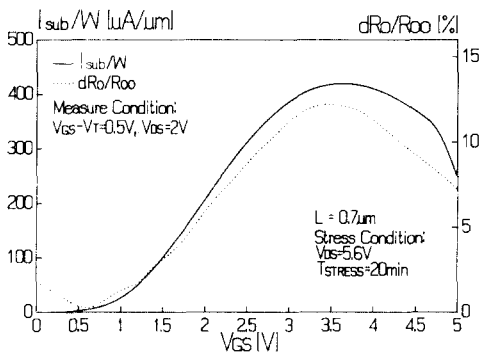
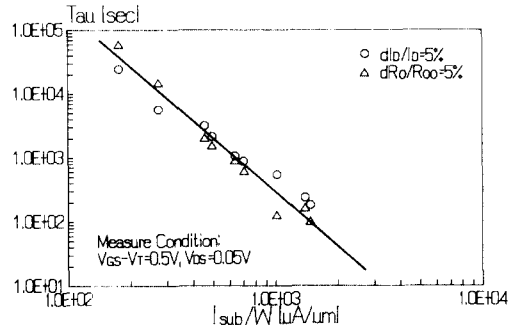
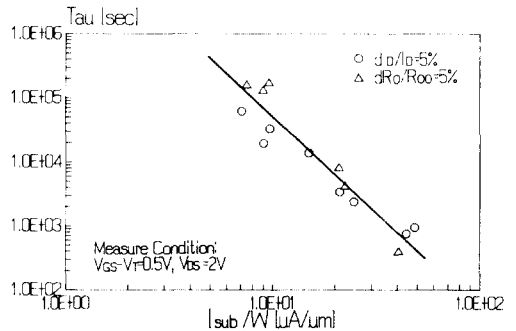


그림 6.  $\Delta r_o/r_o$ 와  $I_{sub}/W$ 의 상관관계  
Fig. 6. Correlation between  $\Delta r_o/r_o$  and  $I_{sub}/W$ .



(a)



(b)

그림 7. 드레인 출력저항 변화와 드레인 전류의 노쇠화로 정의된 수명시간 상관관계  
(a) 선형영역 (b) 포화영역

Fig. 7. Lifetime correlation plot Lifetime is defined as  $\Delta r_o/r_o=5\%$  and  $\Delta I_D/I_D=5\%$   
(a) linear region (b) saturation region.

선형 및 포화영역에서 기존의 방법으로 구한 수명시간과 본 연구에서 제시한 방법으로 구한 수명시간이 거의 일치하여 기존의 Power law 관계식의 상수 m 값이 거의 3.0 정도로 기존의 방법대로 구한 m 값과 일치한다.<sup>[15]</sup> 이 결과로부터도 본 연구에서 제시한 드레인 출력 저항 노쇠화 모델이 타당하다고 볼 수 있다. 그리고 집적 회로의 성능저하에 의한 집적 회로의 수명시간을 결정하기 위하여는 기존의 소자 수명시간 결정 방법이 수정되어야 될 것이다.<sup>[16]</sup>

그림 8은 NMOSFET의 드레인 출력 저항의 노쇠화가 아나로그 증폭기의 소신호 전압 이득에 미치는 영향을 나타낸 것이다. 그림 8로부터 소자의 transcon-

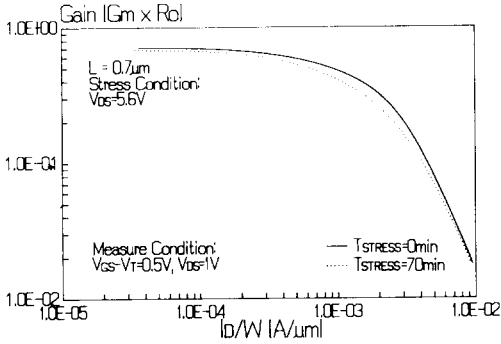


그림 8. Stress 전 후의 NMOSFET 의 소신호 전압이득

Fig. 8. NMOSFET small signal voltage gain before and after stress.

ductance와 드레인 출력 저항의 감소로 인하여 소자의 소신호 전압 이득( $G=G_m \times r_o$ )도 저하가 되는 것을 알 수 있다. 그림 9와 같은 차동증폭기에서 이득의 변화는 다음과 같이 쓸 수 있을 것이다.

$$\frac{\Delta G}{G_0} = \frac{g_{0n}}{g_{0n} + g_{0p}} \times \frac{\Delta r_{0n}}{r_{0n}} \quad (13)$$

여기서  $g_{0n}$ 과  $g_{0p}$ 는 NMOSFET와 PMOSFET 의 드레인 conductance이다. 이상적인 PMOSFET

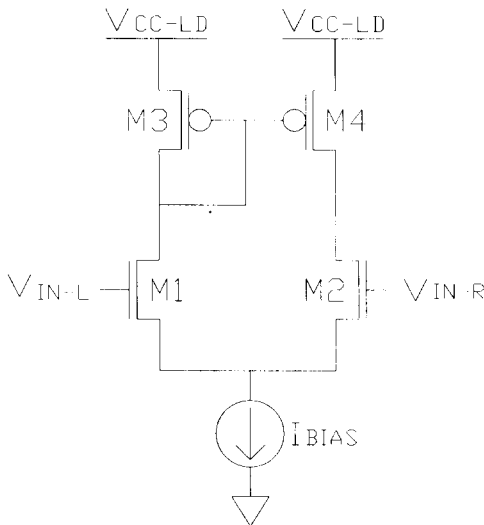


그림 9. CMOS 차동증폭기의 회로도

Fig. 9. Circuit diagram of CMOS single-ended output differential amplifier.

를 load로 사용하였다고 가정하면 식 (13)은 다음과 같이 쓸 수 있다

$$\frac{\Delta G}{G_0} = \frac{\Delta r_{0n}}{r_{0n}} \quad (14)$$

식 (14)로 부터 차동증폭기의 소신호 이득은 주로 NMOSFET의 저항 노쇠화에 의하여 영향을 받음을 알 수 있다. 증폭기를 설계할 때 특히 바이어스 전류에 대한 소신호 이득의 저하를 고려하여 설계해야 될 것이다.

#### IV. 결론

본 연구에서는 CMOS 차동증폭기 응용을 위하여 hot electron에 의한 NMOSFET의 드레인 출력저항 노쇠화의 semi-empirical 근사 모델을 제시하였다. 드레인 출력저항의 노쇠화는 드레인 전류의 노쇠화와 선형적인 관계로 표시할 수 있으며 stress 시간에 따라 증가하였다. 그리고 소자의 수명시간 결정방법을 회로에 응용하기 위한 회로 수명 시간 방법으로 정의하였으며 그 타당성도 검증하였다. 앞으로 집적회로의 성능저하에 의한 집적회로의 수명시간 예측 방법 및 모델에 관하여 많은 연구가 필요할 것이다.

#### 參考文獻

- [1] C. Hu, et al, "Hot-Electron Induced MOSFET Degradation Model, Monitor, and Improvement", *IEEE Trans. Electron Devices*, vol ED-32, pp. 375-384, 1985.
- [2] K.R. Hofmann, et al, " Hot-Electron and Hole Emission Effects in Short n-channel MOSFET 's", *IEEE Trans. Electron Devices*, vol. ED-32, pp. 691-699, 1985.
- [3] E. Takeda and N. Suzuki, "An empirical model for device degradation due to hot electron injection," *IEEE Electron Device Lett.*, vol. EDL-4, no. 4, pp. 111-113, 1983.
- [4] J. Winnerl, A. Lil, and f. Nepl, "Influence of transistor degradation on CMOS performance and impact on life time criterion", *Int. Elect. Device Meeting (IEDM) Technical Digest*, pp 204-207,

1988.

[5] P.M.Lee, et al, "Relating CMOS Inverter Lifetime to DC Hot Carrier Lifetime of NMOSFET's", *IEEE Electron Device Lett.*, vol. EDL-11, pp. 39-41, 1990.

[6] W.Weber, et al, "Dynamic Degradation in MOSFET's-part II : Application in the Circuit Environment", *IEEE Electron Devices*, vol. ED 38, pp. 1859-1867, 1991

[7] P.Lee, et al, "Impact of hot carriers on DRAM circuits", International Reliability Symposium (IRPS) Proceeding, pp. 201- 206, 1987.

[8] Heung-joon Park, et al, "A New CMOS NAND Logic Circuit for Reducing Hot-Carrier Problems", *IEEE J.Solid-State Circuits*, vol. 24, pp. 1041-1046, Aug. 1989

[9] J.E.Chung, et al, "The Effects of Hot Electron Degradation on Analog MOS-FET Performance", in IEDM Tech. Dig. pp.553-556, 1990.

[10] J.T.Park, et al, "Hot Electron Induced Input Offset Voltage Degradation in CMOS Differential Amplifiers", in IRPS Proceeding, pp. 76-80, 1992.

[11] 박종태, "Hot Electron 에 의한 CMOS 차동 증폭기의 입력 offset 전압 모델링", 전자공학 회 논문지, 제29권, A편, 제 7호, pp. 82-88, 1992.

[12] S.W.Sun, et al, "Parameter Correlation and Modeling of the Power-Law Relationship in MOSFET Hot-Carrier Degradation", *IEEE Electron Device Lett.*, vol. 11, pp. 297-299, July, 1990.

[13] B.Doyle, et al, "Interface State Creation and Charge Trapping in the Medium - to -High gate Voltage Range During Hot-Carrier Stressing of n-MOS Transistors", *IEEE Trans. Electron Devices*, vol. 37, pp. 744-754, Mar. 1990.

[14] R.Bellens, et al, "On the Channel-Length Dependence of the Hot-Carrier Degradation of n-Channel MOSFET's", *IEEE Elec Device Lett.*, vol. 10, pp. 553-555, Dec. 1989.

[15] J.E.Chung, et al, "A Model for Hot-Electron-Induced MOSFET Linear-Current Degradation Based on Mobility Reduction Due to Interface-State Generation", *IEEE Trans. Electron Devices*, Vol. 38, pp. 1362-1370, June. 1991.

감사의 글

이 논문은 1992년도 교육부 학술 연구 조성비에 의하여 연구되었음. (연구과제번호 ISRC 92-E-0043)

著 者 紹 介



金美蘭(正會員)  
 1968年 5月 12日生. 1990年 2月  
 인천대학교 물리학과 학사. 1993  
 年 8月 동대학원 전자공학과 석사  
 주관심분야는 반도체 물성 등임.

朴種泰(正會員) 第 29卷 A編 第 7號 參照  
 현재 인천대학교 전자공학과 교수