

論文93-30A-9-5

Hot-Carrier로 인한 PMOSFET의 소자 수명시간 예측 모델링(Ⅱ)

- 게이트 전류를 이용한 수명시간 예측 -

(A Lifetime Prediction Modeling for PMOSFET Degraded by Hot-Carrier (Ⅱ))

(A Lifetime Prediction Modeling Using Gate Current for PMOSFET)

鄭羽杓*, 柳同烈*, 梁光善**, 朴鐘泰***, 金鳳烈**

(Woo Pyo Jeong, Dong Ryul Ryu, Kwang Sun Yang,
Jong Tae Park and Bong Ryul Kim)

要約

본 연구에서는 기판 전류를 이용한 수명시간 예측 모델이 드레인 구조에 따라 각기 다르게 적용되는 문제점을 해결하기 위해 산화막 내로 주입된 총전하(Q_g)와 최대 전달 콘덕턴스의 변화량(dg_m/g_m)과의 관계를 구하고 이로부터 초기 게이트 전류를 측정하므로 PMOSFET의 수명시간을 예측할 수 있는 새로운 모델을 제안하였다. 제안한 모델을 각기 다른 채널 구조와 드레인 구조를 가진 PMOSFET에 적용하였는데, 모든 소자에서 산화막 내로 주입된 총전하량(Q_g)과 최대 전달 콘덕턴스의 변화량(dg_m/g_m)의 관계는 하나의 직선으로 수렴하였으며, 이 관계로부터 구한 수명시간 예측 모델은 채널 구조와 드레인 구조에 상관없이 실제 측정 결과와 일치함을 알 수 있다. 그러므로, 기판 전류를 이용한 수명시간 예측 모델과 달리 게이트 전류를 이용한 모델은 모든 소자에 적용할 수 있으며 이 모델을 이용하여 간단하게 수명시간을 예측할 수 있다.

Abstract

In this paper, we present a simple and general lifetime prediction model for PMOSFET by using the correlation between transconductance degradation and gate current influence to solve a problem that that I_b is dependent on drain structure. The suggested model is applied to a different channel, drain structured PMOSFET. For all PMOSFETs, dg_m/g_m of PMOSFET appears with one straight line about Q_g , therefore, this model using I_g is consistent with experiment result independently of channel, drain structure. It is, therefore, proposed that a model using I_g has a general applicability for PMOSFET's:

*準會員, **正會員, 延世大學校 電子工學科
(Dept. of Elec. Eng., Yonsei Univ.)
***正會員, 仁川大學校 電子工學科
(Dept. of Elec. Eng., Incheon Univ.)

接受日字: 1993年 3月 2日

(* 이 논문은 1992년도 교육부 지원 한국학술진흥재단의 대학부설 연구소 과제 학술 연구 조성비에 의하여 연구되었음.)

1. 서론

Hot carrier에 의한 소자의 노쇠화 현상으로 소자의 수명시간을 예측하는 것은 매우 중요한 것으로, NMOSFET의 경우에는 많은 연구 결과로 인하여 소자의 수명 시간이 기판 전류에 대해 멱함수(Power-Law Function) 관계임이 밝혀졌다.^{1,2} 그러나, PMOSFET의 수명시간을 예측하는 방법에 대한 연구가 아직 미흡한 상태이며 지금까지의 연구 결과가 일치된 경향이 없이 서로 상이하게 보고되어 왔다.

어떤 연구자들은 기판 전류 또는 게이트 전류에 의하여 PMOSFET의 수명시간을 NMOSFET에서와 같이 멱함수 관계식을 갖는다고 발표하였는데 이것은 소자의 수명시간을 정의할 때 소자의 노쇠화를 NMOSFET에서와 같이 정의하므로 모델의 타당성 및 일반성에 문제가 있다.³ T. Mogami 등은 산화층에 포획된 전자로 인하여 유효 채널 길이가 감소하므로 이것을 기준으로 소자의 수명시간을 정의하여 모델링하였는데 이 방법에서 정확한 ΔL_{eff} 를 측정하기 어렵기 때문에 정확성의 문제가 있다.⁴

그리고 B. S. Doyle 등은 산화막 내로 주입된 총전하(Q_g)와 게이트 전류의 곱에 대해 최대 전달 콘덕턴스의 변화량(dg_m/g_m)이 일직선으로 수렴하는 관계를 이용하여 소자의 노쇠화를 정의하고 수명시간을 예측하였다. 이 방법에서 게이트 전류를 두 영역으로 나누어 수명시간을 예측해야하므로 일반적이지 못하고 영역 경계를 설정하는데 어려움이 있어 실용적이지 못하다.⁵

G. Reimbold 등은 PMOSFET의 노쇠화를 dg_m/g_m 과 Q_g 의 관계로 설명하였으며 바이어스 전압에 따른 이 관계의 변화를 발표하였으며 구체적으로 수명시간 예측 모델을 정립하지 못하였다.⁶

본 논문에서는 논문 "Hot-Carrier로 인한 PMOSFET의 소자 수명시간 모델링 (I)"⁷에서 제안한 기판 전류에 의한 수명시간 예측 모델이 드레인 구조에 따라 각기 다른 모델링 식이 적용되는 문제점을 해결하기 위하여 게이트 전류에 의해 산화막 내로 주입된 총전하(Q_g)와 최대 전달 콘덕턴스의 변화량(dg_m/g_m)과의 관계로부터 PMOSFET의 수명시간을 예측하기 위한 새로운 모델을 제안하였다. 그리고, 제안한 모델의 간편성과 일반성을 보이기 위해 채널 구조 및 드레인 구조가 각기 다른 소자들을 측정하여 모델값과 측정값을 비교 분석하였다.

II. 게이트 전류에 의한 PMOSFET의 수명시간모델링

"Hot-Carrier로 인한 PMOSFET의 소자 수명시간

모델링 (I)"에서 hot-carrier효과에 의한 최대 전달 콘덕턴스 변화량($dg_m/g_m=(g_m(t)-g_m(0))/g_m(0)$)과 기판 내로 주입된 총전하(Q_g)의 관계로부터 PMOSFET의 수명시간을 NMOSFET와 같이 기판 전류에 대해 식 (1)과 같이 멱함수 관계로 표시할 수 있었다.¹⁷

$$\tau \propto I_b^{-m} \tag{1}$$

기판 전류를 이용한 수명시간 예측 모델은 채널 구조에는 상관없이 $m=1/(1-n)$ 으로 일정하였으나, S/D 구조인 경우에는 m 이 $1/(1-n)$ 이고, LDD 구조인 경우에는 m 이 $2/(1-2n)$ 으로 나타나게 되어 소자의 드레인 구조에 따라 m 값이 다르게 되어 각기 다른 모델링 식이 적용되는 문제점이 있었다.

이러한 문제점을 해결하기 위하여 PMOSFET의 소자 노쇠화를 Q_g 를 통하여 관측하고 Q_g 와 dg_m/g_m 관계로부터 게이트 전류에 의한 PMOSFET의 수명시간 예측 모델을 다음과 같이 제안하였다.

PMOSFET에서 hot-carrier로 인한 소자 노쇠화는 드레인 부근에서 생성된 hot electron이 산화막 내로 주입됨으로써 산화층에 포획된 전하 및 게이트 전류에 의해서 일어나게 되는데 이 두 가지 성분을 동시에 고려한 게이트로 주입되는 총 전하량을 관측하여 소자의 노쇠화 정도를 알 수 있다.

B. S. Doyle 등은 dg_m/g_m 이 스트레스 시간보다 주입된 총전하 Q_g 에 더 일치된 경향을 보이며, SC-PMOSFET는 dg_m/g_m 이 게이트, 드레인 전압에 상관없이 $Q_g I_g$ 에 대해서 하나의 직선으로 나타지만⁵, BC-PMOSFET의 경우에는 dg_m/g_m 이 $Q_g^{1.5} \cdot I_g$ 에 대해서 하나의 직선으로 나타남을 보였다.⁸

G. Reimbold⁶ 등은 dg_m/g_m 과 Q_g 의 관계가 인

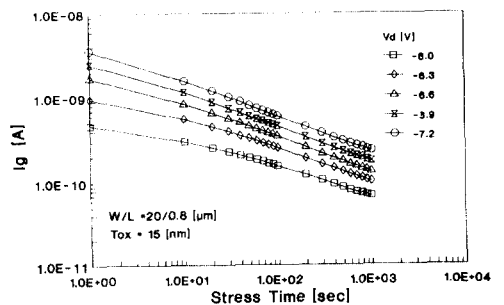


그림 1. SC-PMOSFET의 스트레스 시간에 따른 게이트 전류 특성

Fig. 1. Gate current versus stress time for SC-PMOSFET.

가되는 드레인 전압에 상관없이 항상 일정한 하나의 함수관계로 수렴됨을 보고하였는데, 일반적으로 소자의 수명시간을 정의하는 기준인 $dg_m/g_m=5\%$ 이내에서 수명시간을 구해야 할 것이다. 또한, $dg_m/g_m=10\%$ 의 조건은 채널의 최대 전계가 12MV/cm 이상되는 큰 드레인 전압이 인가되는 경우로 이때의 소자의 특성 변화가 hot electron에 의해서 전적으로 변했다고 보기 어려우므로 채널 전계를 6~10 MV/cm 정도가 되게 인가된 드레인 전압에서는 dg_m/g_m 과 Q_g 관계를 선형적인 관계로 표현할 수 있을 것이다.

그림 1은 스트레스 시간에 따른 게이트 전류(I_g)의 변화를 측정된 것으로 I_g 가 식(2)와 같이 스트레스 시간 t 에 대해 일정한 기울기 n 을 가지고 감소함을 보였다.

$$I_g = I_{g0} \cdot t^{-n} \tag{2}$$

이때, I_{g0} 는 스트레스를 인가하기 전의 게이트 전류이고, n 은 상수이다. 식 (2)로부터 스트레스 시간 t 초 동안 산화막 내로 주입되는 총전하(Q_g)는 다음과 같이 게이트 전류(I_g)를 t 초까지 적분하여 구할 수 있다.

$$Q_g = \int_0^t I_g dt = \int_0^t I_{g0} \cdot t^{-n} dt = \frac{I_{g0}}{1-n} \cdot t^{-n} \tag{3}$$

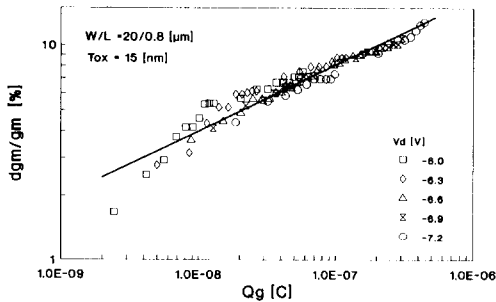


그림 2. SC-PMOSFET의 게이트 전류에 의한 총 전하(Q_g)에 대한 최대 전달 콘덕턴스 변화량(dg_m/g_m)의 변화

Fig. 2. dg_m/g_m versus Q_g for SC-PMOSFET.

PMOSFET의 소자 노쇠화를 Q_g 를 통하여 관측할 수 있다는 G.Reimbold 등이나, B. S. Doyle 등의 결과와 같이 식 (3)에서 구한 Q_g 와 측정으로부터 구한 dg_m/g_m 관계를 그림 2에 나타내었다. 그림 2에서 $dg_m/g_m=5\%$ 이내에서는 dg_m/g_m 과 Q_g 는 일직선으로 수렴함을 알 수 있으므로 $dg_m/g_m=5\%$ 되는 지점을 소자의 수명시간(τ)으로 설정하면, 이 때까지의 스

트레스 시간동안 주입된 Q_g 를 구할 수 있고 수명시간 τ 는 다음과 같이 된다.

$$\begin{aligned} \log \tau &= \frac{1}{1-n} (\log Q_g (1-n) - \log I_{g0}) \\ &= -m \log I_{g0} + \log(Q_g/m) \end{aligned} \tag{4}$$

여기서 $m(1/(1-n))$ 은 상수이며, 식 (4)로부터 NMOSFET에서와 같이 PMOSFET의 수명시간은 초기 게이트 전류 I_{g0} 를 측정하여 예측할 수 있음을 알 수 있다.

III. 결과 및 고찰

본 연구에서 제안한 게이트 전류를 이용한 수명시간 예측 모델링 식이 모든 PMOSFET에 적용할 수 있는지를 검증하기 위해 채널 구조가 다른 SC-PMOSFET와 BC-PMOSFET, 드레인 구조가 다른 S/D구조, LDD구조, 그리고 채널 길이가 다른 소자의 노쇠화 특성 및 수명시간을 측정하였다. 측정에 사용된 소자는 "Hot Carrier로 인한 PMOSFET의 소자 수명시간 모델링 (1)"에서 서술된 사용된 것과 같다.

1. 채널 구조가 다른 소자

PMOSFET의 소자 노쇠화를 Q_g 및 $Q_g I_g$ 에 의하여 관측하고, 이로부터 소자의 수명시간을 예측한 모델링 식 (4)의 이론값과 측정값을 비교, 분석하기 위해 S/D 구조 SC-PMOSFET 및 BC-PMOSFET의 노쇠화 및 수명시간을 다음과 같이 측정하였다.

그림 1은 소자의 채널 폭/채널 길이가 20/0.8 μ m인 SC-PMOSFET의 I_g 가 스트레스 시간에 따라 감소하는 것을 나타내는 것으로 n 은 0.35정도임을 알

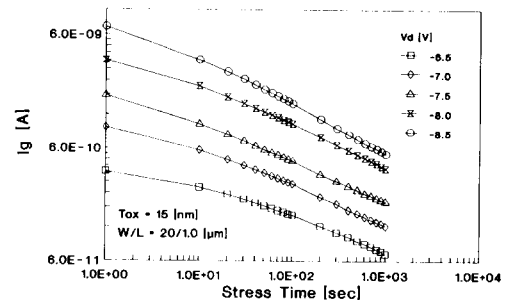


그림 3. BC-PMOSFET의 스트레스 시간에 따른 게이트 전류 특성

Fig. 3. Gate current versus stress time for BC-PMOSFET.

수 있다. 그림 1로부터 $V_{ds} = 6.0V \sim 7.2V$ 에서 n 값이 거의 일정한 것을 알 수 있는데, 이것은 G. Reimbold등의 연구 결과와도 비슷하다.^[5]

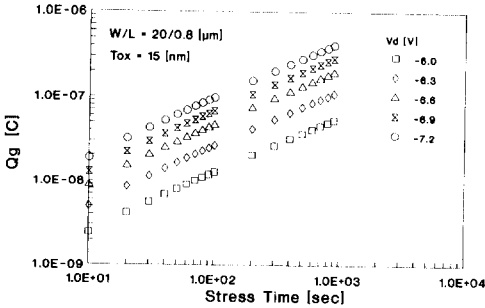


그림 4. SC-PMOSFET의 스트레스 시간에 따른 Q_g 의 변화

Fig. 4. Q_g versus stress time for SC-PMOSFET.

그리고, 그림 3은 소자의 채널폭/채널 길이가 $20/1.0\mu$ m인 BC-PMOSFET의 게이트전류가 SC-PMOSFET의 경우와 같이 스트레스 시간에 따라 감소함을 보였는데, n 은 0.33임을 알 수 있다. 그림 1이나 3과 같이 스트레스 시간에 따라 게이트 전류가 감소하는 것은 hot electron이 산화층에 포획되어 음전하를 띄게 되므로 채널의 수평 전계를 감소시켜 충격 이온화를 감소시키게 되고 이로 인해 게이트로 주입된 hot electron의 양이 감소 되기 때문이다. 이 hot electron에 의한 I_g 를 스트레스 시간동안 적분하여 나타낸 것(Q_g)이 그림 4와 같으며 Q_g 는 스트레스 시간에 따라 증가하게 된다. SC-PMOSFET의 n 값에 비하여 BC-PMOSFET의 n 값이 작은 것은 BC-PMOSFET가 hot carrier에 의한 소자 노쇠화가 작게 일어남을 보여주는 것이다.

소자의 노쇠화 정도 dg_m/g_m 과 Q_g 와의 관계를 구하기 위해 스트레스 시간에 따른 소자의 노쇠화 dg_m/g_m 을 그림 5에 나타내었다. 스트레스 시간이 증가할수록 $V_{ds}=6.0 \sim 7.2V$ 에서 측정된 스트레스 시간 동안에 거의 선형적으로 증가하는 것을 알 수 있다.

그림 5로부터 소자의 노쇠화로 인한 소자의 수명시간을 결정하는 기준인 $dg_m/g_m=5\%$ (그림5, 9에서 직선으로 표시)까지는 dg_m/g_m 이 스트레스 시간에 일직선으로 비례하므로 dg_m/g_m 과 Q_g 의 관계로부터 소자의 수명시간을 결정할 수 있다. 이런 Q_g 와 dg_m/g_m 과의 관계가 SC-PMOSFET의 경우는 그림 2와 같으므로 $dg_m/g_m=5\%$ 되는 지점의 $Q_g=2.1E-8$ C이고, 그

림 1에서 $n=0.35$ 이므로 식 (4)의 수명시간 관계식은 다음과 같이 쓸 수 있다.

$$\log \tau = -1.58 \log I_{g0} - 12.44 \quad (5)$$

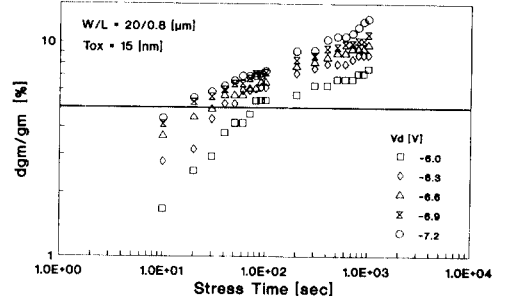


그림 5. SC-PMOSFET의 스트레스 시간에 따른 dg_m/g_m 의 변화

Fig. 5. dg_m/g_m versus stress time for SC-PMOSFET.

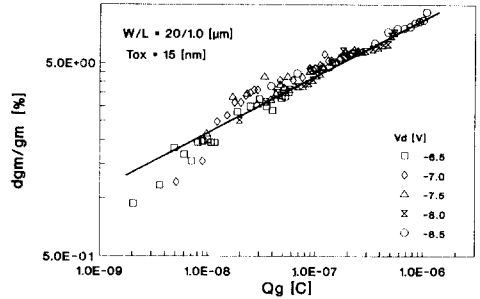


그림 6. BC-PMOSFET의 Q_g 에 대한 dg_m/g_m 의 변화

Fig. 6. dg_m/g_m versus Q_g for BC-PMOSFET.

그리고, BC-PMOSFET의 dg_m/g_m 과 Q_g 의 관계를 나타낸 그림 6으로부터 dg_m/g_m 이 5%될 때의 $Q_g=1.6E-17$ 임을 알 수 있고, 그림 3으로부터 $n=0.33$ 이므로 식 (4)의 수명시간은 다음과 같이 된다.

$$\log \tau = -1.493 \log I_{g0} - 10.4 \quad (6)$$

식 (5)와 (6)으로부터 PMOSFET의 수명시간은 $\tau \propto I_{g0}^{-m}$ 의 관계가 있음을 알 수 있으며 이것으로 소자의 노쇠화 정도를 Q_g 에 의하여 정의하여 표현할 수 있음을 알 수 있다. 그리고 식(5)와 (6)에서 구한 m 값은 T. Ong등이 PMOSFET의 수명시간을 측정으

로 구한 기울기와 거의 일치하는 것으로 본 연구의 타당성이 입증된다.¹³⁾

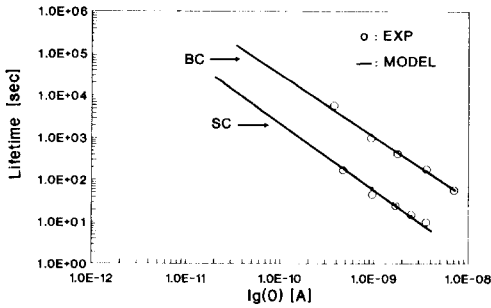


그림 7. 초기 게이트 전류에 대한 SC, BC-PMOSFET의 수명시간

Fig. 7. Lifetime versus initial gate current for SC, BC-PMOSFET.

식(5)와 (6)에 의하여 구하여진 이론적인 수명시간과 그림 5로부터 직접 구한 수명시간을 비교하여 그림 7에 나타내었다. 실선은 식 (5)와 (6)으로부터 구한 것이고 원으로 표시된 것은 실제로 측정된 값들이다. SC-PMOSFET나 BC-PMOSFET 모든 소자에 대해서 제시한 모델의 결과는 실제 측정에서 구한 것과 일치함을 알 수 있고 BC-PMOSFET의 수명시간이 SC PMOSFET보다 긴 것을 알 수 있다. 이것은 BC-PMOSFET가 SC-PMOSFET에 비해서 hot carrier 현상이 적게 나타나는 일반적인 결과와 일치하는 것이다.

2. 드레인 구조가 다른 소자

본 연구에서 제안한 모델의 일반성을 검토하기 위

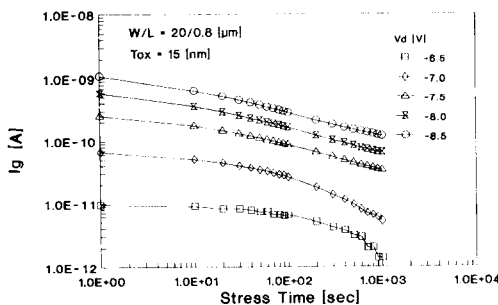


그림 8. LDD 구조 SC-PMOSFET의 스트레스 시간에 따른 Ig의 변화

Fig. 8. Ig versus stress time for LDD structured SC-PMOSFET.

하여 드레인 구조가 다른 PMOSFET에 대해서도 모델과 측정 결과를 비교, 분석하였다. 앞 절에서 S/D 구조의 측정 분석 결과를 나타냈으므로 이 절에서는 LDD구조의 PMOSFET에 대하여 모델의 타당성을 비교, 분석하였다.

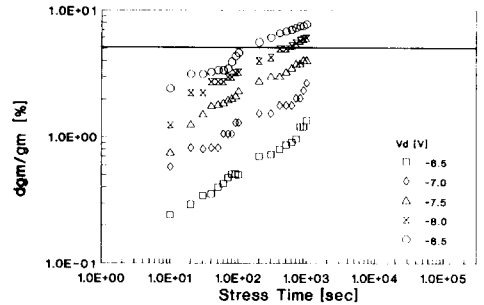


그림 9. LDD 구조 SC-PMOSFET의 스트레스 시간에 따른 dg_m/g_m의 변화

Fig. 9. dg_m/g_m versus stress time for LDD structured SC-PMOSFET.

그림 8과 9는 LDD구조 PMOSFET의 스트레스 시간에 따른 I_g와 dg_m/g_m을 나타낸 것으로 S/D구조와 같이 I_g는 스트레스 시간에 따라 일정한 기울기 n=0.325를 가지며 감소하는 멱함수로 표시할 수 있고 dg_m/g_m=5%까지는 dg_m/g_m이 드레인 전압에 상관없이 선형적으로 증가하는 것을 알 수 있다. 그리고 LDD구조의 n값이 S/D구조의 n에 비하여 작은 것을 알 수 있는데 이것은 LDD가 hot carrier에 의한 노쇠화가 적게 일어남을 의미하는 것이다. S/D구조에서와 같이 소자의 노쇠화 정도를 나타내는 dg_m/g_m과

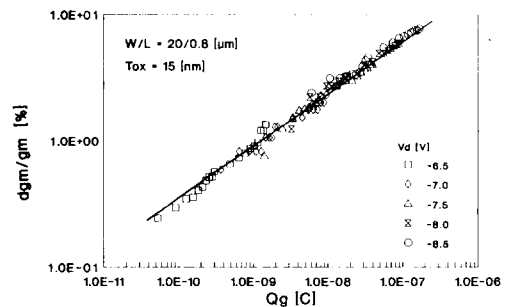


그림 10. LDD 구조 SC-PMOSFET의 Q_g에 대한 dg_m/g_m의 변화

Fig. 10. dg_m/g_m versus Q_g for LDD structured SC-PMOSFET.

Q_g 의 관계는 그림 10과 같으며 드레인 전압에 상관없이 하나의 함수로 표시되어지며 특히 $dg_m/g_m=5\%$ 이내에서는 dg_m/g_m 과 Q_g 가 일직선으로 비례함을 알 수 있다. 그림 10으로부터 $dg_m/g_m=5\%$ 되는 지점의 $Q_g=6E-8$ C와 그림 8의 n 값을 식 (4)에 대입하면 소자의 수명시간은 다음과 같이된다.

$$\log \tau = -1.477 \log I_{g0} - 10.92 \quad (7)$$

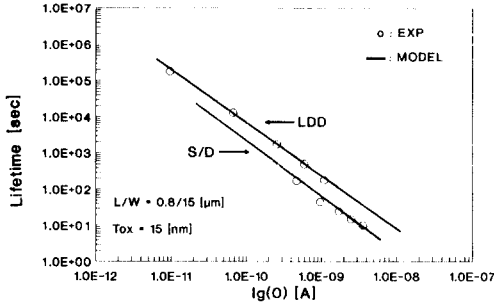


그림 11. 초기 게이트 전류에 대한 채널 구조가 다른 SC-PMOSFET의 수명시간

Fig. 11. Life time versus initial gate current for different channel structure SC-PMOSFET's.

식 (5)와 (7)로부터 구한 이론적인 수명시간과 그림 9로부터 구한 측정된 수명시간을 비교하여 그림 11에 나타내었다. 실선은 식 (5)와 (6)으로부터 구한 것이며, 원으로 표시한 것은 측정으로 구한 것이다. 그림 11로부터 본 연구에서 제시한 수명시간 예측 모델을 드레인 구조에 상관없이 일반적으로 사용할 수 있음을 알 수 있으며, LDD 구조의 소자가 S/D 구조의 소자에 비하여 수명시간이 긴 것을 알 수 있다. 이것은 LDD 구조의 소자일 때 hot carrier현상이 적게 일어남을 보여주는 것으로 다른 연구결과와도 일치하는 경향이다.

3. 채널 길이가 다른 소자

본 연구에서 제안한 모델의 일반성을 검토하기 위하여 채널 길이가 서로 다른 PMOSFET에 대해서도 모델과 측정 결과를 비교, 분석하였다. 사용된 소자는 LDD 구조의 SC-PMOSFET로써 채널 길이는 $L=1.0\mu m$, $L=0.8\mu m$ 이며 스트레스 조건은 게이트 전류가 최대로 흐르는 드레인 전압과 게이트 전압으로 하였으며 최대 수평 전계가 같은 드레인 전압을 사용

하였으므로 $1.0\mu m$ 와 $0.8\mu m$ 소자의 hot carrier에 의한 노쇠화는 같게 일어난다고 가정 할 수 있다.

I_g 와 스트레스 시간과의 관계로부터 $L=0.8\mu m$ 인 소자와 $L=1.0\mu m$ 인 소자에서 $n=0.325$ 정도이었다. 그리고 dg_m/g_m 과 Q_g 의 관계로부터 $L=0.8\mu m$ 인 소자에서는 $Q_g=6E-8$ C 이었으며 $L=1.0\mu m$ 인 소자에서는 $Q_g=5.0E-8$ C 이었다.

n 값과 Q_g 값을 식(4)에 대입하여 구한 이론적인 수명시간과 dg_m/g_m 과 스트레스 시간과의 관계로부터 구한 측정값의 수명시간을 그림 12에 나타내었다.

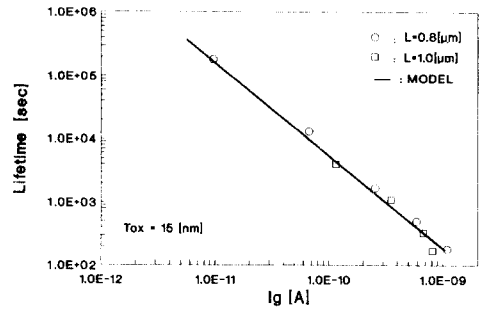


그림 12. 초기 게이트 전류에 대한 채널 길이가 다른 LDD구조 SC-PMOSFET의 수명시간

Fig. 12. Lifetime versus initial gate current for different channel length LDD structured SC-PMOSFET's.

그림 12로부터 채널 길이에 상관없이 거의 같은 $m=1.58$ 를 가지며 수명시간도 같음을 알수있다. 이것은 스트레스 인가시 hot carrier에 의한 소자 노쇠화가 거의 같게 일어날 수 있게 인가 전압 조건을 설정한 결과이며 이것으로부터 채널 길이가 다른 소자에서도 본 연구에서 제시한 모델이 적용될 수 있음을 의미한다.

V. 결론

본 연구에서는 게이트 전류를 측정하여 PMOSFET의 수명시간을 예측할 수 있는 간단하고 일반적인 수명시간 예측 모델을 제안하였으며, 측정을 통하여 이 모델의 타당성을 검증하였다.

dg_m/g_m 과 Q_g 의 관계로부터 PMOSFET의 수명시간을 정의한 결과, 소자의 수명시간은 게이트 전류와 멱함수 관계($\tau \propto I_g^m$)가 있음을 알 수 있었다. 그리고, 본 모델을 채널 구조가 다른 소자(SC-, BC-

PMOSFET)와 드레인 구조가 다른 소자(S/D, LDD)에 적용한 결과, 기판 전류를 이용한 소자 수명시간 예측 방법과는 달리 모든 소자에 대해서 동일한 모델을 적용할 수 있음을 알 수 있었다.

參 考 文 獻

- [1] F. Matsuoka, H. Iwai, H. Hayashida, K. Hama, Y. Toyoshima, and K. Maeguchi, "Analysis of hot-carrier-induced degradation mode on pMOSFET's," *IEEE Trans. on Electron Devices*, vol. ED-37, no. 6, pp. 1487-1495, 1990.
- [2] E. Takeda and N. Suzuki, "An empirical model for device degradation due to hot-carrier injection," *IEEE Electron Device Lett.*, vol. EDL-4, no. 4, pp. 111-113, 1983.
- [3] T. C. Ong, P. K. Ko, and C. Hu, "Hot-carrier modeling and device degradation in surface-channel pMOSFET's," *IEEE Trans. on Electron Devices*, vol. ED-37, no. 7, pp. 1658-1666, 1990.
- [4] T. Mogami, Lars E. G. Johansson, I. Sakai, and M. Fukuma, "Hot-carrier effects in surface-channel pMOSFET's with BF₂- or boron-implanted gates," in *IEDM Tech. Dig.*, pp. 533-536, 1991.
- [5] B. S. Doyle and K. R. Mistry, "A lifetime prediction method for hot-carrier degradation in surface-channel p-MOS devices," *IEEE Trans. on Electron Devices*, vol. ED-37, no. 5, pp. 1301-1307, 1990.
- [6] G. Reibold, P. S. Bonnet, and J. Gautier, "Correlation of total gate current fluence with PMOS degradation," in *IRPS Proc.*, pp. 270-275, 1990.
- [7] W. P. Jeong, to be published.
- [8] B. S. Doyle, K. R. Mistry, "A general gate-current P-MOS lifetime prediction method applicable to different channel structures," *IEEE Electron Device Lett.*, vol. EDL-11, pp. 547-548, 1990.

著 者 紹 介



鄭 羽 杓(正會員)

1967年 5月 26日生. 1991年 연세대학교 전자공학과(공학사). 1993年 연세대학교 전자공학과(공학석사). 1993年 현재 삼성전자 메모리 본부 연구원. 주 관심분야는 실리콘 소자 모델링 및 Reliability 등임.



柳 同 烈(正會員)

1967年 10月 26日生. 1990年 연세대학교 전자공학과(공학사). 1992年 연세대학교 전자공학과(공학석사). 1992年 현재 본 대학원 박사과정 재학중. 주 관심분야는 실리콘 소자 모델링 및 Reliability, Parameter extraction 등임.

金 鳳 烈(正會員) 第 25卷 第 1號 參照
현재 연세대학교 전자공학과 교수

朴 鐘 泰(正會員) 第 29卷 A編 第 7號 參照
현재 인천대학교 전자공학과 교수

梁 光 善(正會員) 第 28卷 A編 第 1號 參照
현재 금성 일렉트론 근무중