

論文93-30A-8-7

# Hot-Carrier로 인한 PMOSFET의 소자 수명시간 예측 모델링(I)

## (A Lifetime Prediction Modeling for PMOSFET degraded by Hot-Carrier (I))

鄭羽杓\*, 柳同烈\*, 梁光善\*\*, 朴鐘泰\*\*\*, 金鳳烈\*\*

(Woo Pyo Jeong, Dong Ryul Ryu, Kwang Sun Yang,  
Jong Tae Park and Bong Ryul Kim)

### 要約

본 연구에서는 기판 전류에 의해 기판 내로 주입된 총전하(Qb)와 최대 전달 콘덕턴스의 변화량(dgm/gm)과의 관계를 이용하여 측정된 초기 기판 전류로부터 PMOSFET의 수명시간을 예측할 수 있는 새로운 모델을 제안하였다. 제안한 모델을 각기 다른 채널 구조를 가진 PMOSFET에 적용해 본 결과, SC-PMOSFET와 BC-PMOSFET의 최대 전달 콘덕턴스의 변화량(dgm/gm)이 모두 기판 내로 주입된 총전하량(Qb)과 그 때의 기판 전류의 곱 QbIb에 대해서 하나의 직선으로 수렴하여, 채널 구조에 상관없이 같은 모델링 식이 적용됨을 알 수 있다. 그러나, 제안한 모델을 각기 다른 드레인 구조를 가진 SC-PMOSFET에 적용한 결과, S/D 구조 SC-PMOSFET와 달리 LDD 구조 SC-PMOSFET는 dgm/gm이 Qb에 대해 하나의 직선으로 수렴하여 드레인 구조에 따라 각기 다른 모델링 식이 적용됨을 알 수 있다.

### Abstract

In this paper, we present a new lifetime prediction model for PMOSFET by using the correlation between transconductance degradation and substrate current influence. The suggested model is applied to a different channel structured PMOSFET. dgm/gm of both SC-PMOSFET and BC-PMOSFET appear with one straight line about QbIb, therefore, this model is independent of channel structure. The suggested model is applied to a different drain structured SC-PMOSFET. Unlike S/D structured SC-PMOSFET, dgm/gm of LDD structured SC-PMOSFET appears with one straight line about Qb, therefore, this model is dependent of drain structure.

### 1. 서론

\*準會員, \*\*正會員, 延世大學校 電子工學科

(Dept. of Elec. Eng., Yonsei Univ.)

\*\*\*正會員, 仁川大學校 電子工學科

(Dept. of Elec. Eng., Incheon Univ.)

接受日字 1993年 3月 2日

MOSFET의 크기가 작아짐에 따라 채널 전계가 증가하게 되어 hot-carrier에 의한 소자의 노쇠화 현상이 VLSI의 한계를 결정짓게 되었다. 일반적으로 전자의 충격 이온화율이 홀에 비해서 크며 실리콘과

실리콘 산화막 사이의 전위 장벽이 전자에 대하여 더 낮으므로 NMOSFET의 hot-carrier 현상이 더 심각하게 되어 NMOSFET의 소자 노쇠화 현상 및 노쇠화 모델에 관하여 집중적으로 연구되어왔다.<sup>[1,2]</sup>

그러나 소자의 크기가 submicrometer 또는 deep-submicrometer인 CMOS 집적 회로에서는 hot-carrier현상에 의한 PMOSFET의 소자 노쇠화도 심각한 문제가 되었으며 VLSI의 한계를 결정지을 수 있는 중요한 요인이 되었다. 지금까지 hot-carrier에 의한 PMOSFET의 노쇠화 현상 및 노쇠화 모델에 관하여 많은 연구가 되어 왔으나 노쇠화 모델을 이용한 PMOSFET의 수명시간을 예측하기 위한 일반적이고 간단한 모델이 없다.

현재까지 연구 발표된 PMOSFET의 수명시간 예측 모델은 기판 전류와 게이트 전류를 이용한 방법이 있으나 기판 전류를 이용한 방법은 단순히 NMOSFET의 멱함수(Power Law Function) 관계식을 그대로 적용한 것으로 정확성 및 일반성에 문제가 있다.<sup>[3]</sup> 그리고 기존의 게이트 전류를 이용한 방법은 게이트 전류를 두가지 영역으로 나누어 소자의 수명시간을 정의하거나 일반적으로 수명시간을 결정하는 기준인  $dg_m/g_m$ 이 10% 이상의 노쇠화 영역을 고려하므로 모델의 적용이 쉽지않고 적용 방법과 소자 구조에 따라 모델 변수들의 편차가 크게 나타난다.<sup>[4]</sup>

PMOSFET에서 hot electron에 의한 충격이온화로 생긴 전자는 산화막 내로 주입된 전자와 기판으로 주입되는 전자의 합으로 표시될 수 있으므로 근본적으로는 게이트 전류나 기판 전류 중 하나로 소자의 수명시간을 예측할 수 있을 것이다. 단지 소자의 채널 구조나 드레인 구조 등에 따라서 소자의 수명시간을 예측할 수 있는 방법들이 다를 것이다.

본 연구에서는 게이트 전류에 의해 산화막 내로 주입된 총전하( $Q_b$ )와 최대 전달 콘덕턴스의 변화량( $dg_m/g_m$ )과의 관계를 발표한 B.S.Doyle 등<sup>[4]</sup>, G.Reimbold 등<sup>[5]</sup>의 결과를 기판 전류의 경우에 적용하여 기판 전류에 의해 기판 내로 주입되는 총전하( $Q_b$ )와  $dg_m/g_m$ 과의 관계를 이용하여 PMOSFET의 수명시간을 예측하기 위한 새로운 모델을 제안하였다. 그리고, 스트레스 시간에 따라 최대 전달 콘덕턴스 변화량( $dg_m/g_m$ )이 5%될 때까지 걸리는 시간을 측정하여 본 논문에서 제안한 모델링 식에 의해 구해진 값과 비교하고, 이 모델링 식을 채널 구조가 다른 각각의 PMOSFET와 드레인 구조가 각기 다른 SC-PMOSFET에 적용하여 그 결과들을 비교분석하였다.

## Ⅱ. 기판 전류에 의한 PMOSFET의 수명시간 모델링

NMOSFET에서 hot-carrier효과에 의한 최대 전달 콘덕턴스 변화량( $dg_m/g_m=(g_m(t)-g_m(0))/g_m(0)$ )은 스트레스 시간에 따라 거의 선형적으로 증가하므로 NMOSFET의 수명시간을 식 (1)과 같이 기판 전류에 대한 멱함수 관계로 표시할 수 있다.<sup>[6]</sup>

$$\tau \propto I_b^{-n} \quad (1)$$

PMOSFET의 경우는 충격 이온화로부터 발생한 EHP(Electron Hole Pairs)에 의해 생긴 전자의 대부분은 산화막 내로 주입되어 성능저하의 주된 원인이 되고, 그 일부는 기판으로 흘러 기판 전류가 된다. 이와 같이 생긴 게이트 전류와 기판 전류는 같은 원인에 의해 생성되기 때문에, 두 전류 성분은 일정한 비율을 가지고 동시에 생기게 된다.<sup>[7]</sup> 즉,  $I_g$ 가  $AI_b-m$ 이기 때문에, 기판 전류도 시간에 대해 멱함수 관계를 가지므로  $I_b$ 와  $I_g$ 의 관계로부터 PMOSFET의 소자노쇠화를  $I_g$ 에 의한  $Q_b$ 뿐만 아니라,  $I_g$ 에 비례하는  $I_b$ 에 의한  $Q_b$ 로써도 분석할 수 있을 것이다.

W.Weber 등<sup>[3]</sup>은 PMOSFET 성능 저하에 의한 수명시간을 NMOSFET와 마찬가지로  $I_b$ 에 의해 관측할 수 있음을 보였다. 그러나,  $I_b$ 로써 PMOSFET의 소자 수명시간을 예측함에 있어서 여러가지 문제가 있음이 또한 보고되었다.

본 논문에서는  $Q_b$ 와  $dg_m/g_m$ 과의 관계를 발표한 B.S.Doyle 등<sup>[4]</sup>, G.Reimbold 등<sup>[5]</sup>의 측정 결과를 기판 전류의 경우에 적용하여 기판 전류에 의해 기판 내로 주입되는 총전하( $Q_b$ )와  $dg_m/g_m$ 와의 관계를 이용하여 PMOSFET의 수명시간을 예측하기 위한 새로운 모델을 제안하였다.

### 1. $Q_b$ 에 의한 수명시간 예측 모델

그림 1은 스트레스 시간에 따른 기판 전류( $I_b$ )의 변화를 측정한 것으로  $I_b$ 가 식(2)와 같이 스트레스 시간  $t$ 에 대해 일정한 기울기  $n$ 을 가지고 감소함을 보였다.

$$I_b = I_{b0} \cdot t^{-n} \quad (2)$$

이때,  $I_{b0}$ 는 초기 기판 전류이고,  $n$ 은 기판 전류가 시간에 따라 감소하는 기울기이다. 임의의 시간  $t$ 동안 기판 내로 주입되는 총전하( $Q_b$ )는 다음과 같이 기

판 전류( $I_b$ )를  $t$ 까지 적분하여 구할 수 있다.

$$Q_b = \int_0^t I_b dt = \int_0^t I_{b0} \cdot t^{-n} dt = \frac{I_{b0}}{1-n} t^{1-n} \quad (3)$$

PMOSFET의 소자 노쇠화의 변수인  $dg_m/g_m$ 을  $Q_b$ 와의 관계로 나타내기 위하여 G.Reimbold 등의 최대 전달 콘덕턴스 변화량이  $Q_b$ 에 대해서 일직선으로 나타난다는 결과를 기관 전류에 의해 기관으로 주입된 총전하( $Q_b$ )에 적용하여 보았다.

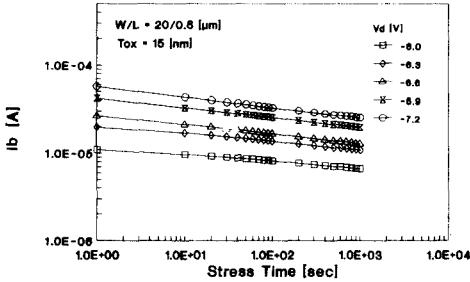


그림 1. SC-PMOSFET의 스트레스 시간에 따른 기관 전류 특성

Fig. 1. Substrate current versus stress time for SC-PMOSFET.

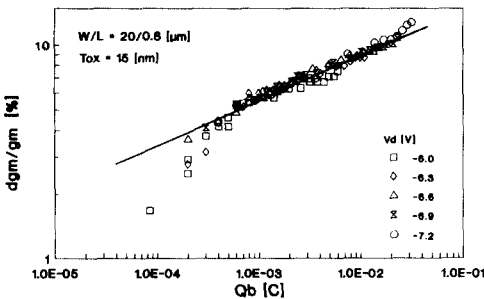


그림 2. SC-PMOSFET의 기관 전류에 의한 총전하( $Q_b$ )에 대한 최대 전달 콘덕턴스 변화량( $dg_m/g_m$ )의 변화

Fig. 2.  $dg_m/g_m$  versus  $Q_b$  for SC-PMOSFET.

그림 2에서  $dg_m/g_m$ 이 5% 될때 기관 내로 유입된 총전하를  $Q_b$ 라 하고, 이 때의 시간을 PMOSFET의 수명시간  $\tau$ 로 정의하면, 식 (3)은 식 (4)와 같이 된다.

$$\log \tau = -m(\log I_{b0} - \log Q_b(1-n)) \quad (4)$$

여기서  $m$ 은  $1/(1-n)$ 이고,  $Q_b$ 는 각 PMOSFET에 대한 고유한 상수값으로  $dg_m/g_m$ 이 5%일때 기관 전류에 의한 총전하이다. 이와 같은 결과는

NMOSFET의 수명시간이  $I_b$ 에 멱함수 관계가 있음과 마찬가지로, PMOSFET의 경우에도 수명시간이  $I_b$ 에 대해 멱함수 관계로 나타남을 보였다.

2.  $Q_b I_b$ 에 의한 수명시간 예측 모델

B. S. Doyle 등은  $dg_m/g_m$ 이  $Q_b I_b$ 에 대해 드레인 전압에 상관없이 하나의 직선으로 나타남을 보였는데, 이런 결과를 기관 전류의 경우에 적용하여 수명시간 예측 모델링 식을 얻을 수 있다.

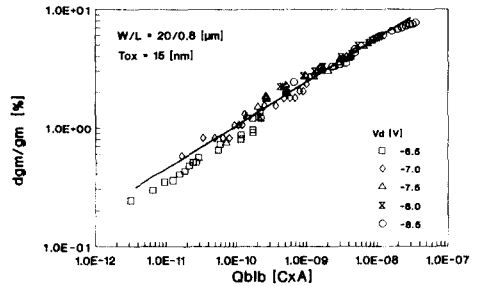


그림 3. LDD 구조 SC-PMOSFET의  $Q_b I_b$ 에 대한 최대 전달 콘덕턴스 변화량 ( $dg_m/g_m$ )의 변화

Fig. 3.  $dg_m/g_m$  versus  $Q_b I_b$  for LDD structured SC-PMOSFET.

그림 3과 같이  $dg_m/g_m$ 이  $Q_b I_b$ 에 대해서 하나의 직선으로 나타난다면, 식 (3)의  $Q_b$ 에 의한 모델링 식은 식 (5)와 같이 바뀌어야 할 것이다.

$$Q_b I_b = \frac{I_{b0}}{1-n} \cdot t^{1-n} I_{b0} \cdot t^{-n} \quad (5)$$

$dg_m/g_m$ 이 5% 일 때의 전하량과 기관 전류의 곱을  $Q_b I_b$ 로 정의하고, 이 때의 시간  $t$ 를 수명시간(가)으로 정의한다면, 식 (5)는 식 (6)과 같이 된다.

$$Q_b I_b = \frac{I_{b0}^2}{1-n} \cdot \tau^{1-2n} \quad (6)$$

여기서  $I_{b0}$ 는 초기 기관 전류이다.

식 (6)의 양변에 대수(log)를 취하면 식 (7)과 같이 쓸 수 있다.

$$\log \tau = -m \cdot \left( \log I_{b0} - \frac{1}{2} [(1-n) \cdot Q_b \cdot I_b] \right) \quad (7)$$

이때  $m$ 은  $2/(1-2n)$ 이다.

III. 결과 및 고찰

본 논문에서 제안한 hot-electron에 의한 PMOSFET의 소자 수명시간 예측 모델의 타당성을 검증하기 위해 소자의 드레인이 S/D(Single Drain) 구조와 LDD(Lightly Doped Drain)구조인 경우와 소자의 채널이 표면 채널형(SC-PMOSFET)와 매몰 채널형(BC-PMOSFET)을 사용하였다. 각 소자의 소자변수들은 표 1과 같다.

그리고 DC stress 조건은 worst case 인 조건으로 일정한 드레인 전압에서 게이트 전류가 최대로 흐르는 게이트 전압을 선택하였으며 stress 시간은 10<sup>3</sup> 초 까지로 하였다.

표 1. BC-PMOSFET와 SC-PMOSFET의 소자 변수

Table. 1. Device parameters of BC-PMOSFET and SC-PMOSFET.

	BC-PMOSFET		SC-PMOSFET	
소오스/드레인 구조	S/D 구조	LDD 구조	S/D 구조	
웨이퍼, 비저항 [ $\Omega\text{-cm}$ ]	p형, 8 - 10	p형, 10 - 15	p형, 6 - 9	
N-well 도핑 농도 [ $\text{cm}^{-3}$ ]	$3.0 \times 10^{18}$	$9.8 \times 10^{18}$	$1.0 \times 10^{18}$	
게이트 산화막 두께 [ $\text{\AA}$ ]	150	150	150	
게이트 구조	N <sup>+</sup> 다결정 실리콘 (POCl <sub>3</sub> 도핑)	P <sup>+</sup> 다결정 실리콘 (boron 이온 주입)		
채널 폭 [ $\mu\text{m}$ ]	20	15	20	
채널 길이 [ $\mu\text{m}$ ]	1.0	0.8	0.8	

본 연구에서 제안한  $Q_b$ 와  $Q_{bI_b}$ 에 의한 소자 수명시간 예측 모델의 정확한 적용을 위하여 채널 구조와 드레인 구조가 다른 소자에 적용하여 다음과 같이 비교 분석하였다.

1. 채널 구조가 다른 소자

본 연구에서 제안한 PMOSFET의 수명시간 예측 모델이 SC-PMOSFET와 BC-PMOSFET에 적용 가능한 지를 알아보기 위하여 채널 구조가 다른 소자들의 노쇠화 특성 및 수명시간을 측정, 분석하였다.

앞 장의 그림 1은 소자의 채널폭/채널길이가 20/0.8 $\mu\text{m}$ 인 SC-PMOSFET의  $I_b$ 가 스트레스 시간에 따라 각각 드레인 전압에 의존하며, 식 (1)과 같이 일정한 기울기 n ( $I = At^n$ )을 가지고 감소하는 여러 개의 직선으로 나타남을 보였다. 이때 드레인 전압에 상관없이  $I_b$ 의 기울기 n은 0.101 정도임을 알 수 있다.

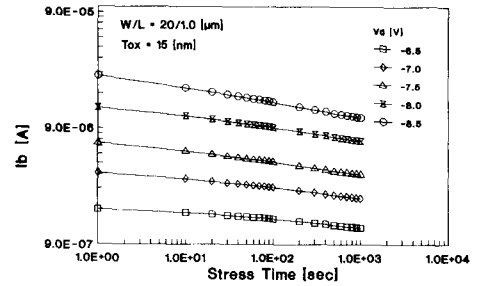


그림 4. BC-PMOSFET의 스트레스 시간에 따른 기판 전류 특성  
Fig. 4. Substrate current versus stress time for BC-PMOSFET.

그림 4는 채널폭/채널 길이가 20/1.0 $\mu\text{m}$ 인 BC-PMOSFET의 기판 전류가 SC-PMOSFET의 경우와 같이 식(1)을 만족하며 스트레스 시간에 따라 감소함을 보였다. 이때 n은 0.092로써 SC-PMOSFET의 n값에 비해 약간 작음을 알 수 있다.

그림 1과 4에서와 같이 스트레스 시간에 따라  $I_b$ 가 감소하는 것은 스트레스가 인가되는 동안에 생성된 hot electron이 게이트 산화막 내로 주입되어 산화층에 음전하를 형성하게 되고 이 음전하는 채널의 수평 전계를 감소시키기 때문이다. 많은 연구 결과에서 hot electron에 의한 PMOSFET의 소자 노쇠화를 게이트 산화막 내에 포획된 전자(Not)에 의한 것으로 노쇠화 모델을 설명하였으나, 본 연구에서는 Not에 의하여  $I_b$ 가 감소하게 되므로 스트레스 시간 동안  $I_b$ 에 의하여 기판 내로 주입된 전하량( $Q_b$ )으로 소자의 노쇠화를 설명하며  $Q_b$ 를 이용하여 소자의 수명시간을 예측하기 위한 모델을 제안하고자 한다.

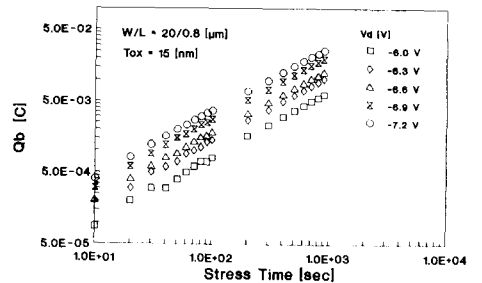


그림 5. SC-PMOSFET의 스트레스 시간에 따른  $Q_b$ 의 변화  
Fig. 5.  $Q_b$  versus stress time for SC-PMOSFET.

그림 5는 스트레스 시간에 따른 기판으로 흐르는 총전하  $Q_b$ 의 변화를 보인 것으로,  $Q_b$ 는 스트레스 시간에 대해 멱함수를 가지며 증가함을 보인다. 즉,  $Q \propto t^m$ 이다.

MOSFET의 소자 노쇠화 정도를  $dg_m/g_m$ ,  $\Delta V_T$ ,  $dI_d/I_{d0}$ 등으로 표시할 수 있는데, 그림 6에서 스트레스 시간에 따른  $dg_m/g_m$ 를 나타낸 것으로 스트레스 시간에 따라  $dg_m/g_m$ 이 증가하며 드레인 전압이 클수록  $dg_m/g_m$ 은 큰 값을 가짐을 알 수 있다.

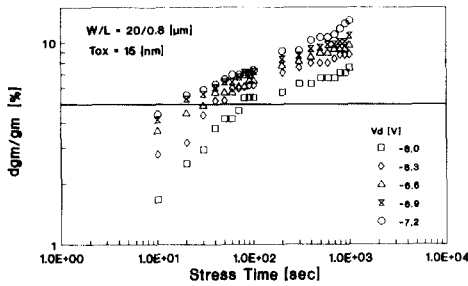


그림 6. SC-PMOSFET의 스트레스 시간에 따른  $dg_m/g_m$ 의 변화

Fig. 6.  $dg_m/g_m$  versus stress time for SC-PMOSFET.

그림 5와 6으로부터  $Q_b$ 와  $dg_m/g_m$ 은 스트레스 시간에 따라 선형적으로 증가하므로  $Q_b$ 와  $dg_m/g_m$ 의 상호 관계를 구할 수 있다.

앞 장의 그림 2는 SC-PMOSFET의  $dg_m/g_m$ 와  $Q_b$ 의 관계를 나타낸 것이며 그림 7은  $dg_m/g_m$ 과  $Q_b I_b$ 의 관계를 나타낸 것이다. 그림 2에서는  $dg_m/g_m$ 와  $Q_b$ 의 관계가 드레인 전압에 상관없이 하나의 직선으로 수렴됨을 알 수 있으나, 그림 7에서는  $dg_m/g_m$ 과

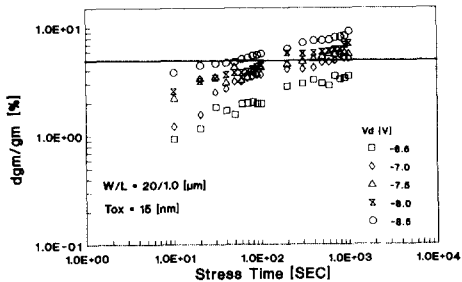


그림 7. SC-PMOSFET의  $Q_b I_b$ 에 대한 최대 전달 콘덕턴스 변화량( $dg_m/g_m$ )의 변화

Fig. 7.  $dg_m/g_m$  versus  $Q_b I_b$  for SC-PMOSFET.

$Q_b I_b$ 의 관계가 하나의 직선으로 수렴되지 않음을 알 수 있다. 이런 결과로부터 그림 2와 같이  $dg_m/g_m$ 을  $Q_b$ 로 표시하므로 소자의 노쇠화 정도를 알아볼 수 있으며 앞 장에서 제시한 수명시간의 예측도 그림 2의 관계로부터 구할 수 있음을 알 수 있다.

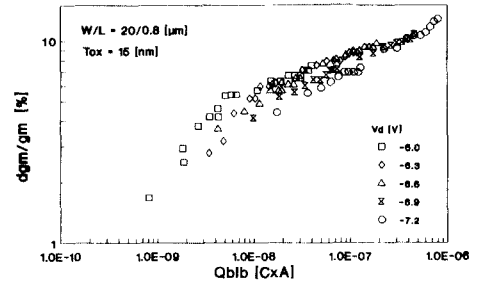


그림 8. BC-PMOSFET의  $Q_b$ 에 대한 최대 전달 콘덕턴스 변화량( $dg_m/g_m$ )의 변화

Fig. 8.  $dg_m/g_m$  versus  $Q_b$  for BC-PMOSFET.

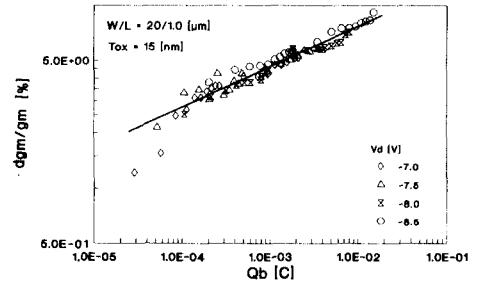


그림 9. BC-PMOSFET의 스트레스 시간에 따른  $dg_m/g_m$ 의 변화

Fig. 9.  $dg_m/g_m$  versus stress time for BC-PMOSFET.

그림 8은 SC-PMOSFET와 마찬가지로 BC-PMOSFET의  $dg_m/g_m$ 이 채널 구조에 상관없이  $Q_b$ 에 대해 하나의 직선으로 수렴함을 보인다. 이런 측정 결과는 채널 구조에 상관없이 수명시간의 기울기  $m$ 이  $1/(1-n)$ 인 같은 모델링 식이 적용될 수 있음을 의미한다. 그림 6과 9에서 직선으로 나타낸  $dg_m/g_m=5\%$ 일 때의 스트레스 시간을 수명시간  $\tau$ 로 정의하면 그림 2와 8로부터  $\tau$ 에서  $Q_b$ 의 값을 구할 수 있으며 결국 식 (4)로 표현할 수 있게 되어 기판 전류의 초기값  $I_{b0}$ 에 따라 수명시간이 결정되는 멱함수 관계식으로 나타낼 수 있게 된다. 그림 2와 8에서  $dg_m/g_m$ 이 5%되는 점의 기판 전류에 의한  $Q_b$ 는  $6.0E-4C$ 과  $1.8E-4C$ 이다. 이런 측정 결과에 의해  $Q_b$

를 이용한 모델링 식 (4)에  $Q_b$ 와 그림 1과 4로부터 구한  $n$ 의 값을 대입하면 SC-PMOSFET와 BC-PMOSFET의 수명시간 모델링 식은 식 (8), (9)와 같이 된다.

$$\log \tau = -1.11 \log I_{b0} - 3.635 : SC - PMOSFET \quad (8)$$

$$\log \tau = -1.1 \log I_{b0} - 3.069 : BC - PMOSFET \quad (9)$$

그림 10은 본 논문에서 제안한 모델링 식 (8)과 (9)로부터 구한 PMOSFET 수명시간과 그림 6과 9에서 측정에 의해 바로 구한 수명시간을  $I_{b0}$ 에 대해 나타낸 것이다.

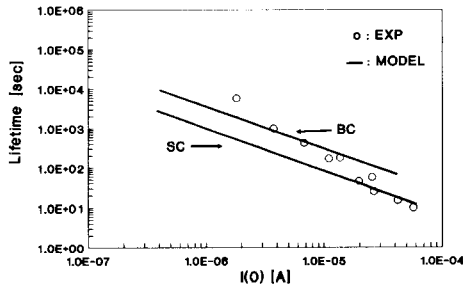


그림 10. 초기 기판 전류에 대한 SC, BC-PMOSFET의 수명시간

Fig. 10. Lifetime versus initial substrate current for SC, BC-PMOSFET.

본 논문에서 제안한  $Q_b$ 에 의한 모델링 식에 의해서 구한 수명시간을 측정에 의해 구한 수명시간과 비교해 본 결과, 서로 일치함을 알 수 있는데 이것으로 본 모델의 타당성을 확인할 수 있다. 그리고 그림 10으로부터 BC-PMOSFET의 수명시간이 SC-PMOSFET보다 길게 나타났는데, 이것은 BC-PMOSFET가 hot-carrier효과에 의한 소자의 노쇠화가 작게 일어남을 의미하는 것으로 지금까지 보고 되어온 것과 일치한다. 그림 10의 결과로  $Q_b$ 에 의한 PMOSFET의 수명시간 예측 모델은 PMOSFET의 채널 구조에 상관없이 측정치와 일치함을 알 수 있고 스트레스를 가하기 전의 초기  $I_b$ 를 측정하므로 소자의 수명시간을 예측할 수 있다.

2. 드레인 구조가 다른 소자

본 연구에서 제안한  $Q_b$  및  $Q_{bIb}$ 에 의한 PMOSFET의 수명시간 예측 모델이 드레인 구조에 따라서 어떻

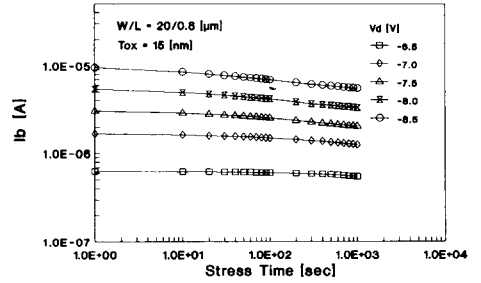


그림 11. LDD 구조 SC-PMOSFET의 스트레스 시간에 따른 기판 전류 특성

Fig. 11. Substrate current versus stress time for LDD structured SC-PMOSFET.

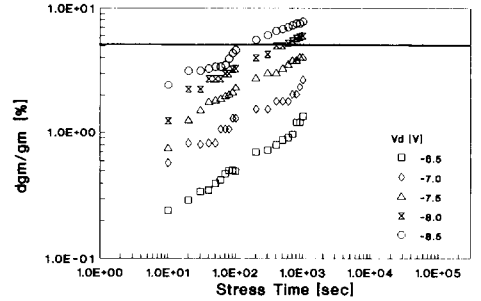


그림 12. LDD 구조 SC-PMOSFET의 스트레스 시간에 따른 dg<sub>m</sub>/g<sub>m</sub>의 변화

Fig. 12. dg<sub>m</sub>/g<sub>m</sub> versus stress time for LDD structured SC-PMOSFET.

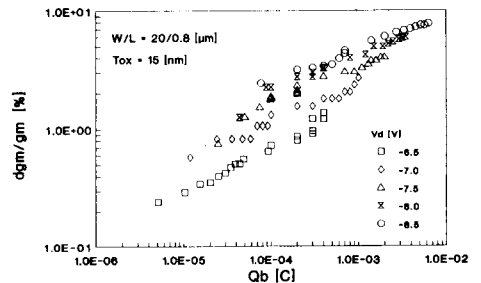


그림 13. LDD 구조 SC-PMOSFET의  $Q_b$ 에 대한 최대 전달 콘덕턴스 변화량 ( $dg_m/g_m$ )의 변화

Fig. 13. dg<sub>m</sub>/g<sub>m</sub> versus  $Q_b$  for LDD structured SC-PMOSFET.

게 적용할 수 있는지를 비교. 분석하기 위해 LDD 구조 SC-PMOSFET의 수명시간을 측정하고 모델과 비교. 분석하였다.

그림 11은 LDD 구조 PMOSFET의 스트레스 시간에 따른  $I_b$ 를 나타낸 것으로 S/D구조와 같이  $I_b$ 가 스트레스 시간에 대해 일정한 값  $n=0.071$ 를 가진 멱함수 관계로 나타남을 보인다. LDD구조의  $n$  값이 S/D구조의 경우보다 작음을 알 수 있는데 이것은 LDD 구조가 hot carrier 영향을 적게 받음을 의미한다.

그림 12는 스트레스 시간에 따른  $dg_m/g_m$ 의 증가를 드레인 전압에 따라 나타낸 것으로 각 드레인 전압 조건에서 수명시간( $dg_m/g_m = 5\%$ 일 때의 시간)을 구할 수 있다.

LDD 구조 SC-PMOSFET의  $Q_b$ 와  $dg_m/g_m$  관계를 S/D 구조에서와 같이 나타낸 결과. 그림 13과 같이  $dg_m/g_m$ 과  $Q_b$  관계가 하나의 직선으로 수렴하지 않고 드레인 전압에 따라 평행 이동된 결과를 보였다. 그림 3은 LDD 구조 SC-PMOSFET의 기판 전류에 의한 총전하( $Q_b$ )에 대한  $dg_m/g_m$ 의 관계를 나타낸 것으로, S/D 구조 SC-PMOSFET와는 달리,  $dg_m/g_m$ 이  $Q_b I_b$ 에 대해서 드레인 전압에 상관없이 하나의 직선으로 나타났다. 그림 3에서  $dg_m/g_m$ 이 5% 되는 점의  $Q_b I_b$ 는  $9 E^{-9} C$ 이다. 그림 3의 결과로 LDD 구조의 PMOSFET의 수명시간 예측 모델은  $Q_b$ 에 의한 것보다  $Q_b I_b$ 에 의하여 예측할 수 있음을 의미하므로 식 (7)에  $Q_b I_b$ ,  $n$  값을 대입하면 식 (10)과 같이 수명시간을 나타낼 수 있을 것이다.

$$\log \tau = -2.33 \log I_{b0} - 9.415 \quad (10)$$

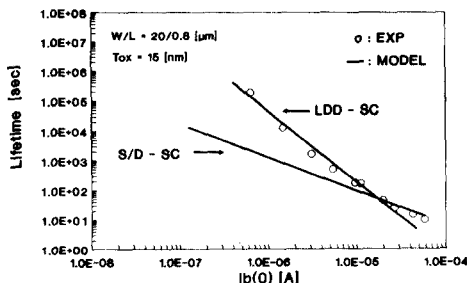


그림 14. 초기 기판 전류에 대한 채널 구조가 다른 SC-PMOSFET의 수명시간  
Fig. 14. Lifetime versus initial substrate current for different channel structure SC-PMOSFET's.

그림 14는  $Q_b I_b$ 를 이용한 모델링 식에 의해서 구한 LDD 구조 SC-PMOSFET 수명시간을  $Q_b$ 를 이용한 모델링 식에 의해서 구한 S/D 구조 SC-PMOSFET 수명시간과 비교한 것이다.

그림 14에서 실선은 모델에 의한 이론적인 값이며 원으로 표시한 점들은 측정에 의한 실험값으로 LDD 구조의 PMOSFET는  $Q_b I_b$ 에 의한 수명시간 예측 모델이 정확함을 의미하며 S/D구조 SC-PMOSFET와 마찬가지로 LDD구조 SC-PMOSFET도  $I_b$ 로 간단히 수명시간을 예측할 수 있음을 의미한다. 그러나, 소자의 수명시간을 예측함에 있어서 소자의 구조에 따라  $n$  값은 거의 같으나,  $m$  값은 큰 차이를 보이므로 LDD 구조가 S/D구조보다 수명시간이 길게 된다. 이것은 LDD 구조가 S/D 구조에 비하여 hot carrier 효과에 의한 노쇠화가 적게 일어남을 나타낸 것으로 지금까지의 다른 연구 결과와도 일치한다. 결국, LDD 구조 PMOSFET는 소자의 노쇠화를  $Q_b I_b$ 에 의해 설명할 수 있으며 이것을 이용한 수명시간 예측 모델이  $Q_b$ 에 의한 것보다 정확함을 알 수 있다.

S/D구조 SC-PMOSFET의 경우에는 기울기  $m$ 이  $1/(1-n)$ 이고, LDD구조 SC-PMOSFET의 경우에는  $m$ 이  $2/(1-2n)$ 인 각기 다른 모델링 식이 적용되었기 때문에 그림 14에서와 같이 기울기가 큰 차이를 보이며 두 직선이 서로 평행하게 나타나지 않았다. 그러므로 드레인 구조가 각기 다른 PMOSFET는 소자의 수명시간을 예측함에 있어서 서로 다른 모델링 식이 적용되는 문제점이 생기게 된다.

## V. 결론

본 연구에서는 PMOSFET의 수명시간을 예측하기 위하여 기판 전류를 이용한 새로운 수명시간 예측 모델을 제안하였다. 측정을 통하여 모델링 식에 의해 계산된 값과 측정값을 비교. 분석하였다.

제안한 모델을 서로 다른 채널 구조에 적용하여 분석한 결과, 기판 전류에 의한 총전하  $Q_b$ 에 대한 최대 전달 콘덕턴스 변화량( $dg_m/g_m$ )은 S/D 구조 SC-PMOSFET와 BC-PMOSFET 모두  $Q_b$ 에 대해서  $dg_m/g_m$ 이 일직선으로 나타나게 되어 채널 구조에 상관없이 하나의 모델링 식으로 PMOSFET의 수명시간을 예측할 수 있음을 알 수 있다.

제안한 모델을 서로 다른 드레인 구조에 적용하여 분석한 결과, LDD 구조 SC-PMOSFET는 S/D 구조 SC-PMOSFET의 경우와 달리,  $dg_m/g_m$ 이  $Q_b I_b$ 에 대해서 일직선으로 나타났다. 이것은 LDD 구조의 경우는 S/D 구조와 다른 수명시간 예측 모델링

식이 적용됨을 의미하는 것으로 기판 전류에 의한 수명시간 예측 방법은 모든 소자에 동일한 모델이 적용되는 일반성이 없다.

이상의 결론으로, 초기 기판 전류의 값만 안다면, 본 논문에서 제안한 기판 전류를 이용한 수명시간 모델링 식을 이용하여 그 소자의 수명시간을 예측할 수 있으나, 드레인 구조에 따라 각기 다른 모델링 식이 적용되는 문제점이 있었다. 이러한 문제점을 해결하기 위해 게이트 전류를 이용한 수명시간 예측 방법에 대해 연구하여 보았다.

參考文獻

[1] F. Matsuoka, H. Iwai, H. Hayashida, K. Hama, Y. Toyoshima, and K. Maeguchi, "Analysis of hot-carrier-induced degradation mode on pMOS-FET's," *IEEE Trans. on Electron Devices*, vol. ED-37, no. 6, pp. 1487-1495, 1990.

[2] E. Takeda and N. Suzuki, "An empirical model for device degradation due to hot-carrier injection," *IEEE Electron Device Lett.*, vol. EDL-4, no. 4, pp. 111-113, 1983.

[3] W. Weber and F. Lau, "Hot-carrier

drifts in submicrometer p-channel MOSFET's." *IEEE Electron Device Lett.*, vol. EDL-8, no. 5, pp. 208-210, 1987.

[4] B. S. Doyle and K. R. Mistry, "A lifetime prediction method for hot-carrier degradation in surface-channel p-MOS devices," *IEEE Trans. on Electron Devices*, vol. ED-37, no. 5, pp. 1301-1307, 1990.

[5] G. Reimbold, P. S. Bonnet, and J. Gautier, "Correlation of total gate current fluence with PMOS degradation," in *IRPS Proc.*, pp. 270-275, 1990.

[6] C. Hu, "Hot-carrier effects," in *Advanced MOS Device Physics*, N. G. Einspruch and G. Sh. Gildenblat, eds. New York : Academic Press, p. 119, 1989.

[7] C. Hu, S. C. Tam, F. C. Hsu, P. K. Ko, T. Y. Chan, and K. W. Terril, "Hot-electron-induced MOSFET degradation - model, monitor, improvement," *IEEE Trans. on Electron Devices*, vol. ED-32, no. 2, pp. 375-385, 1985.

著者紹介



鄭羽杓(正會員)  
1967년 5월 26일생. 1991년 연세대학교 전자공학과(공학사). 1993년 연세대학교 전자공학과(공학석사). 1993년 현재 삼성전자 메모리본부 연구원. 주 관심분야는 실리콘 소자 모델링 및 Reliability 등임.



柳同烈(正會員)  
1967년 10월 26일생. 1990년 연세대학교 전자공학과(공학사). 1992년 연세대학교 전자공학과(공학석사). 1992년 현재 본 대학원 박사과정 재학중. 주 관심분야는 실리콘 소자 모델링 및 Reliability, Parameter extraction 등임.

金鳳烈(正會員) 第 25卷 第 1號 參照  
현재 연세대학교 전자공학과 교수

朴鐘泰(正會員) 第 29卷 A編 第 7號 參照  
현재 인천대학교 전자공학과 교수

梁光善(正會員) 第 28卷 A編 第 1號 參照  
현재 금성 일렉트론 근무중