

論文93-30A-8-5

# 열처리 조건이 PECVD 방식으로 증착된 Ta<sub>2</sub>O<sub>5</sub> 박막 특성에 미치는 영향

## (Effect of Annealing Conditions on Ta<sub>2</sub>O<sub>5</sub> Thin Films Deposited By PECVD System)

白鎔求\*, 殷庸碩\*, 朴泳震\*, 金鍾哲\*, 崔壽漢\*

(Yong Ku Baek, Yong Suk Eun, Young Jin Park, Jong Choul Kim, and Soo Han Choi)

### 要約

본 논문은 Tantalum Ethylate(Ta(C<sub>2</sub>H<sub>5</sub>O)<sub>5</sub>)와 Nitrou Oxide (N<sub>2</sub>O) 반응 원료를 이용하여 PECVD 방식으로 증착된 Ta<sub>2</sub>O<sub>5</sub> 박막에 대해서 열처리 조건에 따른 특성변화를 살펴보았다. Ta<sub>2</sub>O<sub>5</sub> 박막은 약 700℃ 부근에서 증착직후의 비정질상이 다결정질상으로 변하며, 열처리 온도가 증가할 수록 굴절율, 유전 수 및 누설전류가 증가한다. 반면 O<sub>2</sub> 분위기에서 열처리 된 Ta<sub>2</sub>O<sub>5</sub> 박막은 계면 SiO<sub>2</sub>를 성장시키며 누설전류 유전상수를 감소시킨다. 따라서 적절한 열처리 온도와 분위기를 유지하면 10<sup>-8</sup>A/cm<sup>2</sup>이하의 저누설전류와 9fF/9μ m<sup>2</sup> 이상의 높은 충전용량을 확보할 수 있다.

### Abstract

Effect of high temperature annealing conditions on Ta<sub>2</sub>O<sub>5</sub> thin films was investigated. Ta<sub>2</sub>O<sub>5</sub> thin films were deposited on P-type silicon substrates by plasma-enhanced chemical vapor deposition(PECVD) using tantalum ethylate, Ta(C<sub>2</sub>H<sub>5</sub>O)<sub>5</sub>, and nitrous oxide, N<sub>2</sub>O. The microstructure changed from amorphous to polycrystalline above 700℃ annealing temperature. The refractive index, dielectric constant and leakage current of the film increased as annealing temperature increased. However, annealing in oxygen ambient reduced leakage currents and dielectric constant due to the formation of interfacial SiO<sub>2</sub> layer. By optimizing annealing temperature and ambient, leakage current lower than 10<sup>-8</sup> A/cm<sup>2</sup> and maximum capacitance of 9 fF/μm<sup>2</sup> could be obtained.

### 1. 서론

DRAM과 같은 고집적 기억소자에서 정보를 저장하는 캐퍼시터(Capacitor)는 a-particle에 의한 Soft Error등을 고려할때 적어도 150~200fC의 충

전용량(Capacitance, Qs)이 요구된다. 그러나 소자가 점점 고집적화 됨에 따라 소자의 면적이 작아지고 이에 따른 캐퍼시터의 면적이 축소되어 정전용량이 감소한다. 더우기 고집적 소자의 동작 전압 감소는 충전용량의 확보를 더욱 어렵게 만들고 있다. 따라서 제한된 면적에서 소자 동작에 필요한 충전용량(Qs)의 확보는 고집적 소자 기술의 주요 현안으로 대두되고 있다. 이에 따라 캐퍼시터 면적을 증대시키거나 절연막의 박막화 또는 고유전율 박막의 사용등으로 충전

\* 正會員, 現代電子産業(株)

(Hyundai Electronics Industries Co., Ltd.)

接受日字 1993年 2月 4日

용량을 확보하려는 시도가 있어왔다. 캐퍼시터의 면적 증가는 FIN<sup>[1]</sup> 또는 CYLINDER<sup>[2]</sup> 구조와 같은 입체축전 구조를 이루거나 캐퍼시터 전극으로 사용되는 다결정 실리콘 막의 표면에 요철을 주는 HSG (Hemi-Spherical Grain) 공정을 통해 가능하다.<sup>[3]</sup> 그러나 입체축전 구조의 경우 공정이 복잡하고 Topology가 심해짐에 따라 Pattern 형성 및 식각 공정에 많은 어려움이 예상되어 절연막의 누설전류 (Leakage Current)가 증가하고 신뢰도가 저하될뿐 아니라 아직 Uniformity 등도 좋지않아 실제 생산에 적용하기에는 많은 문제가 있다. 한편, 절연막의 박막화는 ONO (Oxide-Nitride-Oxide) 적층 구조에서 두께를 감소시키기 위해 자연산화막을 이용하는 NO 구조로 박막화가 이루어졌으나, NO 구조 역시 SiO<sub>2</sub> 두께로 환산된 Effective Thickness 50Å이 그 물리적 한계라고 보고되고 있다.<sup>[7]</sup> 이와 같은 이유로 비교적 파괴전계(Break Out)가 높은 Ta<sub>2</sub>O<sub>5</sub>, PZT, SrTiO<sub>3</sub>와 같은 고유전 절연막이 초고집적 기억소자의 새로운 충전 절연막으로써 기대되고, 많은 연구가 진행중에 있다.<sup>[8-10]</sup> 특히 Ta<sub>2</sub>O<sub>5</sub>는 고유전율 특성에 비해 높은 파괴전계를 갖고 있는 것으로 알려져, 차기 고집적 소자인 64MDRAM, 256MDRAM의 충전 절연막으로 적용 가능한 유력한 물질로 예상되고 있다. Ta<sub>2</sub>O<sub>5</sub> 박막은 Reactive Sputtering 방식<sup>[11]</sup>, Plasma Enhanced Chemical Vapor Deposition (PECVD)<sup>[12]</sup> 또는 Ta화합물(Tantalum Compound) Chemical을 이용하는 Photo CVD 방식<sup>[13]</sup> 등으로 형성하고 있다. 또한 3차원 충전구조에 적용을 위하여 고평복성이 가능한 저압 화학 기상 증착(Low Pressure Chemical Vapor Deposition, LPCVD) 방식으로 Ta<sub>2</sub>O<sub>5</sub> 박막을 형성하기도 한다.<sup>[14]</sup> 그러나 대부분의 연구 결과는 Ta<sub>2</sub>O<sub>5</sub> 박막이 형성방법에 크게 좌우되지않고 기억소자에 적용하기 어려울 정도로 높은 누설전류의 특성을 보이고 있어, 이의 개선을 위해 많은 연구가 진행되고 있다. 특히 S. Roberts<sup>[15]</sup> 등은 열처리 (Annealing)에 의해서 증착 초기(As Deposition) 상태의 비정질구조가 결정화되며 결정입계(Grain Boundary)에 홈(Groove) 과 같은 Micropore 혹은 Crack이 발생하여 누설전류가 증가하는 것으로 보고하였다. 그리고 Y. Nishioka<sup>[16]</sup> 는 Reactive Sputtering 방법으로 형성한 Ta<sub>2</sub>O<sub>5</sub> 박막의 경우 800℃의 고온 열처리에서도 비정질 구조를 계속 유지하며 계면에 SiO<sub>2</sub> 층(Layer)이 형성되어 누설전류가 감소하였다고 보고하였다. 이와 같은 보고들에 의해서 반도체 소자의 제조 과정에서 필연적으로 겪게되는 열처

리 공정에 의해 Ta<sub>2</sub>O<sub>5</sub>가 결정화되어 이에 따른 Ta<sub>2</sub>O<sub>5</sub>의 전기적 특성의 열화가 Ta<sub>2</sub>O<sub>5</sub>의 단점으로 인식되어 왔으며, 이러한 Ta<sub>2</sub>O<sub>5</sub>의 결정화를 방지하기 위한 공정도 연구되어 왔다. 반면 S. Zaima<sup>[14]</sup> 등은 LPCVD로 형성한 Ta<sub>2</sub>O<sub>5</sub> 박막을 고온 열처리하여 위의 결과와 반대되는 높은 유전 상수와 낮은 누설전류를 얻었다고 보고하였다. 이와 같이 아직 Ta<sub>2</sub>O<sub>5</sub>의 고온 열처리에 대한 연구가 부족한 상태이다. 본 고에서는 PECVD 방법으로 형성한 Ta<sub>2</sub>O<sub>5</sub> 박막을 열전도 반응로 및 고속 열처리 반응로 (Rapid Thermal Process, RTP)를 사용하여 O<sub>2</sub> 또는 N<sub>2</sub> 분위기에서 고온 열처리를 실시하여 이에 따른 Ta<sub>2</sub>O<sub>5</sub> 박막의 물리적, 전기적 특성에 대해서 연구하였다.

## II. 실험 방법

고유전 Tantalum Pentoxide(Ta<sub>2</sub>O<sub>5</sub>) 박막 증착은 6N(99.9999) 순도의 Tantalum Ethylate (Ta(C<sub>2</sub>H<sub>5</sub>O)<sub>5</sub>)와 N<sub>2</sub>O 가스를 사용한 PECVD 방법으로 행하였다. Tantalum Ethylate는 실온에서 액체상태이고 낮은 증기압(Vapor Pressure)을 나타내므로 반응에 필요한 양을 반응로에 도입시키기 위해 Chemical을 135℃로 가열하고 Argon을 Carrier Gas로 사용하였다. 또한 증기화된 반응가스가 재응축되는 것을 방지하기 위해 Gas Line을 180가로 가열하였다. PECVD 반응로 장치는 13.56 MHz의 고주파 발진기를 이용해 200 Watt를 유지하였다. 증착 장비에 대한 구성도는 그림 1에 도시하였다.

Ta<sub>2</sub>O<sub>5</sub> 박막(150nm)은 화학적으로 세정된 p-type Si 기판(Silicon Substrate)위에 15nm, 90nm 두께로 증착하였으며 증착된 Ta<sub>2</sub>O<sub>5</sub> 박막은 열전도 석영 반응로를 사용하여 N<sub>2</sub>, O<sub>2</sub> 분위기에서 700℃, 800℃, 900℃ 30분간 열처리 하였다. 또한 RTP System을 사용하여 O<sub>2</sub> 분위기에서 800℃, 900℃, 1000℃ 30초간 열처리 하였다. 열처리된 Ta<sub>2</sub>O<sub>5</sub> 박막에 Sputtering방법을 사용하여 500nm 두께의 Aluminum(Al)을 증착한 후 Lithography 와 Wet etching으로 직경 400μm, 500μm MIS(Metal Insulator Silicon) 캐퍼시터 구조의 원형전극을 형성하였다. 이에 대한 공정순서는 그림 2에 나타내었다. P-type Si 기판위에 증착된 PECVD Ta<sub>2</sub>O<sub>5</sub> 박막은 632.8nm 파장(Wavelength)을 갖는 He-Ne Laser Ellipsometer를 사용하여 두께와 굴절율을 측정하였고 FTIR(Fourier Transform Infra Red) Spectrometer 및 TEM(Transmission Electron Microscopy)을 이용하여 열처리에 따른 Ta<sub>2</sub>O<sub>5</sub> 박막

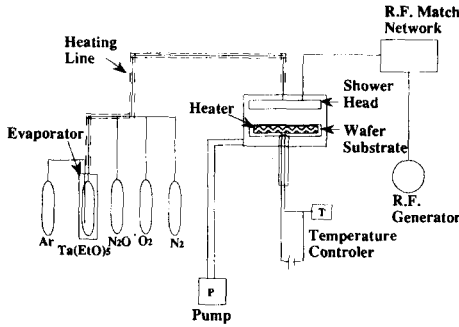


그림 1. PECVD System  
Fig. 1. Schematic diagram of PECVD System.

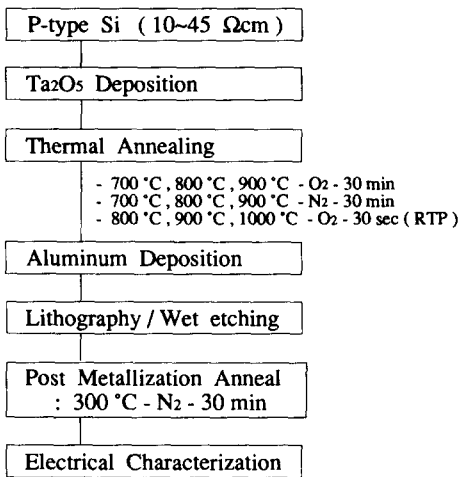


그림 2. 공정진행 순서도  
Fig. 2. Process flow chart.

의 물리적 특성을 조사하였다. Keithley I-V Analyzer를 이용하여 Al Gate에 Step Voltage를 -0.1 Volt, Holding Time 2초의 Negative Voltage를 0가 -10 Volt까지 인가하여 열처리된 Ta<sub>2</sub>O<sub>5</sub> 박막의 누설전류 특성을 측정하였으며, MDC사의 C-V Analyzer를 이용하여 MIS 캐패시터의 높은 진동수(High Frequency, 100kHz) C-V특성을 얻었다. 이때의 Maximum Capacitance 와 Ellipsometer로 구한 Ta<sub>2</sub>O<sub>5</sub> 두께로 부터 Ta<sub>2</sub>O<sub>5</sub> 박막의 유전상수를 구하였다.

Ⅲ. 실험 결과 및 고찰

1. 물리적 특성변화.

두꺼운 기판 위의 매우 얇은 박막의 연구에 사용되는 Ellipsometry 기술로 열처리에 따른 Ta<sub>2</sub>O<sub>5</sub> 박막의 특성을 비교 분석하였다. Lorentz Equation에 의하면 굴절율은 Molecular Polarizability와 밀도에 비례한다고 알려져 있다.<sup>[17]</sup>

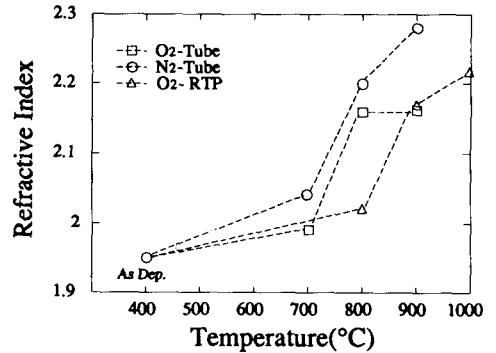


그림 3. 열처리 온도에 따른 굴절율의 변화  
Fig. 3. Changes of refractive index with annealing temperature.

그림 3은 각각의 열처리 조건에 따른 굴절율의 변화를 보여주고 있다. 열전도 Tube를 이용하여 O<sub>2</sub>, N<sub>2</sub>의 분위기에서 열처리하게 되면 800가에서 굴절율이 크게 증가하고 RTP System에서는 900가에서 굴절율이 크게 증가하고 있다. 굴절율이 증가하는 이유는 비정질의 Ta<sub>2</sub>O<sub>5</sub> 박막이 결정화되면서 Molecular Porizability가 변하기 때문이다. 또한 열처리 온도가 증가할수록 굴절율이 다소 증가하는데 이는 Ta<sub>2</sub>O<sub>5</sub> 박막의 밀도 증가와 결정립 성장때문일 것으로 생각된다. 반면 O<sub>2</sub> 분위기에서 열처리된 Ta<sub>2</sub>O<sub>5</sub> 박막이 N<sub>2</sub> 분위기에서 열처리된 Ta<sub>2</sub>O<sub>5</sub> 박막보다 굴절율이 다소 작은 데, 이는 Si 기판과 Ta<sub>2</sub>O<sub>5</sub> 박막 계면에 1.46의 굴절율 값을 갖는 Silicon Oxide(SiO<sub>2</sub>)가 성장되었기 때문이다. 즉 O<sub>2</sub> 분위기로 900℃에서 열처리하게 되면 계면 SiO<sub>2</sub>의 증가로 인해 굴절율의 증가는 N<sub>2</sub> 분위기에 비해 다소 미미해진다. 또한 RTP처리의 경우, 1000℃에서 열전도 Tube에서와 같은 경향을 나타내었다. 이것은 같은 온도에서, RTP의 경우 공정시간이 극히 짧기 때문에 이에 따른 산소 원자의 확산차이에 의한 것으로 사료된다.

그림 4는 열처리 조건에 따른 FTIR peak 변화를 나타낸 것이다. Ta<sub>2</sub>O<sub>5</sub> 박막을 증착하기 전 Si Wafer의 FTIR Spectrum을 Reference로 하고 증착 및

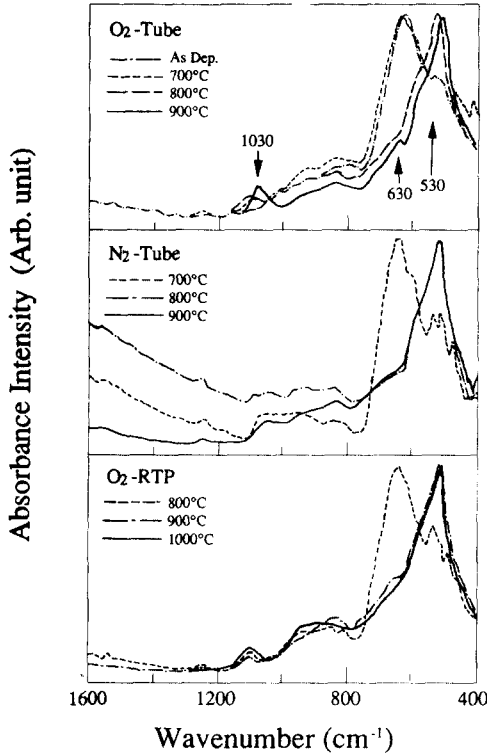


그림 4. 각기 다른 온도에서 열처리된 Ta<sub>2</sub>O<sub>5</sub> 박막의 FTIR Spectra

Fig. 4. FTIR spectra with different annealing temperatures.

열처리 한 후 FTIR 측정으로부터 Ta<sub>2</sub>O<sub>5</sub> 자체에 의한 흡수(Absorption) Spectrum을 구하였다. 그림 4-(a)는 O<sub>2</sub> 분위기로 Tube에서 열처리한 것으로, Ta<sub>2</sub>O<sub>5</sub> 증착 직후에는 630 cm<sup>-1</sup>에서 비정질 Ta-O 결합(Bond) Peak가 나타나고 있다. 이는 증착 초기 상태에서는 비정질 형태로 Ta<sub>2</sub>O<sub>5</sub> 박막이 형성되기 때문이다. 그러나 700℃ 이상의 온도에서 열처리 하게 되면, 513cm<sup>-1</sup> 부근에서 Peak가 나타나기 시작하는데, 이것은 Ta<sub>2</sub>O<sub>5</sub> 박막 대부분이 비정질로 구성되지만 아주 부분적으로 단범위 규칙(Short range order)의 결정화가 일어나기 시작한 것으로 생각된다. 또한 1030~1040cm<sup>-1</sup> 부근에서도 미약하게나마 Si-O 결합 Peak가 나타나고 있다. 그러나 800℃ 이상의 고온에서 열처리하게 되면 630cm<sup>-1</sup> 부근의 비정질 Ta-O 결합 Peak는 없어지고, 513cm<sup>-1</sup> 부근의 결정성 Ta-O 결합 Peak만 나타난다. 또한 1030cm<sup>-1</sup> 부근의 Si-O 결합 Peak가 미소하게 보이고 있다. 900℃에서 열처리된 Ta<sub>2</sub>O<sub>5</sub> Film은 결정화된 Ta<sub>2</sub>O<sub>5</sub> Peak의 변화는 보이고 있지 않으나, SiO<sub>2</sub>의 Major

Peak(Rocking Band, 1030cm<sup>-1</sup>)와 Minor Peak (1280cm<sup>-1</sup>, 840cm<sup>-1</sup>)만이 증가하고 있다. 즉 Si 계면에서 SiO<sub>2</sub>가 성장했음을 알 수 있다. 그림 4-(b)는 N<sub>2</sub> 분위기로 Tube에서 열처리한 것으로 O<sub>2</sub>의 분위기에서 열처리한 것과 마찬가지로 Ta<sub>2</sub>O<sub>5</sub>는 700℃가 800℃에서 결정화가 일어난다. 그러나, Si 계면에서의 SiO<sub>2</sub> 성장은 O<sub>2</sub> 분위기에 비해 적은 것을 알 수 있다. 그림 4-(c)는 O<sub>2</sub> 분위기로 RTP System을 이용하여 열처리한 것으로 900℃ 이상에서 결정화가 되었음을 알 수 있다. 또한 앞의 열전도 Tube와 마찬가지로 열처리 온도가 증가할수록 SiO<sub>2</sub> Peak도 미소하게 증가하고 있음을 알 수 있다. 그림 5는 Si 기판에 Ta<sub>2</sub>O<sub>5</sub> 박막을 90nm 증착한 후 증착 초기 및 N<sub>2</sub> 분위기로 700℃, 800℃, 900℃에서 30분간 열처리한 박막의 단면 TEM(cross-sectional TEM)사진이다. 그림 5-(a)와 같이 증착된 Ta<sub>2</sub>O<sub>5</sub> 박막은 비정질 구조를 갖고 있음을 알 수 있다. 그러나, 700℃의 열처리에서는 박막 내부에 단범위 규칙을 갖는 미세 결정립으로 여겨지는 상(image)를 관찰 할 수 있으며, 800℃에서는 빗살모양의 결정립이 성장된 것을 알 수 있다. 900℃열처리의 경우, 결정립 성장과 함께 박막

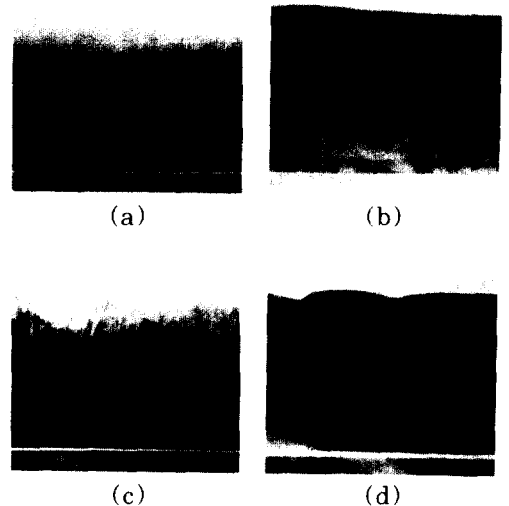


그림 5. 열처리후의 TEM 단면사진

(a) 증착직후 (b)700℃  
(c) 800℃ (d)900℃(N<sub>2</sub> 분위기)

Fig. 5. Cross sectional TEM view different annealing temperatures

:(a) as-deposition (b)700℃  
(c) 800℃ (d)900℃ in N<sub>2</sub> ambient.

표면에서 결정립계를 중심으로 홈(grooving)이 형성되고 있음을 알 수 있다. 이 결과들이 앞의 FTIR 결과와 비교적 잘 일치하고 있다.

2. 전기적 특성 변화

SiO<sub>2</sub>보다 4~5배의 고유전 특성을 지닌 Ta<sub>2</sub>O<sub>5</sub> 박막을 Al/Ta<sub>2</sub>O<sub>5</sub>/Si의 MIS(metal Insulator Silicon)구조로 형성하여 100KHz의 고주파수에서 충전용량을 측정하였다. 고유전 충전 절연막을 DRAM 소자에 사용하기 위해서는 높은 충전용량뿐만 아니라, V<sub>fb</sub>의 안정성(Stability)과 C-V 특성에 있어서 이력곡선이 나타나지 않도록 하여야 한다.

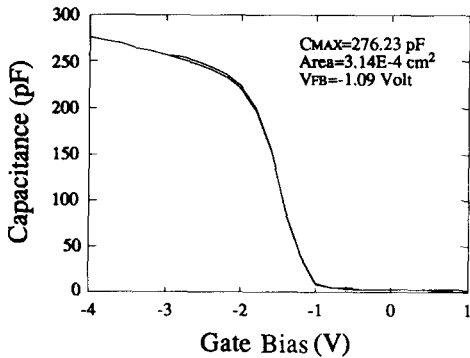


그림 6. 800°C/O<sub>2</sub> 열처리후 C-V 이력 곡선  
Fig. 6. Retraced C-V curve after 800°C/O<sub>2</sub> annealing.

그림 6은 15nm의 Ta<sub>2</sub>O<sub>5</sub> 박막을 O<sub>2</sub>분위기에서 800°C로 30분간 열처리한 C-V 곡선이다. 이때, Flat Band Voltage(V<sub>fb</sub>)는 -1.1Volt이고 Inversion 영역(Region, 1 Volt)에서 Accumulation 영역(-4 Volt)으로 Sweeping하고 곧이어 Retrace 할때 이력곡선이 거의 나타나지 않는 것을 알 수 있다. P-type Si 위의 Thermal SiO<sub>2</sub>가 약 -0.8Volt의 V<sub>fb</sub> 특성을 나타내고 있는데, 이에 비교하면 열처리한 PECVD Ta<sub>2</sub>O<sub>5</sub>박막의 V<sub>fb</sub>도 유사하게 접근하고 있음을 알 수 있다. 그림 7은 PECVD로 증착된 Ta<sub>2</sub>O<sub>5</sub> 박막의 고온 열처리에 따른 유전상수 값을 나타내었다. 이때 유전상수는 측정된 충전용량과 증착된 Ta<sub>2</sub>O<sub>5</sub> film 두께로부터 계산된 값이다. 증착된 Ta<sub>2</sub>O<sub>5</sub> 박막을 700°C(RTP: 800°C)에서 열처리하면 유전상수는 다소 감소하게 된다. 800°C(RTP: 900°C)에서 Ta<sub>2</sub>O<sub>5</sub> 박막을 열처리하면 Ta<sub>2</sub>O<sub>5</sub> 박막의 결정화가 일어나 유전율은 증가한다. 그러나 결정화되는 온도 이상의 고온에서 열처리하게 되면 그림 8

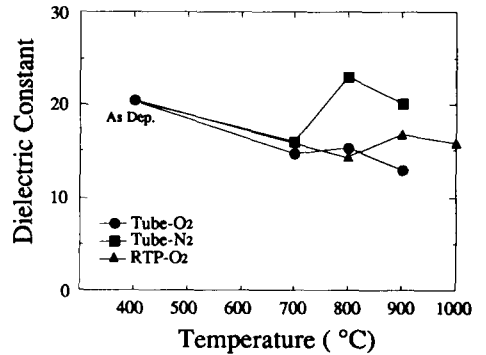


그림 7. 열처리조건에 따른 유전상수의 변화  
Fig. 7. Changes of dielectric constant with different annealing conditions.

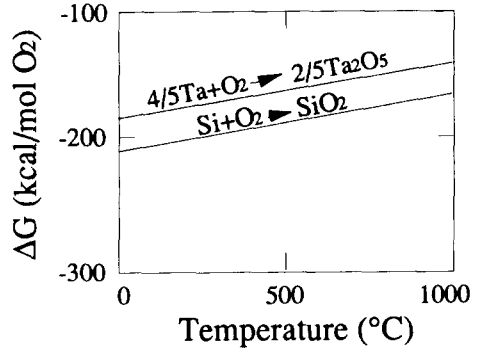


그림 8. SiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>의 열역학 자유에너지  
Fig. 8. Thermodynamic free energy of SiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>.<sup>[18]</sup>

과 같이 열역학 자유에너지 차에 의해서 계면 SiO<sub>2</sub>가 성장한다. 또한 O<sub>2</sub>분위기에서 열처리한 Ta<sub>2</sub>O<sub>5</sub> 박막의 유전율은 N<sub>2</sub> 분위기에서 열처리한 Ta<sub>2</sub>O<sub>5</sub> 박막의 유전율보다 낮은 값을 나타내고 있는데 이는 O<sub>2</sub> 분위기로부터 O<sub>2</sub>가 Ta<sub>2</sub>O<sub>5</sub> 박막내로 확산하여 Si 계면과 산화반응이 진행되므로 N<sub>2</sub> 분위기 보다 두꺼운 계면 SiO<sub>2</sub>를 형성하기 때문이다. 즉 고유전율의 Ta<sub>2</sub>O<sub>5</sub>박막과 약 4의 유전율을 갖는 SiO<sub>2</sub>가 등가회로를 형성하게 된다. 두개의 충전 절연막으로 구성된 MIS 구조로서 정전용량은 직렬 연결된 2개의 캐퍼시터로 나타낼 수 있다. 이에 대한 식은 1에 나타내었다.

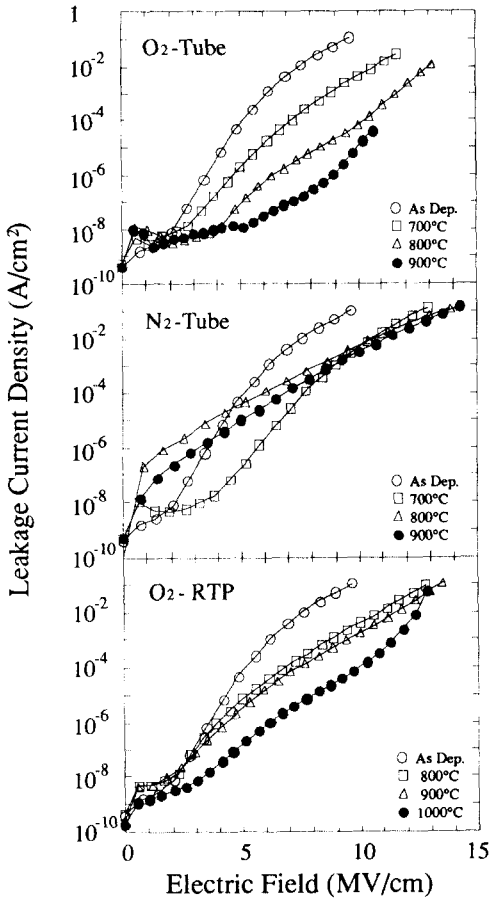


그림 9. 열처리 조건에 따른 I-V 특성  
Fig. 9. Dependence of I-V characteristics on annealing conditions.

$$\frac{1}{C_{Total}} = \frac{1}{C_{SiO_2}} + \frac{1}{C_{TaO}} \quad (1)$$

$$\therefore \epsilon_{Total} = d_{Total} / (6d_{SiO_2} + d_{TaO}) \quad (2)$$

- 단, · SiO<sub>2</sub> 유전율 = 4.
- Ta<sub>2</sub>O<sub>5</sub> 유전율 = 24.
- d<sub>Total</sub>, SiO<sub>2</sub>, TaO = Physical 두께.

즉 64MDRAM급 이상의 고집적 소자에 필요한 충전용량을 확보하기 위해선 매우 얇은 Ta<sub>2</sub>O<sub>5</sub> 박막 (약150Å, T<sub>eff</sub>.=40Å)이 필요 하게 되며, 이때의 계면 SiO<sub>2</sub> 영향은 Capacitor에 중요한 효과를 미치고

있음을 알 수 있다.

고유전 특성을 지닌 Ta<sub>2</sub>O<sub>5</sub> 박막의 누설전류를 감소시키는 방법이 여러 연구자에 의해 연구되어지고 있다. [6,7,8,9] 특히 H. Shinriki [8] 등과 같은 연구자는 후처리 공정으로 UV-O<sub>3</sub>와 800°C-O<sub>2</sub> 의 2 Step 열처리를 통하여 Ta<sub>2</sub>O<sub>5</sub> 박막내의 Oxygen vacancy defects들을 효과적으로 감소시킴으로써 64MDRAM급 소자의 Cell 동작전압(1/2 V<sub>cc</sub> = 0.75 Volt) 범위에서 10<sup>-6</sup>A/cm<sup>2</sup> 이하의 누설전류 특성을 지닌 Ta<sub>2</sub>O<sub>5</sub> 박막 제조 공정이 가능하다고 보고하였다.

본 PECVD 방식으로 증착된 Ta<sub>2</sub>O<sub>5</sub> 박막의 고온 열처리후 전류-전압 특성을 그림 9에 나타내었다. 그림 9-(a)는 열전도 Tube에서 O<sub>2</sub> 분위기로 열처리한 Ta<sub>2</sub>O<sub>5</sub> 박막의 누설전류밀도 특성이다. 열처리 온도가 증가할수록 누설전류 특성은 개선되고 있음을 보이고 있다. 즉 계면(Interfacial) SiO<sub>2</sub> 두께가 증가할수록 누설전류특성은 개선되고 있음을 알 수 있다. 그러나 그림 9-(b)의 N<sub>2</sub> 분위기에서 열처리된 Ta<sub>2</sub>O<sub>5</sub> 박막은 누설전류가 증가하는데, 이는 계면 SiO<sub>2</sub> 성장없이 Ta<sub>2</sub>O<sub>5</sub> 박막이 결정화됨에 따라 결정립계 계면에 존재하는 홈(Grooving)등과 같은 미세구조 결함(Microstructural defect)이 누설전류의 경로가 되고 있음을 보여주고 있다. 반면 RTP로 열처리(그림 9-(c))하게 되면 Ta<sub>2</sub>O<sub>5</sub> 박막의 결정화는 900°C에서 일어나지만 계면 SiO<sub>2</sub>를 효과적으로 성장시키지 못해 열전도 Tube에서의 열처리 보다도 누설전류를 효과적으로 감소시키지 못하였다고 해석할 수 있다.

#### IV. 결론

P-type Si 기판위에 PECVD 방식으로 증착한 Ta<sub>2</sub>O<sub>5</sub> 박막 고온 열처리시 700Å에서 결정성 핵이 형성되고 800Å 이상의 고온에서 결정화되는 것을 FTIR과 TEM을 통하여 알 수 있었다. 고온 열처리에 따른 Ta<sub>2</sub>O<sub>5</sub> 박막의 결정화는 굴절률 및 유전상수는 증가시키지만 Microstructural defect로 인한 누설전류는 증가한다. 또한 O<sub>2</sub> 분위기에서 열처리 하게 되면 Ta<sub>2</sub>O<sub>5</sub>/Si계면에서 SiO<sub>2</sub>가 성장하여 누설전류를 감소시켜주는 반면 유전율이 다소 감소 하게 된다.

PECVD Ta<sub>2</sub>O<sub>5</sub> 박막을 O<sub>2</sub> 분위기, 800Å 고온 열처리하여 64MDRAM급 이상의 고집적 소자에 적용 가능한 10<sup>-6</sup>A/cm<sup>2</sup> 이하의 누설전류와 최대 9fF/μm<sup>2</sup> (SiO<sub>2</sub> 환산 두께 3.8nm)의 충전 용량을 얻을 수 있었다.

## 參考文獻

- [1] T. Ema et al.: IEDM Tech. Dige., 592, 1988
- [2] W. Wakamiya et al.: SOVT Digest of Technical Papers, 69, May, 1989
- [3] H. Watanabe et al.: Extended Abst. of SSDM, 873, 1990
- [4] Y. Hayashide et al.: Extended Abst. of SSDM, 869, 1990
- [5] M. Sakao et al.: IEDM Tech. Dig., 27. 3.1, 1990
- [6] M. Ysoshimaru et al.: IEDM Tech. Dig., 27.4.1, 1990
- [7] J. Yugami et al.: Extended Abst. of SSDM, 173, 1989
- [8] H. Shinriki et al.: *IEEE Tras. on Elec. Device*, 37, 9, 1939, Sep., 1990
- [9] K. Kashibara et al.: SSDM, 192, 1991
- [10] T. Sakuma et al.: *Appl. Phys. Lett.*, 57, 23, 2431, Dec., 1990
- [11] S. Banergee et al.: *J. Appl. Phys.*, 65, 1140, 1989
- [12] D.J. Smith, L. Young: *IEEE Trans. Elec. Devices*, 1, 28, 22, 1981
- [13] K. Yamagishi, Y. Tarui: *J. Appl. Phys.*, 25, 1306, 1986
- [14] S. Zaima et al.: *J. Electrochem. Soc.*, 137(4), 1297, 1990
- [15] S.I. Kimura, Y. Nishioka, A. Shintani and K. Mukai: *J. Electrochem. Soc.*, 130, 2414, 1983
- [16] S. Tanimoto, M. Matsui, M. Aoyagi et al.: SSDM, 195, 1990
- [10] Kingery: *Introduction to Ceramics*, John Wiley & Sons, 658, 1976
- [18] Y. Nishioka et al.: *J. Appl. Phys.*, 61, 15, 2335, 1987

著 者 紹 介



白鎔求(正會員)

1964年 5月 1日生. 1987年 2月 연세대학교 금속공학과 졸업. 현재 현대전자 반도체연구소 공정개발실 주임연구원. 주관심분야는 CVD공정 및 고유전 절연막 등임.



金鍾哲(正會員)

1959年 6月 7日生. 1989年 남가주대학(USC) 재료공학과 졸업. 현재 현대전자 반도체연구소 공정개발실 책임연구원. 주관심분야는 (강)유전체 박막 제조공정 및 화학증착 기술.



殷庸碩(正會員)

1967年 8月 31日生. 1990年 8月 고려대학교 재료공학과 졸업. 현재 현대전자 반도체연구소 공정개발실 연구원. 주관심분야는 CVD공정 및 고유전 절연막 등임.

崔壽漢(正會員)

1952年 6月 25日生. 1985年 U.C.Berkeley 재료공학과 졸업. 현재 현대전자 반도체 연구소 공정개발실 이사.

朴泳震(正會員)

1962年 1月 28日生. 1990年 한국과학기술원 재료공학과 졸업. 현재 현대전자 반도체연구소 공정개발실 선임연구원. 주관심분야는 Gate Materials 및 전하 저장전극 제조 공정.