

확장 가능한 32X32 MBAM Neuro-chip의 설계

(Design of Expandable 32x32 MBAM Neuro-chip)

催倫競*, 朴晶培*, 李壽永*

(Yoon Kyung Choi, Jeong Bae Park and Soo Young Lee)

要約

이 논문은 오차보정능력이 뛰어난 신경회로망 모델인 MBAM의 VLSI 구현에 관한 것이다. 구현된 MBAM 칩은 내적구현방식을 사용하여 저장은 디지털로 하지만 계산은 아날로그로 이루어진다. 이 칩은 다수의 칩을 연결함으로써 뉴런의 수 및 층(layer)의 수를 확장할 수 있으며 Proto-type의 칩과 이를 PC와 인터페이스하는 보드를 제작하여 테스트하였다. 현재설계된 칩은 32개의 입력 뉴런과 32개의 출력 뉴런을 가지고 48 개의 패턴을 수록할 수 있다.

Abstract

In this paper, we present a VLSI chip design of Multi-layer Bidirectional Associative Memory with good error-correction performance. The MBAM neural chip utilizes inner product implementation schemes with binary storage and analog calculation. Multi-layer can be constructed by direct cascading of these chips, and the number of neurons is expandable by parallel connection of these chips. We made proto-type chips and interface board to test the expansion. Currently the chip has 32 input nodes, 32 output nodes, and can store up to 48 patterns. 32x48x2 SRAMs are included in the chip.

1. 서론

일반적으로 신경회로망의 성능은 뉴런의 수나 층(Layer)의 수와 상관관계가 있다. 단층구조로는 해결할 수 없는 문제들(linearly unseparable problems)이 많으며 이 때에는 층의 수를 늘려서 해결할 수 있다. 그러나, BAM 모델^[1]은 그 구조 자체

가 단층으로 제약되어 있기 때문에 학습할 수 있는 능력에 제한이 크다. MBAM^[2,3]은 이 BAM 모델을 다층구조로 확장하여 성능을 높인 모델이다. 그 이름이 의미하는 바와 같이 MBAM의 구조는 각 층 하나만을 놓고 보면 보통의 BAM 모델과 같다. 즉 연결강도의 값을 결정할 때 그 층에서의 입력측 학습 패턴(X^s)과 출력측 학습패턴(y^s)의 외적으로 연결강도의 세기를 정한다.

*正會員, 韓國科學技術院 電氣 및 電子工學科
(Dept. of EE., KAIST)
接受日字: 1992年 12月 15日

$$W_{ij} = \sum_s y_i^s \cdot x_j^s \quad (1)$$

그런데, 다층구조 신경회로망에서 학습의 문제는

은닉층의 파라메타(parameter)들을 찾는 것이다. 여기서, 파라메타란, 다층구조 퍼셉트론(Multi Layer Perceptron)^[4]의 경우에는 은닉층의 연결강도 값을 의미하며 MBAM의 경우에는 은닉층의 뉴런 값이 된다.(MBAM에서는 연결강도의 값이 뉴런 값에 의해서 결정된다.) 은닉층의 파라메터를 찾는 방법으로 다층구조 퍼셉트론에서는 출력 쪽에 오차함수를 정의하여 그 오차가 줄어들도록 연결강도의 세기를 최대경사법(steepest error descent method)에 의해 조절한다.^[4] MBAM에서도 출력단의 에러가 줄어들도록 최대경사법을 적용하는 점은 다층구조 퍼셉트론의 경우와 같으나 학습되는 파라메타가 연결강도가 아닌 은닉층의 뉴런 값이라는 점이 다르다. 뉴런 값을 학습 파라메타로 하여 오차에 대한 최대경사법을 적용하여 유도된 MBAM의 학습법칙은 다층구조 퍼셉트론의 오차역전파 개념과 비슷한 간단한 법칙으로 구해진다.^[2, 3] MBAM은 에러보정능력이나 학습용량의 관점에서 다층구조 퍼셉트론과 비슷한 성능을 보인다.^[2, 3]

MBAM 신경회로망 모델은 MLP등에 비해서 하드웨어 구현면에서 잇점이 있다. 신경회로망을 VLSI 칩으로 구현하려면 연결강도를 칩내에 저장하여야 하는데, 아날로그 값을 가지는 연결강도를 저장하는 데에는 기술적인 면에서 구현하기 어렵거나 칩 면적이 많이 소요되어 집적률이 떨어지는 등의 문제점이 있다. 아날로그 값을 기억시키는 방법은 EEPROM이나 캐패시터에 전하의 형태로 저장시키는 방법과 이진기억소자(RAM, ROM)을 사용하되 아날로그 값을 이진코딩하는 방법이 있다. 먼저, EEPROM을 사용하는 방식을 살펴보면 한 번 저장된 데이터가 반영구적으로 유지된다는 잇점이 있는 반면에 데이터를 수정하는 데 필요한 주변회로들이 복잡해지고 특수공정이 필요하다. 캐패시터에 아날로그 전하를 저장시키는 방법은 일정 주기마다 'refresh'가 필요하여 칩의 외부에 추가로 연결강도의 값을 저장시킬 RAM Array를 사용하여야 하는 단점이 있다. 이진기억소자에 아날로그 값을 이진코딩하는 방법은 연결강도마다 'A/D converter'를 구비해야 하므로 집적률에 있어서 문제가 있다.

이러한 문제점 때문에 이진화 작업의 필요성이 생긴다. 즉, 칩 내에 저장되는 파라메타의 값을 아날로그 값이 아닌 '+1'이나 '-1'으로 이진화하는 것이다. 이 때 필연적으로 성능의 감소가 따르게 되는데 MBAM의 경우는 이러한 이진화에 의한 성능 감소정도를 다른 모델에 비해 줄일 수 있는 방법이 있다. MBAM과 같이 'Hebb의 법칙'으로 연결강도를 구

하는 신경회로망에서는 (1)식과 같이 연결강도가 정의되며 이 때 뉴런의 입출력 관계식은 아래와 같이 바꾸어 쓸 수 있다.

$$y_i = f\left(\sum_j W_{ij}x_j\right) \tag{2}$$

$$= f\left(\sum_j \left(\sum_s y_i^s x_j^s\right)x_j\right) = f\left(\sum_s y_i^s \left(\sum_j x_j^s x_j\right)\right) \tag{3}$$

Hopfield network^[5, 6], BAM, MBAM을 하드웨어로 구현한다면 (2)의 식을 사용할 수도 있고 (3)식을 사용할 수도 있다. 이 때, 후자의 구현 방식을 '내적구현방식'이라 한다. (2)식에서의 연결강도의 값을 이진화하는 대신에 (3)식에서의 y_i^s , x_j^s 를 이진화한다면 결과적으로 (2)식의 연결강도의 크기가 이진값이 아닌 'Multi level'을 가지는 셈이므로 다층구조 퍼셉트론등에서 연결강도를 이진화하는 경우에 비해 볼 때 이진화에 의한 성능의 감소가 작다. 또한 MBAM은 'recall'할 때 한번의 신호전달로 출력이 결정되지 않고 Hopfield, BAM과 같이 'resonance'에 의해 출력이 결정된다. 이 경우에는 순방향 신호전달과 역방향신호전달이 수차례 반복되므로 한 번의 신호전달에서 미처 수정되지 못한 오차가 신호전달이 반복되는 과정에서 수정될 수 있는 여지가 있다. 현재, 이러한 이진화된 MBAM을 학습시키는 방법에 대한 보다 구체적인 연구가 수행되고 있다.^[9]

본 논문에서 다룰 신경회로망 칩은(MBAM 칩)은 (3)식의 내적구현 방식이 사용되었으며 여러 개의 칩을 연결함으로써 층의 수와 뉴런의 수를 확장할 수 있다.

II. 기본 회로

(3)식을 살펴보면 세 부분으로 나눌 수 있는데, 먼저 입력패턴벡터 (x)와 저장된 p 개의 입력층 학습패턴 (x^s , $s=1, \dots, p$)들 사이의 내적(correlation)을 구하는 부분 ($c^i = \sum_j x_j^s x_j$), 출력층 학습패턴에 앞에서 구한 c^i 값을 가중치로 곱하여 모든 학습 패턴의 경우에 대하여 합하는 부분 ($net_i = \sum_j y_j^s c^j$), 마지막으로 비선형 함수(sigmoid 또는 step)를 거쳐 출력을 내는 부분($y_i = f(net_i)$)으로 구분할 수 있다. 이제 이들 각각의 부분을 구현하는 회로를 살펴보기로 한다.

1. 내적 연산 회로 : ($c^i = \sum_j x_j^s x_j$)

여기서 x_j^s 와 x_j 는 모두 이진값이기 때문에, 입력층의 S 번 째 학습패턴벡터 X^s 와 입력패턴 x 사이에서 서로 같은 값을 가지는 비트(bit)의 수를 N_i 이라 하고

다른 값을 가지는 비트의 수를 $N_2(-N_1N_2)$ 라 하면

$$c^s = N_1 - N_2$$

이다.

그림 1에 내적연산의 역할을 하는 회로를 보였다. ^[6] XOR회로는 x_i^s 와 x_j^s 값의 동일여부를 판단하여 M1 혹은 M2를 'ON' 시킨다. 이 때 V_{BB} 는 V_{DD} 에 비하여 충분히 낮은 전압으로 하여 M1 혹은 M2가 'ON'되었을 때 선형영역에서 동작하도록 한다. 따라서 이 회로는 그림2에서와 같이 V_{BB} 전압과 접지 사이를 저항으로 'voltage divide'하는 기능을 한다. 이 때 전압 V_b^s 는

$$V_b^s = V_{BB} \cdot \frac{N_1}{N_1 - N_2} = V_{BB} \cdot \frac{N_1}{N}$$

이다. $V_{BB}/2$ 를 기준으로 하면

$$V_b^s - \frac{V_{BB}}{2} = \frac{V_{BB}}{2} \left(\frac{2N_1}{N} - 1 \right) = V_{BB} \left(\frac{2N_1 - 1}{N} \right) = \frac{V_{BB}}{N} (N_1 - N_2)$$

이므로 $V_b^s - V_{BB}/2$ 는 C^s 에 V_{BB}/N 이라는 상수가 곱해진 꼴이다.

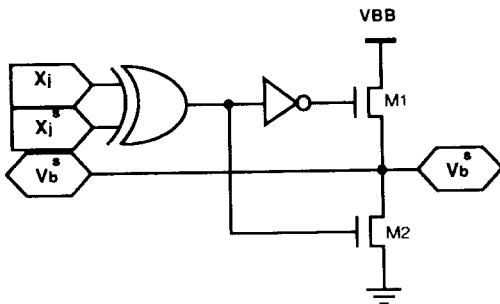


그림 1. 내적 계산 회로
Fig. 1. inner product calculation circuit.

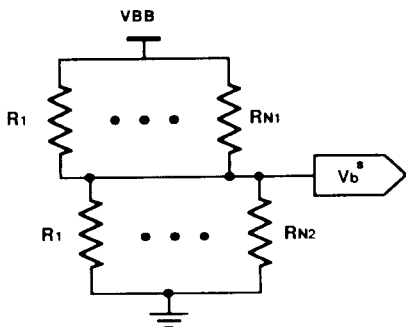


그림 2. 내적 계산 회로의 등가 회로
Fig. 2. Equivalent view of inner product circuit.

위의 식에서 알 수 있듯이 V_b^s 는 $0 \sim V_{BB}$ 사이의 전압이며 X^s 와 X 가 이진패턴인 경우에는 내적(유사도, Correlation)을 나타낸다. 이 전압은 뉴런의 수(N)에 상관없이 $0 \sim V_{BB}$ 사이로 제한(bound)되므로 뉴런의 수를 변화시키더라도 신호범위를 일정하게 유지할 수 있다.

실제로는 M1과 M2가 선형 영역에서 이상적인 저항이 아니기 때문에 - body effect, channel length modulation effect 등으로 인하여 비선형성이 있다. - 오차가 생긴다. 이러한 오차는 V_{BB} 의 전압을 낮추면 줄일 수 있으나 대신에 V_b^s 가 가질 수 있는 값의 폭이 작아지게 되므로 이들 두가지 사항을 고려하여 V_{BB} 의 전압을 결정해야 한다.

2. 가중치 합(Weighted Summation) 회로 :

$$net_i = \sum_j y_j^s c^s$$

앞에서 c^s 는 $V_b^s - V_{BB}/2$ 로 표현된다. 또한 y_i^s 는 이진패턴이므로 그 크기가 항상 1이고 부호에만 관계한다. 따라서 '가중치 합 회로'는 그림 3과 같은 OTA (Operational Transconductance Amplifier) 회로를 이용하여 구현할 수 있다. 출력 전류 i_n 는 V_b^s 와 $V_{BB}/2$ 사이의 전압차이에 비례하며 그 부호는 출력측 학습패턴 y_i^s 에 따라 M1~M4가 스위칭하여 구현된다. 합의 기능은 모든 패턴에 대한 전류합(current summation)으로 구현한다.

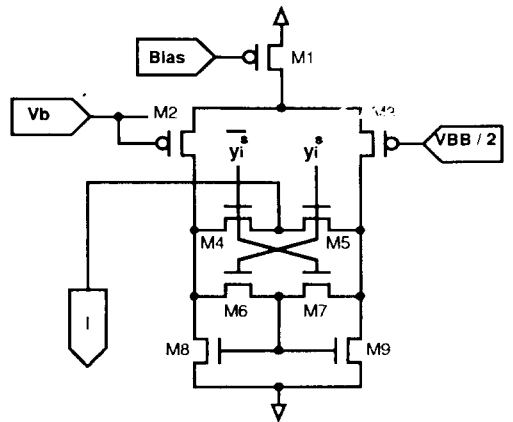


그림 3. OTA 회로
Fig. 3. OTA Circuit.

3. 비선형 함수의 구현 : $y_i = f(net_i)$

비선형전달함수로서는 sigmoid 함수와 step 함수를 사용하며 콘트롤 신호에 의해 선택할 수 있다.

1) Step 회로

Step 함수는 입력값의 부호에 따라 양이면 '+1', 음이면 '-1'의 값을 가진다. 그림 4에 회로를 나타내었다. '가중치 합 회로'로부터 나온 전류들의 합이 그림의 i 로 표시되어 있다. M5, M6, M7, M8는 전류 source로서 동작하며 이때 이들을 흐르는 전류의 값을 I 라 하면 M2를 흐르는 전류는 $I-i$ 가 된다. M2와 M6를 흐르는 전류가 다르므로 M1과 M5의 드레인 전압이 M4와 M6의 드레인 전압과 차이가 생기며 이 차이를 M9 ~ M15의 비교기(comparator)가 증폭한다. 이 때의 출력 'Out'은 다시 뒤 단에서 'clocked latch' 회로에 의해 래치된다. M1 ~ M4의 소스 단자가 V_{SS} 가 아닌 접지에 연결된 이유는 입력단자 i 에 연결되어 있는 '가중치 합 회로'내의 OTA 회로의 바이어스를 고려한 것이며 M9 ~ M15의 비교기 회로는 비교기로서의 역할 뿐 아니라 'voltage-level shifter'로서의 기능도 수행한다.

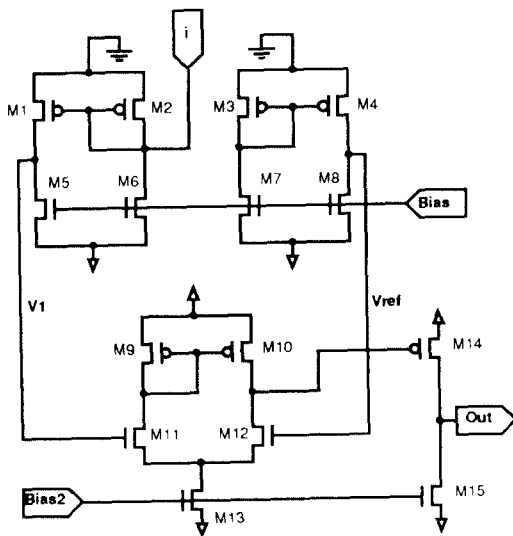


그림 4. Step 함수의 구현
Fig. 4. Implementation of Step().

(2) Sigmoid 회로

그림 5에 sigmoid 함수를 구현하는 회로를 보였 다. 이 회로 역시 'step 회로'와 마찬가지로 입력으 로 전류를 받아들여 전압의 형태로 출력을 낸다. 이 때 M1~M5는 저항의 역할을 하며 각각의 게이트에 이들 저항을 콘트롤하는 신호가 가해진다. 저항값을 조절하면 sigmoid 함수의 기울기를 조절할 수 있다.

MBAM이나 다층구조 퍼셉트론 등은 'adaptive learning 방식'이므로 연속적이고 미분가능한 비선형 전달함수가 필요하다. 여기서의 'sigmoid 회로'를

선택하면 학습시에 칩을 이용하는 것이 가능하다. 즉, 학습시에 신호의 순방향 전달이 필요한데 이 것 을 하드웨어로 수행할 수 있으므로 학습시에 드는 시 간을 줄일 수 있다.

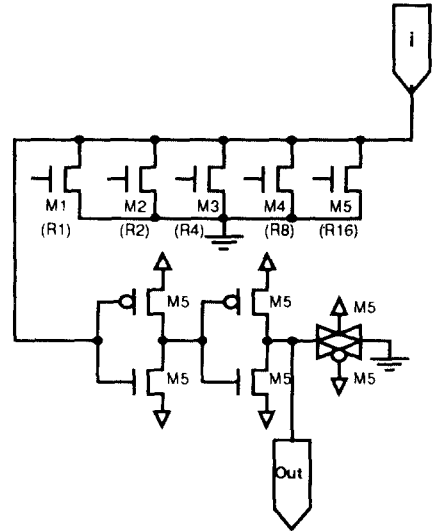


그림 5. 시그모이드 함수의 구현
Fig. 5. Implementation of Sigmoid().

한편, 성능을 높이기 위하여 이들 비선형 함수의 입력단에 바이어스를 줄 수 있도록 하였다. 앞서의 'step 회로'와 'sigmoid 회로'는 입력이 전류의 형 태이므로 D/A Converter와 OTA 회로를 이용하여 비선형 함수의 입력단에 전류를 첨가하거나 줄일 수 있도록 바이어스 회로를 설계하였다. 바이어스 회로 는 신경회로망의 성능을 향상시키고, 회로의 offset 을 상쇄하며, 기타 회로 체크등의 용도로 이용될 수 있다.

III. 칩 cascading 에 의한 시스템의 확장

MBAM 칩은 다수의 칩을 연결하여 시스템의 크기 를 확장하는 것이 가능하다. 즉, 뉴런의 갯수를 늘릴 수 있고 층(layer)의 수도 임의의 다층으로 확장이 가능하다. 이 때, 시분할 방식이 아닌 직접 연결 (pin-to-pin)방식에 의해 확장이 이루어지므로 신경 회로망의 'massive parallelism'을 최대한 실현할 수 있다.

1. 뉴런의 확장

뉴런의 확장은 그림 6에서 보인 방식에 의해 이루

어진다. 뉴런의 확장은 구체적으로 입력 노드의 확장과 출력 노드의 확장으로 나누어진다. 칩 내에서 신호가 전달되는 과정은 내적구현방식에 의해 크게 두 단으로 나눌 수 있다. 앞 단에서는 입력 노드를 통해 들어온 입력 패턴벡터가 입력층 학습패턴벡터들과 비교되어 그 유사도가 각 학습패턴 s 마다 V_b^s 단자의 전압으로 나타내어진다. 뒷 단에서는 이들 V_b^s 전압을 입력으로 하여 저장되어 있는 출력층 학습패턴들과 연산하여 출력 패턴을 결정하게된다. 이 때, 앞단과 뒷단 사이에는 신호의 흐름이 V_b^s 신호를 매개로 하여 이루어진다.

V_b^s 는 입력 패턴과 s 번 째 입력층 학습패턴과의 유사도에 비례하는 값이며 그 동작 원리는 앞에서의 그림 2와 같다. 이 때 그림 6과 같이 칩끼리 V_b^s 신호를 공유하도록 하면 칩간의 연결에 의해 생기는 부수적인 효과(연결 저항, line capacitance등)를 무시한다고 할 때 입력 노드의 개수가 단일 칩을 사용했을 경우에 비해 두 배로 늘어난다. 한편, 출력 패턴을 결정하는 뒷단의 입장에서 볼 때 칩끼리 V_b^s 단자를 공유하면 연결된 칩끼리는 V_b^s 전압이 동일하므로 역시 출력 노드의 개수도 두 배로 늘어난다. 이러한 방식으로 다수의 칩을 연결하여 입력 노드의 개수와 출력 노드의 개수를 확장할 수 있다. 이상적인 경우는 확장할 수 있는 범위에 제한이 없으나 실제로는 V_b^s 전압의 분해능의 한계와 칩간연결에 의해 생기는 부수적인 저항, 캐패시턴스등에 의해 확장 범위가 제한된다.

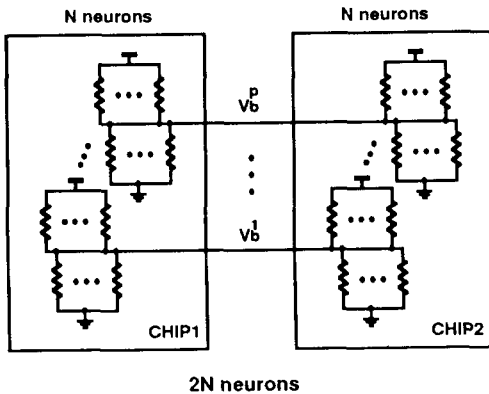


그림 6. 칩 병렬 연결에 의한 뉴런의 확장
Fig. 6. Neuron Expansion by parallel connecting the chips.

2. 층(layer)의 확장

층의 확장은 그림 7에서 보인 바와 같이 앞 층의

출력 노드와 뒷 층의 입력 노드를 연결하여 이루어진다. 이와 같이 핀과 핀 사이를 직접연결하면 층과 층 사이의 신호 전달이 병렬로 동시에 이루어지므로 시분할 방식을 취하는 것보다 빠른 속도를 얻을 수 있다. 그림에서 N_1 은 입력 노드의 개수, N_2 는 은닉층 뉴런의 개수, 그리고 N_3 는 출력층 뉴런의 개수를 나타낸다. 이 경우에는 두개의 층을 가지는 경우를 나타내었지만 같은 방식으로 여러 층으로의 확장이 가능하다.

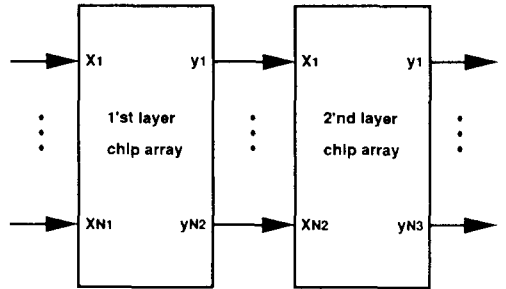


그림 7. 칩 연결에 의한 층의 확장
Fig. 7. Layer Expansion by chip cascading.

IV. 칩 및 proto-type 보드의 제작

설계된 MBAM칩의 layout이 그림 8에 나타나 있다. 이 칩은 132 핀 패키지로 제작되었으며 하나의 칩 안에는 48개의 패턴을 저장할 수 있는, 32개의 입력노드와 32개의 출력노드를 가지는 단층구조의 MBAM모델이 구현되어 있다. 1.2u CMOS 공정으로 제작되었으며 최대 10Mhz의 클럭에서 동작한다. 이 칩은 층의 확장과 뉴런의 확장이 가능하므로 필요한 숫자만큼의 칩을 보드에 꽂아서 사용하게된다. 따라서 실제의 어플리케이션에 사용할 수 있도록 많은 뉴런을 갖는 MBAM은 칩어레이로 구성 될 것이다.

신경회로망 보드는 MBAM 칩 어레이를 PC와 인터페이스하여 학습된 결과를 칩에 전달하고, 원하는 어플리케이션에 맞도록 칩에 패턴 수와 뉴런의 수를 지정하고 칩에 입력을 주어 'parallel processing'하도록 콘트롤한 후 출력을 PC에 전달한다. 32개의 뉴런을 가지는 칩을 제작하기 이전에 8개의 뉴런을 가지는 proto-type의 MBAM칩^[7]과 이 칩을 콘트롤하는 보드를 제작한 바 있는데^[8] 그림 9는 이 'proto-type MBAM칩'을 탑재한 신경회로망 보드의 블록 다이어그램이다. 이 시스템을 사용하여 실제로 뉴런과 층의 수를 확장할 수 있음을 보았으며 간

단한 종류의 이중연상기능을 수행할 수 있었다.^[8]

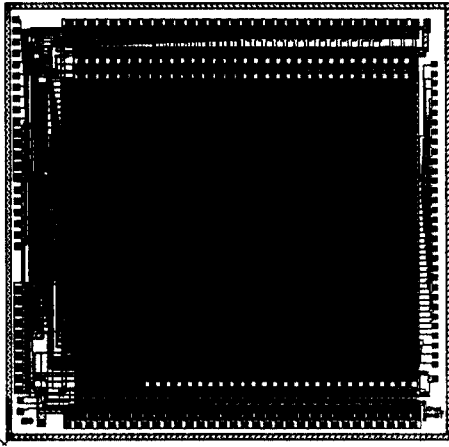


그림 8. 32x32 MBAM 칩의 레이아웃
Fig. 8. Layout of 32x32 MBAM chip.

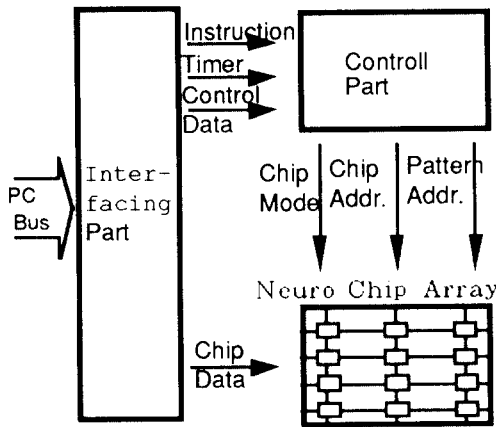


그림 9. 프로토타입 보드의 블록 다이어그램
Fig. 9. Block diagram of proto-type Board.

MBAM 칩 어레이는 PC와 인터페이스하여 데이터를 입출력할 때에는 시분할하여 한 칩을 선택하여 동작시키고 신경회로망 동작(neural processing)을 할 경우에는 모든 칩이 병렬적으로 연결되어 있어 각 층의 칩은 동시에 동작하게 된다. 이 시스템은 MBAM모델 뿐 아니라 BAM과 Hopfield모델에도 사용할 수 있다.

V. 결론

MBAM 신경회로망 모델은 내적구현방식에 의한

'storage이진화'에 의하여 구현이 용이하고, 다층구조 및 양방향성을 가지고 있어서 성능이 뛰어난 모델이다. 본 논문에서는 이 MBAM모델을 구현하는 하드웨어를 제작하였다. 이진화에 의한 오차를 줄이기 위하여 내적구현방식으로 회로를 설계하였으며 이 회로는 뉴런의 수를 확장하기에 적합하도록 고려되었다. 그 결과 칩을 병렬 연결하여 뉴런의 수를 늘릴 수 있으며 칩을 cascading하면 층(layer)의 수를 확장할 수 있다. 뉴런의 비선형 함수로는 step함수와 sigmoid 함수를 구현하였으며 'sigmoid 회로'는 함수의 기울기를 조절할 수 있다. 또한 성능향상의 목적으로 비선형 함수에 바이어스를 줄 수 있도록 하였다. 설계된 칩은 32개의 입력노드와 32개의 출력 노드를 가지며 48개의 패턴을 학습할 수 있다.

Acknowledgement

※이 연구는 국방과학연구소의 연구지원에 의한 것임(ADD90-4-01).

參考文獻

- [1] B.Kosko, "Bidirectional associatives," *IEEE Trans.Sys.Man and Cyber*, vol. 18, pp49-60, 1988.
- [2] 민성식, "다층구조 양방향 연상기억 모델," 한국과학기술원 석사학위 논문, 1991.3.
- [3] S.S.Min, and S.Y.Lee, "Multi-layer bidirectional associative memory," presented at the International Conference on Fuzzy Logic and Neural Networks, Iizuka, Japan, July 20-24, 1990.
- [4] D.E.Rumelhart, J.L.McClelland and PDP Research Group, "Parallel Distributed Processing, vol 1," MIT, 1986.
- [5] J.J.Hopfield, "Neural networks and physical systems with emergent collective computational abilities," *Proc. of the National Academy of sciences* 79:2554-2558, 1982.
- [6] J.J.Hopfield, "Neurons with graded response have collective computational properties like those of two-state neurons," *Proc. of the National Academy of sciences* 81:3088-3092, 1984.
- [7] 최윤경, "MBAM을 구현하는 내적구현 신경회

로망 칩의 설계,"한국과학기술원 석사학위논문, 1992.3.

- [8] 최윤경, 박정배, 이수영, "내적구현 신경회로망 칩과 이를 이용한 다층구조 신경회로망 board의 특성," 제3회 신경회로망 연구회 연차총회 및 학술대회, pp69-74, 1992.7.7.

- [9] Dong-gyu Jeong, and Soo-Young Lee, "Binarization for Multi-layer Bidirectional Associative Memory," Inter. Conf. fuzzy Logic and Neural Networks (IIZUKA '92) Iizuka, July 18-22, 1992.

著 者 紹 介



催 倫 競 (正會員)

1967年 10月 6日生. 1990年 2月 고려대학교 전자전산공학과 졸업(학사). 1992年 2月 한국과학기술원 전기및 전자공학과 졸업(석사). 1992年 ~ 현재 한국과학기술원 전기 및 전자공학과 박사과정 재학중.

주관심 분야는 신경회로망의 VLSI 구현 등임.

李 壽 永 (正會員)

1952年 1月 15日生. 1975年 서울대학교 전자공학과 학사과정 졸업. 1977年 한국과학기술원 전기및전자공학과 석사과정졸업. 1984年 미국 Polytechnic Institute of New York 박사학위취득. 1977年 ~ 1980年 대한엔지니어링 주식회사 근무. 1982年 ~ 1985年 미국 General Physics Corp. 근무. 1986年 ~ 현재 한국과학기술원 전기및전자공학과 근무. 부교수. 주관심분야는 신경회로망, 수치해석 등임.

朴 晶 培 (正會員)

1968年 3月 1日生. 1990年 2月 한양대학교 전자통신공학과 졸업(학사). 1993年 2月 한국과학기술원 전기및 전자공학과 졸업(석사). 주관심분야는 신경회로망의 VLSI구현 등임.