

집적회로의 새로운 계층적 배치 기법

(A New Method for Hierarchical Placement of Integrated Circuits)

金 衷 希*, 申 鉉 哲**

(Chung Hee Kim and Hyun Chul Shin)

要 約

본 연구에서는 효율적인 배치를 위한 새로운 계층적 배치 알고리즘을 개발하였다. 규모가 큰 회로의 효율적인 배치를 위하여 단계적으로 회로를 분할하여 배치하는 계층적 배치 방법을 사용하였으며, 각 단계에서의 배치는 최적에 가까운 해를 구하기 위하여 시뮬레이티드어닐링 기법을 응용하여 수행하였다. 계층적 배치 방법은 상위 단계에서는 전체적인 배치의 최적화를, 하위 단계에서는 세부적인 배치의 최적화를 수행하도록 하였다. 이와같은 계층적 배치 기법은 기존의 배치 방법과 비교할때 우수한 결과를 보여주었다.

Abstract

In this research, we developed a new algorithm for hierarchical placement of integrated circuits. For efficient placement of a large circuit, the given circuit is recursively partitioned to form a hierarchy tree and then simulated-annealing-based placement method is applied at each level of the hierarchy to find a near optimum solution. During the placement, global optimization is performed at high levels of the hierarchy and local optimization is performed at low levels. When compared with conventional placement methods, the new hierarchical placement method produced favorable results.

1. 서론

직접회로의 효율적인 배치를 위한 새로운 계층적 배치 알고리즘을 개발하여 이를 표준셀의 배치에 적용하였다. 표준셀의 레이아웃 (layout) 방식은

ASIC 설계의 대표적인 방법으로 설계의 자유도가 크고 배선이 용이하므로 널리 사용되고 있다. 각 셀은 높이가 일정하여 가로로 배치되고 각 셀의 열 (row) 사이의 채널 (channel) 영역에 배선(routing)을 할 수 있어 배선이 용이하다.

배치의 목적은 전체 배선 길이를 최소화 하여 성능 (performance)을 좋게하고, 전체 칩 (chip)의 면적을 줄이며 배선을 용이하게 하여 최종 배선 결과를 좋게 하는데 있다.

지금까지 여러가지 배치 방법이 제안 되었다. 먼저 회로의 분할^[1,2]에 의한 배치 방법이 사용되어 왔는데 이는 회로를 분할하면서 적절한 영역에 배치하는

*學生會員, **正會員, 漢陽大學校 電子工學科
(Dept. of Elec. Eng., Seoul Nat'l Univ.)

(※본 논문은 1990-91년도 한국과학재단의 신진 연구 지원으로 연구되었음.)

接受日字: 1992年 12月 7日

방법^[5,6,7,8]이다. 이 방법은 셀의 집합과 레이아웃(layout) 영역을 분할하여 배치하는 과정을 계층적으로 반복한다. 그러므로 수행 속도가 빠른 장점이 있지만, 근소한 차이의 분할 결과에 의하여 한 영역에 배치된 셀들은 다시 분할되어도 그 영역내에서만 배치되어 최종 결과까지 영향을 주는 단점이 있다. 또 다른 널리 알려진 방법으로는 시뮬레이티드어닐링(simulated annealing)^[9]에 의한 방법이 있다. 시뮬레이티드어닐링에 의한 방법은 임의의 초기 배치 후 배치 상태를 변화하여 더 좋은 배치를 얻고자 하는 것으로, 전체적인 최적의 해를 구하기 위하여 배치가 나빠지는 경우도 확률적으로 채택한다. 이때 온도의 개념을 도입하여 온도에 따라 배치가 나빠지는 경우를 확률적으로 채택한다. 높은 초기 온도에서 시작하여 온도를 서서히 낮추며, 온도가 비교적 높은 경우 배치 상태가 나빠지는 경우도 많이 채택하여 변화를 주도록 하고 온도가 내려가면서 비용(cost)이 감소하는 경우만 채택하도록 하여 최종에는 전체적으로 좋은 결과를 얻도록 한다. 시뮬레이티드어닐링을 이용한 배치 시스템으로는 TimberWolf^[10] 등이 있으며 좋은 결과를 보여주고 있다. 한편 클러스터링(clustering)을 이용한 시뮬레이티드어닐링 배치^[11] 방법도 연구되어 왔는데, 이 방법은 연결도가 밀접한 셀을 클러스터로 만들어 배치하므로 수행 시간을 단축하고 배치결과가 향상되는 장점이 있다.

본 연구에서는 분할과 시뮬레이티드어닐링의 장점을 함께 얻을 수 있는 새로운 계층적 배치 방법을 개발하였다. 회로의 규모가 커짐에 따라 회로를 분할하여 배치하는 계층적 배치 방법이 수행 시간을 단축시키고 복잡도를 감소시키는 등의 장점이 있어서 필수적이다. 시뮬레이티드어닐링을 이용한 배치 방법은 수행 시간이 길다는 단점이 있지만 현재까지의 배치 방법중 가장 좋은 결과를 보여 주고 있으며 여러가지 복잡한 제약 조건을 쉽게 다룰 수 있다는 장점이 있다. 본 배치 방법은 회로를 분할하여 몇개의 부분 집합으로 나눈 후, 이를 시뮬레이티드어닐링을 이용하여 배치하고, 반복적으로 배치된 각 부분 집합을 분할하여 배치하는 방법이다. 이와같이 각 단계에서 분할된 셀의 그룹은 그 단계에서 최적에 가깝게 배치되며, 이 그룹들은 다시 분할되어 그 다음 단계에서 보다 세부적으로 배치된다. 또한 분할이 항상 이상적일 수 없으므로 분할은 각 단계에서의 초기 배치(initial placement)를 얻는데 이용되며, 그후 배치의 최적화 과정에서는 셀의 그룹들은 제한된 거리 내에서는 계층의 단계(hierarchy)에 관계없이 이동할 수 있도록 하였다.

본 새로운 계층적 배치 방법의 특징은 다음과 같이 요약할 수 있다.

1) 본 방법은 완전한 계층적인 방법이다. 지금까지 클러스터를 이용한 두단계의 배치 방법^[12]은 제안되었으나, 다만 계층적 시뮬레이티드어닐링을 적용한 논문은 없었다. Min-cut에 기초한 계층적 배치 방법들은 발표되었으나, 실험결과에서 볼 수 있듯이, 결과가 만족스럽지 않다.

2) 계층구조의 각 단계에서 시뮬레이티드어닐링의 초기 온도는 상위 단계의 배치가 크게 바뀌어지지 않게 하기 위하여 동적으로 추정하여 사용하였다. 계층적 시뮬레이티드어닐링을 위해서는 각 단계(level)에서의 초기 온도를 결정하는 것이 중요한 문제이다. 이 초기 온도가 너무 높으면 상위 단계에서의 최적화를 무시하게 되며, 너무 낮으면 부분적 최적화에서 벗어날 수 없게 된다. 본 연구에서는 각 단계에서 비용이 증가하는 경우를 채택할 확률을 먼저 정하여 초기 온도를 계산하는 방법을 사용하였다.

3) 분할은 클러스터를 이용한 새로운 2단계의 분할 기법^[3]을 이용하였다. 이 방법은 클러스터를 형성하여 효율적인 클러스터의 분할을 얻고, 이를 셀의 초기분할로 이용한 방법이다. 각 단계의 분할은 크기의 제약 조건을 동적으로 조정할 분할 방법^[4]을 사용하였다. 또한 분할의 결과는 각 단계에서의 초기해를 구하는데 이용될 뿐, 최종결과를 지배하지 않으며, 제한된 시뮬레이티드어닐링에 의하여 최적화 되므로 효율적인 우수해배치가 가능하다.

II 장에서는 새로운 배치 방법에 대하여 기술하고,

III 장에서는 전체 알고리즘 및 세부사항에 대하여 기술한다. IV 장에서는 다른 시스템과의 실험 결과를 비교하였으며 마지막으로 V 장에서 결론을 기술하였다.

II. 새로운 배치 방법

표준셀을 이용한 집적회로의 새로운 배치는 계층적으로 시뮬레이티드어닐링을 적용하여 이루어진다. 먼저 입력으로 받은 셀들을 분할 알고리즘^[3]을 이용하여 4개의 그룹으로 분할한다. 분할의 목적은 각 나누어진 그룹 사이의 연결도가 최소가 되도록 하는 것이다. 이러한 4-way 분할은 계층적 시뮬레이티드어닐링을 적용하기 위한 것이며, 적절한 분할은 칩의 면적과 배선의 총 길이를 최소화 하고 수행 시간을 단축해 준다. 분할후 각 나누어진 그룹들은 다음에 기술할 배치 알고리즘에 따라 배치면에 배치된다. 처음에 배치된 4개의 그룹은 가능하다면 다시 각각 4개로 분할되어, 16개의 그룹이 되고, 이들은 배치 알고

리듬에 따라 배치된다. 이와같이 분할후 배치하는 것을 더이상 분할이 되지 않을 때까지, 즉 한 분할된 그룹에 속한 셀의 수가 적어 분할이 불가능할 때까지 반복하여 실행한다. 이를 그림으로 나타내면 그림 1과 같다.

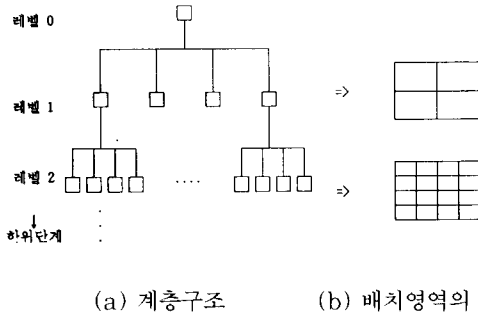


그림 1. 분할을 이용한 배치의 계층적 구조
Fig. 1. Hierarchy of placement using partitioning

더 이상 그룹이 분할이 되지 않을 경우 그룹 단계의 배치를 마치고 셀 단계의 배치를 하게 된다. 즉 계층적 배치는 여러 단계의 그룹의 배치와 마지막 단계의 셀의 배치로 나누어 수행된다. 그룹의 배치 단계에서는 분할 알고리즘에 의해 분할된 각 그룹의 전체적인 배치에 중점을 두었고 셀의 배치 단계에서는 각 셀을 최적의 위치에 배치 하고자 하였다.

배치 알고리즘은 시뮬레이티드어닐링 기법^[9]에 기초하였다. 그룹 단계의 배치에서는 각 그룹들을 초기 배치한후 배치 상태를 바꾸어 가며 비용이 줄어드는 경우를 주로 받아들여 비용을 줄인다. 본 알고리즘에서는 비용의 계산을 용이하게 하기 위하여, 한 네트의 길이는 그 네트와 연결된 모든 그룹의 중앙점들을 포함하는 최소 크기의 사각형의 둘레의 길이의 반으로 하였다. 그룹 레벨에서의 시뮬레이티드어닐링은 배치를 바꾸어 비용이 줄어드는 위치를 찾는데, 본 방법에서는 두 그룹의 위치를 바꾸는 방법을 사용하였다. 이때 분할시 그룹 간의 크기의 차이를 크게 허용하지 않으므로 크기의 차이로 인한 overlap은 허용하였다. 또 시뮬레이티드어닐링은 좀더 전체적인 최적의 해를 구하기 위하여 비용이 증가하는 경우도 확률적으로 허용하는데, 이는 온도 (temperature)로 표시 된다. 온도가 너무 높으면 분할과 상위 단계에서 얻어진 최적화가 무시되므로 상위 단계의 배치에서는 중간 정도의 초기 온도를, 하위 (cell level) 단계에서는 낮은 초기 온도를 사용하여 비교적 짧은

수행 시간안에 최적에 가까운 배치를 얻는 것을 목표로 하였다. 즉 상위 단계일수록 온도가 높으므로 비용의 증가를 받아들일 확률이 크며 이는 배치가 부분적 최적화 (local optimum)에서 벗어나도록 한다. 상위 단계에서는 비용이 증가하는 경우를 20% 정도만 허용 (accept)하였으며, 각 단계마다 2-3%씩 감소시켜 맨 마지막 그룹의 배치 단계에서는 5-10%만 허용하였다. 각 단계에서의 초기 온도는 아래의 확률식에서 acceptance ratio가 주어지면 구할 수 있다.

$$\text{acceptance ratio} = \exp(-\text{cost_change} / T) \quad (1)$$

$$T = -\text{cost_change} / (\ln(\text{acceptance ratio})) \quad (2)$$

이와같이 하여 min-cut 방식의 장점인 계층구조의 이용과 시뮬레이티드어닐링의 장점인 전반적인 최적화를 얻을 수 있다.

III. 알고리즘 및 세부 사항

전체 알고리즘은 다음과 같다.

Algorithm : Hierarchical Placement

Input_data:

/* group level placement */

```
for( each level in the hierarchy tree from
the root level) {
for( each group ) {
Partition into 4 sub-groups:
}
```

Initial_placement:

```
/* The initial temperature for simulated
annealing and the max_distance cells can move
decrease as the level number increases. */
Find initial_temperature and max_distance:
Simulated_annealing( initial_temperature,
max_distance );
}
```

/* cell level placement */

Initial_placement:

```
Find initial_temperature and max_distance:
Simulated_annealing( initial_temperature,
max_distance );
```

Output:

전체 알고리즘의 주요 세부사항에 대하여 설명한다.

1. 분할 방법

한 단계에서의 배치가 끝나면 모든 그룹들을 각각 4개로 나눈다. 분할은 4-way로 분할하여, 2-way 분할 기법을 반복하여 실행하는것 보다 좋은 분할이 이루어지도록 하였다. 분할은 클러스터를 이용한 2단계의 분할 방법¹⁰⁾을 사용하였다. 먼저 서로 밀접하게 연결된 셀들을 하나의 클러스터로 만든다. 클러스터를 형성하여 회로의 규모를 줄인 후, 이를 여러번 분할하여 좋은 분할을 선택한다. 이 분할 결과를 셀 단계의 초기 분할로 이용하여 최종의 좋은 결과를 얻는다. 각 단계 (클러스터와 셀단계)의 분할은 크기의 제약 조건을 동적으로 조정하는 분할 기법¹¹⁾을 사용하였다. 배치시 그룹의 이동에 따른 overlap이 적을수록 좋으므로 분할에서 나누어지는 그룹간의 크기의 차이는 적을수록 좋다. 그러나 일반적으로 분할할 때 그룹들 간의 크기의 차이를 크게 허용할수록 그룹들을 연결하는 네트의 수가 감소하는 경우가 많다. 본 배치에서는 한 그룹을 4개의 그룹으로 분할할 때, 그룹들 간의 크기의 최대 차이를 평균 그룹 크기의 10% 이내로 하였다.

2. 초기 배치

초기 배치는 처음에 전체 배치면을 4부분으로 나누어 4개의 분할된 그룹을 임의로 배치한다. 다음 단계에서는 각 배치된 그룹을 다시 4개로 나누고, 그 그룹이 배치된 배치면을 각각 4개로 나누어 임의로 배치한다. 그림 3은 그림 2의 전체 배치면이 16개로 분할되어 4×4의 이차원 배열 형태로 모델링 (modeling) 되어진 예를 보여준다. 이와같이 한 단계의 배치가 끝날 때마다 배치면의 분할된 영역의 수가 4배로 증가하게 된다.

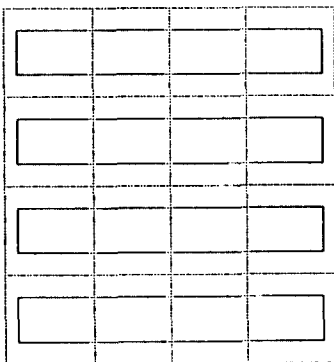


그림 2. 표준셀 레이아웃의 예
Fig. 2. An example of standard cell layout.

배치면의 분할시 분할하려는 배치면이 하나의 셀 열로 구성되어 가로 방향으로 분할할 수 없는 경우는 세로로만 분할하여 배치한다. 그림 2의 배치면이 그림 3과 같이 모델링된 다음 단계에서 4배로 분할하고자 할 경우, 배열의 한 영역이 하나의 셀 열로 구성되어 있어서 더 이상의 가로 방향의 분할은 곤란 하므로 세로 방향으로만 분할하여 4×16의 배열 형태로 모델링 한다.

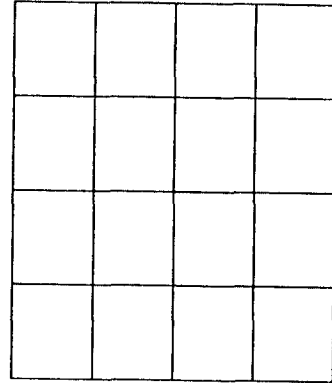


그림 3. 4×4의 배열 형태로의 모델링된 예
Fig. 3. An example of 4×4 modeling.

일반적으로 열의 수가 2n이 아닌 경우에는 분할된 배치 영역은 같은 수의 열을 가질 수 없게 된다. 예를들어, 5개의 열에 배치하고자 한 경우, 전 단계에서 4×4의 배열로 모델링된 배치면이 4배로 나누어 질때 8×8의 형태로 모델링 할 수 없으므로 4×16의 형태로 모델링 한다. 이 경우 회로는 4×16으로 분할되었지만 실제 배치영역에는 5개의 열이 있으므로 비어있는 하나의 가로열을 채워주기 위하여 앞뒤의 열에서 셀을 이동시켜 네트의 길이가 크게 증가하지 않은 경우만 채택하는 것을 모든 가로열에 속한 그룹의 수가 비슷해질 경우까지 반복한다. 그리하여 각 배열의 세로열의 수를 비슷하게 조정하며, 4개의 가로열을 전체 배치의 비용이 크게 변하지 않도록 5개의 가로열로 변화시킨다. 이 그룹들은 다음 단계의 시뮬레이티드어닐링의 초기 배치가 되므로 정확한 배치는 시뮬레이티드어닐링에 의하여 구해지게 된다. 그룹 단계의 배치가 모두 완료되면 각 그룹이 위치한 자리에 셀을 임의로 초기 배치한다. 초기 배치된 그룹이나 셀들은 시뮬레이티드어닐링을 거쳐 정확히 배치하게 된다.

3. 시뮬레이티드어닐링 (simulated annealing)

각 단계에서의 초기 배치가 완료된 후에 시뮬레이티드어닐링을 이용하여 배치 상태를 개선한다. 기존

의 시뮬레이티드어닐링을 이용한 배치 방법^[10]이 한 단계의 시뮬레이티드어닐링 만을 사용하거나, 클러스터들을 이용하여 두 단계의 시뮬레이티드어닐링^[12]을 사용하는데 비하여, 본 배치 방법은 회로를 분할하면서 여러 단계의 시뮬레이티드어닐링을 수행하게 된다. 즉 여러단계의 그룹 단계의 시뮬레이티드어닐링과 마지막 셀 단계의 시뮬레이티드어닐링 단계로 나누어 진정한 계층적 배치가 수행된다. 그룹의 수가 비교적 적은 상위 단계일수록 비용이 증가하는 것을 채택할 확률이 높은 초기 온도에서 시작하여 전체적인 좋은 배치가 되도록 하였다. 전체 그룹의 수가 많은 하위 단계에서는 비용이 증가하는 것을 채택할 확률이 비교적 낮은 초기 온도에서 시작하여 앞 단계에서 얻어진 배치를 크게 변형시키지 않고 부분적인 최적의 배치를 하도록 하였다. 이와같이 하여 전체적인 수행 시간을 감소시키며 좋은 배치를 얻고자 하였다. 각 단계의 시뮬레이티드어닐링은 그 단계의 초기 온도에서 시작하여 온도를 조금씩 감소시켜 비용이 증가하는 경우에 채택될 확률을 줄인다. 이때 온도 T 의 계산은 비용이 감소하는 경우에는

$$T_{i+1} = 0.9 \times T_i, \quad (\text{for } i = 0, 1, 2, \dots) \quad (3)$$

로 0.9배 감소시키며 만약 전 온도에서 비용이 감소하지 않은 경우는

$$T_{i+1} = 0.8 \times T_i \quad (4)$$

로 0.8배 감소하여, 비용이 감소하는 온도에서 더 많이 수행되도록 하였다.

1) 그룹 단계의 시뮬레이티드어닐링

그룹 단계의 시뮬레이티드어닐링에서의 새로운 상태의 발생은 두 그룹의 위치를 서로 바꾸어 발생시킨다. 즉 난수 (random number)에 의하여 두 그룹을 임의로 선택하여 비용이 감소하는 경우는 항상 채택하고 비용이 증가하는 경우는 시뮬레이티드어닐링의 확률식

$$\text{Accept probability} = \exp(-\text{cost_change}/T) \quad (5)$$

에 의하여 채택될 확률이 결정된다. 이와같이 하여 채택될 확률이 구해지면 0에서 1까지의 범위에서 난수 (random number)를 발생하여 채택될 확률이 이 난수보다 큰 경우에만 채택한다. 이때 초기 온도가 높은 경우 채택될 확률이 커지며 전체적으로 새로운

상태를 많이 채택하지만, 수행이 반복되면서 온도가 점점 낮아지면 같은 비용의 변화에 대하여 채택될 확률이 점점 작아지고, 최종에는 비용이 감소하는 것만 채택하게 되어 더이상 비용의 감소가 없으면 한 단계의 시뮬레이티드어닐링을 마치게 된다. 이때 두 그룹의 크기의 차이가 크지 않도록 분할 하였고 배치면을 크기가 일정한 이차원 배열 형태로 모델링 하였으므로, 수행 시간을 단축 시키고 효율적인 시뮬레이티드어닐링을 수행하기 위하여 overlap은 고려하지 않는다.

서로 위치를 바꿀 두 그룹을 선택할때, 윈도우 (window)의 개념을 도입하여 이 윈도우 내에 포함되는 그룹만 선택한다. 이러한 방법은 TimberWolf^[10]에서도 사용했으므로 온도가 높을 때는 윈도우의 크기를 크게하여 서로 멀리 있는 셀의 이동도 허락하고 점점 온도가 낮아짐에 따라 윈도우의 크기를 감소시켜 서로 인접한 셀만 교환하도록 하였다. 그룹 단계의 배치에서는 윈도우의 크기를 항상 그 단계의 그룹 평균 크기의 4배로 하였다. 처음에 전체 그룹과 배치면을 4개로 나누었을 경우, 그룹의 수가 4개이므로 시뮬레이티드어닐링을 적용하지 않고 다시 각각을 분할하여 16개의 그룹과 배치면이 되었을 경우 시뮬레이티드어닐링을 적용하게 된다. 이때 윈도우의 크기는 그림 4와 같이 전체 배치면을 다 포함한다. 그러나 그 다음 단계인 64개의 배치면에 64개의 그룹을 배치하는 경우에는 윈도우가 그림 5와 같이 상대적으로 줄어들어 이동하는 그룹간의 거리가 감소한다.

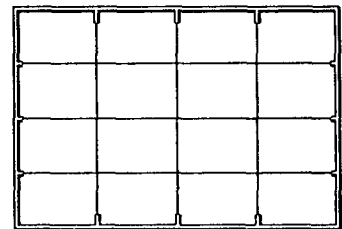


그림 4. 16개의 그룹 배치시의 윈도우 크기
Fig. 4. Window size for the placement of 16 groups.

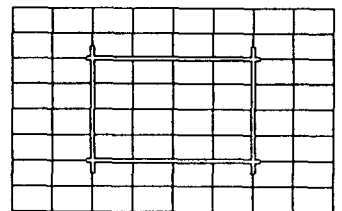


그림 5. 64개의 그룹 배치시의 윈도우 크기
Fig. 5. Window size for the placement of 64 groups.

윈도우를 사용하여 이동거리를 제한하는 것은 분할과 상위 단계에서의 배치의 최적화로 인하여, 하위 단계에서는 서로 멀리있는 그룹을 교환하는 것은 채택될 확률이 적으므로 고려 대상에서 제외하여 수행 시간을 단축시키기 위한 것이다. 하위 단계로 갈수록 배치 대상 그룹 (또는 셀)의 수가 급속히 증가하며, 시뮬레이티드어닐링의 수행 시간은 배치 대상의 수에 따라 증가하므로 이러한 계층 구조는 매우 유용하다.

각 단계에서의 초기 온도는 비용이 증가하는 경우를 어느 정도까지 허용하는지에 의하여 결정된다. 즉 비용이 증가하는 경우의 10%만 받아들여야 이 때의 비용의 변화량의 평균값을 구하여 이에 해당하는 초기 온도 T 를 구하면 된다. 비용이 증가하는 경우를 받아들일 확률은 상위 단계일수록 높게 하였다. 즉 상위 단계일수록 자유롭게 이동하여 각 그룹들이 전체적인 최적의 위치에 배치되도록 하며, 하위 단계는 상위 단계의 배치를 전체적으로 변화시키지 않고 부분적인 최적화를 하도록 하였다. 그룹 배치에서는 마지막 단계에서 비용이 증가하는 것을 5% 채택하고 한단계 위의 상위 단계일수록 3%씩 높게 채택 하도록 하였다.

2) 셀 단계의 시뮬레이티드어닐링

그룹과 배치면을 계속 분할하면서 배치한후 각 그룹에 속한 셀의 수가 평균 4개 이하인 경우 더 이상의 분할이 곤란하므로 그룹 단계의 배치를 마치고 셀 단계의 배치를 수행하게 된다. 셀 단계의 배치는 각 셀이 속한 그룹이 배치된 영역에 그 셀을 초기 배치하게 된다. 그리고 시뮬레이티드어닐링을 이용하여 비용이 최소가 되도록 배치 상태를 개선하게 된다. 셀 단계의 배치의 초기 온도는 비용이 증가하는 경우가 채택될 확률이 크지않도록 하였다. 윈도우의 크기도 작게하여 세로의 크기는 3개의 열로 하고, 가로는 가장 큰 셀의 가로의 길이의 4배로 이동하는 셀의 범위를 제한 하였다. 실험 결과 윈도우의 크기를 크게 하여도 주로 채택되는 것은 서로 인접한 셀의 이동이 대부분이므로 짧은 수행 시간내에 좋은 결과를 얻기 위한 위의 제한은 타당하다. 셀 레벨에서는 초기의 acceptance ratio를 5%에서 시작하며, 새로운 상태의 발생은 두 셀의 교환과 한 셀을 다른 자리에 끼워 넣는 것으로 구성된다. 셀의 배치에서는 overlap을 허용하지 않는다.

4. 비용 (cost)의 계산

시뮬레이티드어닐링을 수행할 경우 새로운 상태에 대하여 더 좋은 상태인지를 수치적으로 나타내기 위하여 비용 함수가 필요하다. 즉 비용 함수의 값을 줄

이기 위하여 시뮬레이티드어닐링을 적용하므로 비용 함수를 적절히 선택해야 최중에 좋은 결과를 얻을 수 있다. 본 배치 알고리즘은 그룹 단계의 배치와 마지막 셀 단계의 배치로 나누어지며 각각의 목적이 약간 다르므로 서로 다른 비용 함수를 사용한다. 즉 그룹 단계의 배치는 각 그룹의 크기가 약간 다르더라도 전체적인 네트의 길이의 합이 최소인 배치를 얻는것이 목적이므로 추정된 전체 네트의 길이만을 비용으로 하였다. 각 네트의 추정 길이는 그 네트에 연결된 모든 핀들을 포함하는 최소 크기의 직사각형의 둘레 길이의 반 (half perimeter)으로 하였다.

그러나 마지막 셀 단계의 배치에서는 전체 네트의 길이를 줄이는 목적이외에 각 열의 길이를 비슷하게 하여 전체 배치면의 면적을 줄이는 것도 중요하다. 즉 비용 함수에 각 열의 길이와 지정해준 열의 길이와의 차이를 비용으로 주어 열의 길이를 조정하도록 하였다. 이를 식으로 나타내면

$$\text{cost} = \text{cost1} + \alpha \times \text{cost2} \quad (6)$$

로 나타낼 수 있고, 여기서 cost1 과 cost2 는 다음과 같다.

cost1 은 추정된 전체 네트의 길이로

$$\text{cost1} = \sum_{k=1}^{\text{num net}} |\text{half perimeter wire length}(k)| \quad (7)$$

이고, cost2 는 각 열 길이의 불규칙성을 나타낸다.

$$\text{cost2} = \sum_{r=1}^{\text{num row}} |\text{row length}(r) - \text{desired row length}| \quad (8)$$

(6)식에서 α 의 값은 그룹 단계의 시뮬레이티드어닐링인 경우에는 overlap을 허용하므로 0이 되고, 셀 단계의 시뮬레이티드어닐링인 경우에는 overlap을 허용하지 않으므로 상수가 된다. 이 상수 값은 다음의 실험에서는 4를 사용하였고 열의 차이를 더 줄이고자 할 경우에는 더 큰 값을 사용한다.

IV. 배치 실험 결과

새로운 계층적 배치기법의 성능을 비교하기 위하여 네개의 MCNC 벤치마크 예제 (benchmark examples)를 사용하였다. 사용한 예제의 셀및 네트에 대한 정보및 셀 열의 수, 그리고 셀의 열 사이의 채널폭 (channel width)은 표 1에 나타내었다. 두 개의 예제인 primary1과 primary2는 패드 (pad)를 포함하여 배치하였고 나머지 두개의 예제에서는

패드를 포함시키지 않았다. 배치 결과는 [14]에서 인용한 4가지 다른 시스템의 결과 [8,13,14,15]와 시뮬레이티드어닐링을 이용한 가장 잘 알려진 배치 시스템의 하나인 TimberWolf [10]의 최근 버전 (version)인 6.0과 비교하였다. [15]에서 인용한 실험 결과는 SUN4에서 수행한 결과이며, TW6.0과 새로운 방법 (NEW)은 SUN SPARC station2에서 수행한 결과이다. 배치 결과를 비교하기 위하여 추정한 배선의 길이 (half perimeter)를 비교하였다. 배치 결과를 보면 [14]에서 인용한 4가지 다른 방법에 비하여 TimberWolf와 본 배치 시스템이 수행 시간은 길지만 월등히 우수한 결과를 보여주었다. 또한 한단계 (flat level)에서 시뮬레이티드어닐링을 적용한 TimberWolf보다 분할에 의하여 여러 단계를 거치면서 배치를 최적화한 본 시스템의 결과가 사용한 모든 예제에서 우수하였다. 또한 본 계층적 방법이 수행 시간도 빠르게 나타났다. 이는 초기의 그룹 배치 단계에서는 그룹의 수가 적으므로 빠른 시간내에 배치할 수 있고 다음의 각 단계는 세부적인 최적화만 하면 되므로 초기 온도가 상대적으로 낮은 온도에서 시작하여 효율적이기 때문이다. 실험 결과 (배선길이및 CPU time)는 표 2와 같다. 팔호안의 값은 본 시스템의 결과를 100으로 하였을 경우의 다른 시스템의 상대적인 값을 나타낸다.

표 1. 사용 예제
Table 1. Examples.

| Example | Pads | Cells | Nets | Rows | Channel width |
|----------|------|-------|------|------|-------------------|
| Primary1 | 81 | 752 | 904 | 17 | 220 μm |
| Primary2 | 107 | 2907 | 3029 | 26 | 270 μm |
| DECIN | 48 | 138 | 150 | 6 | 150 μm |
| REGFILE | 196 | 160 | 196 | 8 | 20 μm |

표 2. 배치 실험 결과
Table 2. Placement results.

| Example | Minicut | RT | GORDIAN | SOAP | TW6.0 | NEW |
|------------|------------------|------------------|------------------|----------------------|-----------------------|---------------------|
| | wire | wire | wire | wire sec | wire sec | wire sec |
| PrimarySC1 | 1739 (186.2%) | 2177 (233.1%) | 1503 (160.9%) | 1564 300 (167.5%) | 1094 2459 (117.1%) | 934 550 (100%) |
| PrimarySC2 | 9823 (226.8%) | 8685 (200.5%) | 8142 (188.0%) | 8465 800 (195.0%) | 4352 6777 (100.5%) | 4332 3778 (100%) |
| DECIN | - | - | - | 103.7 39 (264.5%) | 43.0 628 (110.3%) | 39.2 124 (100%) |
| REGFILE | - | - | - | 66.7 24 (167.2%) | 42.7 523 (107.0%) | 39.9 106 (100%) |

V. 결론

새로운 배치 방법에 대하여 기술하였다. 계층 구조를 얻기위한 분할 방법은 집적회로의 효율적인 분할을 위하여 클러스터를 이용한 계층적 방법을 사용하였다. 이 방법은 나누어지는 그룹의 크기의 조건을 초기에는 크게 완화하여 주고 점차 허용 범위를 줄이면서 원하는 크기의 조건을 만족시키는 방법이다. 계층적 배치는 계층구조에 따라 셀들을 분할하고 배치할 영역을 분할하여 배치하는 것을 상위단계에서부터 반복적으로 수행하고, 마지막 단계에서 정확한 셀의 배치가 이루어지도록 하였다. 이와같은 계층적 배치는 상위 단계에서는 전체적인 최적화를, 하위 단계에서는 세부적인 최적화를 목표로 하였으며, 각 단계에서는 시뮬레이티드어닐링 기법을 사용하여 최적에 가까운 해를 구하도록 하였다. 각 단계의 시뮬레이티드어닐링의 초기 온도를 적절히 조정하여 상위 단계의 배치를 크게 변화시키지 않고 좀더 세부적인 최적화가 되도록 하여, 시뮬레이티드어닐링의 수행 시간을 단축시키면서 좋은 결과를 얻도록 하였다. 이는 기존의 분할을 이용한 빠른 수행 시간의 장점과 좋은 수행 결과를 가지는 시뮬레이티드어닐링의 배치 방법의 장점을 함께 살리기 위한 것이다. 실험 결과 기존의 잘 알려진 배치 시스템과 비교하여 시간 및 성능 면에서 만족할 만한 결과를 보여 주었다.

參考文獻

[1] C. M. Fiduccia and R. M. Mattheyses. "A Linear-Time Heuristic for Improving Network Partitions". *Proc. 19th Design Automation Conference*, pp 175-181, 1982.

[2] B. W. Kernighan and S. Lin. "An Efficient Heuristic Procedure for Partitioning graph". *Bell system technical Journal*, vol 49, no 2, pp 297-307, Feb. 1970.

[3] 김 충희, 신 현철. "Clustering을 이용한 계층적 분할 방법". 전자공학회 논문집, vol. 30, no. 3, 3월, 1993.

[4] 김 충희, 신 현철. "집적 회로의 계층적 배치를 위한 새로운 분할 알고리즘". 전자공학회 논문집, Vol. 29, no. 5, 5월, 1992.

[5] M. A. Breure. "Min-Cut Placement". *Journal. Design Automation and Fault*

- Tolerant Computing*, Oct. 1977.
- [6] P. R. Suaris and G. Kedem, "Quadri-section : A New Approach to Standard Cell Layout", *Int. Conf. on Computer Aided Design*, pp 474-477, 1987.
- [7] S. Mayrhofer and U. Lauther, "Congestion-Driven Placement Using a New Multi-Partitioning Heuristic", *Int. Conf. on Computer Aided Design*, pp 332-335, 1990.
- [8] A. E. Dunlop and B. W. Kernighan, "A procedure for placement of standard-cell VLSI circuits", *IEEE Trans. Computer-Aided Design*, vol. CAD-4, pp. 92-98, 1985.
- [9] S. Kirkpatrick, C. Gelatt and M. Vecchi, "Optimization by Simulated Annealing", *Science*, May 13, pp 671-680, 1983.
- [10] C. Sechen and A. Sangiovanni-Vincentelli, "TimberWolf3.2 : A New Standard Cell Placement and Global Routing Package", *Proc. 23th Design Automation Conference*, pp 432-439, 1986.
- [11] L. K. Grover, "Standard Cell Placement Using Simulated Sinter-ing", *Proc. 24th Design Automation Conference*, pp 56-59, 1987.
- [12] S. Mallela and L. K. Grover, "Clustering based Simulated Annealing for Standard Cell Placement", *Proc. 25th Design Automation Conference*, pp 312-317, 1988.
- [13] S. Kim, C. Kyung, "Circuit Placement on Arbitrarily Shaped Region Using the Self-Organization Principle", *IEEE Trans. Computer Aided Design*, no. 7, pp 844-854, 1992
- [14] K. M. Just, J. M. Kleinhans and F. M. Johannes, "On the relative placement and the transportation problem for standard-cell layout", *Proc. 23rd Design Automation Conference*, pp. 308-313, 1986.
- [15] J. M. Kleinhans, G. Sigl and F. M. Johannes, "GORDIAN: New global optimization/rectangle dissection method for cell placement", *Int. Conf. Computer Aided Design*, pp. 506-509, 1988.

 著 者 紹 介

金 表 希(學生會員) 第 30卷 A編 第 3號 參照
 현재 한양대학교 대학원 박사
 과정

申 鉉 哲(正會員) 第 30卷 A編 第 3號 參照
 현재 한양대학교 전자공학과
 조교수