

論文93-30B-5-10

多段 레벨 組合論理 回路의 Net-list를 利用한 Pseudo-exhaustive Test에 관한 研究

(A Study on the Pseudo-exhaustive Test using a Net-list of Multi-level Combinational Logic Circuits)

李康鉉*, 金鎮聞*, 金容得**

(Kang Hyeon Rhee, Chin Mun Kim and Yong Deak Kim)

要約

본 논문에서는 다단 레벨의 조합논리 회로에 대한 의사-전체검사의 자동화 알고리즘을 제안한다. 기존의 Verification 검사에서 CUT의 PO에서 PI까지 경로를 역추적할 때, 각 콘(cone) 회로에 존재하는 shared 회로를 처리하기 위하여 PI-PO의 의존관계를 관계행렬로 표현하므로 의사-전체검사를 위한 부회로의 분할이 용이하다. 부회로의 C-입력 검사패턴은 2진 계수기로, I-입력은 특이커버와 일치조작의 합성으로 생성된다. 그러므로 제안된 알고리즘의 검사패턴은 리시피 큐브(recipe cube)로 표현이 되므로 검사패턴의 수가 감소되고 각각의 부회로가 동시에 검사된다. 제안된 알고리즘은 CUT의 net-list를 소스화 일로 입력받아 부회로 분할에서 검사패턴 생성까지 일괄 처리되며, ISCAS 벤치마크 회로의 평균 PI-의존도 69.4%에서 생성된 의사-전체검사 패턴의 감소율 범위가 85.4%에서 95.8%임을 확인하였다.

Abstract *

In this paper, we proposed the autonomous algorithm of pseudo-exhaustive testing for the multi-level combinational logic circuits. For the processing of shared-circuit that existed in each cone-circuit when it backtracked the path from PO to PI of CUT at the conventional verification testing, the dependent relation of PI-PO is presented by a dependence matrix so it easily partitioned the sub-circuits for the pseudo-exhaustive testing. The test pattern of sub-circuit's C-inputs is generated using a binary counter and the test pattern of I-inputs is synthesized using a singular cover and consistency operation. Thus, according to the test patterns presented with the recipe cube, the number of test patterns are reduced and it is possible to test concurrently each other sub-circuits. The proposed algorithm treated CUT's net-list to the source file and was batch processed from the sub-circuit partitioning to the test pattern generation. It is shown that the range of reduced ratio of generated pseudo-exhaustive test pattern exhibits from 85.4% to 95.8% when the average PI-dependency of ISACS bench mark circuits is 69.4%.

* 正會員, 朝鮮大學校 電子工學科
(Dept. of Elec. Eng., Chosum univ.)

**正會員, 亞洲大學校 電子工學科
(Dept. of Elec. Eng., Ajou univ.)

(* 이 논문은 91년 한국과학재단 911-0806-023
-1의 연구로 수행되었습니다.)

接受日字: 1993年 1月 7日

1. 서론

전자시스템의 LSI/VLSI는 CAD 툴(tool)의 도입으로 설계기술이 급격히 발전하여 칩(chip)의 집적도가 매우 증가하는 추세에 있으며, 회로설계 방식은 2단 레벨(2-level)로 구현되는 PLA가 면적의 낭비와 임계경로(critical path)의 존재로 시간지연이 크기 때문에 실리콘상의 면적 조건을 만족하는 설계와 동작속도의 제한으로 고집적화에 부합되는 설계가 어렵게 되었다. 그래서 다단 레벨(multi-level)의 조합논리로 회로를 구현하는 연구가 시작되었다.^[1,2] 이러한 다단 레벨 조합논리는 3가지 목표를 가지고 설계가 된다. 첫째, 칩 면적의 최소화를 위하여 2단 레벨의 PLA보다 칩의 이용율(use rate)과 집적도를 높이고 둘째, 임계경로의 시간지연을 최소화시키고 셋째, 설계된 논리에 대한 검사도(testability)의 극대화를 위한 최적화 결과로서 CUT(circuit under test)의 검사패턴(test pattern)을 완벽하게 생성해야 하는 것이다. 또한 설계된 회로는 100% testable하고 redundancy가 없어야 한다. 이를 위하여 자동 검사패턴 생성(automatic test pattern generation:ATPG)이 연구되었다.^[3-6]

CUT의 검사패턴은 입력수가 증가함에 따라 지수적으로 증가하게 되어 검사비용의 상승과 연계되므로 이는 결국, 기술의 차원을 넘어 경영의 차원이 되어 버렸다. 이렇게 대두된 검사문제의 해결방법은 회로 분할^[7,8], 경로활성화^[9,10] 그리고 검사도(testability)^[11,12]에 따른 검사패턴의 생성이 이루어져야 하며, 이를 위하여 회로를 기능적(functional)으로 전체검사(exhaustive testing)할 수 있으며 100%의 고장 검출율(fault coverage)이 보장되는 의사-전체검사(pseudo-exhaustive testing)^[13-15]에 대한 연구가 시작되었다.

본 논문에서는 기존의 Verification 검사^[14]의 shared 회로의 검사패턴이 이중으로 중복되어 생성되는 단점과^[15] (이하 Rhee/Kim 알고리즘)에서 부회로의 출력과 1-입력의 2진 조합으로 검사패턴을 생성하는 복잡성을 개선, 보완한다. 이를 위하여 1-입력에 대하여 특이커버(singular cover)와 일치조작(consistency operation)의 합성으로서 회로가 설계됨과 동시에 회로를 기능적으로 검사할 수 있는 새로운 의사-전체검사의 자동화 알고리즘을 제안한다. 제안된 알고리즘은 CAD 시스템의 스키매틱 에디터(schematic editor)에서 다단 레벨 조합논리로 설계된 회로의 net-list를 추출하여, 이를 소스화일

(source file)로 입력받아 부회로 분할에서 검사패턴 생성까지 일괄 처리한다.

II. 이론적 배경

CUT의 의사-전체검사는 전체회로를 다수의 부회로로 분할하고, PI에서 PO까지의 경로를 활성화시켜서 회로 내부 노드를 기능적 논리값으로 제어하면서 검사하는 기술이다. 그러므로 CUT를 전체검사하는 것 보다 매우 짧은 검사패턴이 요구되고, 경로상의 단일 s-a-고장(single stuck-at-fault)뿐만 아니라 제조 공정상의 에러로 인한 다중결함(multiple fault)까지도 검출할 수가 있다.

1. 경로 활성화

CUT의 검사에서 입력패턴을 생성하는 체계적인 방법은 PI에서 PO까지의 경로를 활성화하는 것이다. Roth는 복수의 경로를 동시에 활성화하는 D-알고리즘^[9]을 제안하였다. CUT의 임의의 논리소자를 통과하는 경로가 활성화되기 위해서는, 그 소자의 진리표 특성에 따른 특이커버를 정의하여 일치조작을 실행한다. 표 1은 각 논리 게이트의 특이커버이다.

표 1. 논리 게이트의 특이커버

Table 1. Singular cover of logic gates.

AND		NAND		OR		NOR		EXOR	
입력	출력	입력	출력	입력	출력	입력	출력	입력	출력
1 1	1	0 X	1	1 X	1	0 0	1	X X'	1
0 X	0	X 0	1	X 1	1	1 X	0	X X	0
X 0	0	1 1	0	0 0	0	X 1	0		

(X=無意條件)

특이커버의 정의는 적 계열의 논리 게이트 입력은 1을 할당하고, 합 계열의 논리 게이트 입력은 0을 할당한다.

이는 회로의 입력에서 출력으로 순추적을 실행하는 과정으로 X는 0 또는 1이다. 게이트 레벨에서의 회로 고장은 경로의 논리상태가 "1", "0"으로 고정되어 발생된다. 임의의 회로 내부 노드의 정상신호가 1일 때, 0을 발생시키는 고장신호는 s-a-0으로, 정상신호가 0일 때, 1을 발생시키는 고장신호는 s-a-1로 표현된다. 게이트의 출력에 이러한 고장이 발생하면 표 2와 같이 입력에 일치조작의 논리값 할당이 이루어진다. 이는 출력에서 입력으로 역추적을 실행하는 과정이다.

표 2. 논리 게이트의 일치조작

Table 2. Consistency operation of logic gates.

出力	入力 檢査 패턴					
	AND	NAND	OR	NOR	EXOR	
0	0 X	1 1	0 0	1 X	0 0	
0	X 0	1 1	0 0	X 1	1 1	
1	1 1	0 X	1 X	0 0	0 1	
1	1 1	X 0	X 1	0 0	1 0	

2. Verification 검사

Verification 검사는 하나의 PO가 PI의 일부에만 의존할때 실행하는 검사방식^[16]이다. 이때 각각의 PO가 의존하는 PI들을 결정하기 위하여 출력에서 입력으로 역추적(backtracking)을 한다. 그러므로 m개의 출력을 갖는 CUT는 m개의 콘(cone)으로 분할이 되고, 생성된 검사패턴의 총수 tp는

$$= \sum_{i=1}^m 2^{n_i} \tag{1}$$

이다. 여기서

m은 CUT의 PO 수,

i는 콘 회로의 번호,

n_i는 해당 콘 회로의 PI 수

이다. 그리고 CUT의 전체 PO가 PI에 논리적으로 의존하는 의존도(dependency)로서 표현되는 PI-의존도 dy는

$$y = \frac{\left\{ \sum_{i=1}^m n_i \right\} / m}{n} \tag{2}$$

이다. 여기서

n은 CUT의 PI의 총수

이다.

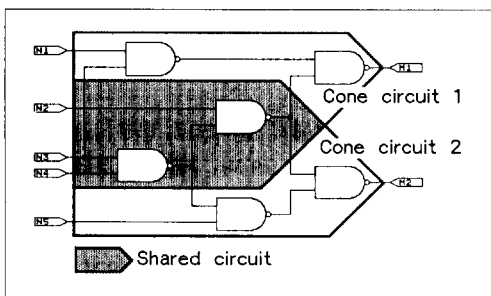


그림 1. ISCAS C0017의 PI-PO의 의존관계

Fig. 1. Dependence relation of ISCAS C0017's PI-PO.

식(1)로 부터 각 콘 회로는 exhaustive하게 검사가 되면서 모든 콘 회로의 검사가 이루어진다. 그림 1은 ISCAS C0017 회로의 PO와 PI의 의존관계로 콘 회로의 분할을 보여준다.

이때 검사패턴의 총수는 식 (1)에 의해 출력 M1의 콘 회로 입력수 4에 의한 2⁴=16과 M2의 콘 회로 입력수 4에 의한 2⁴=16으로 32이며, PI-의존도는 식 (2)에 의해 0.8이다. 이 검사방법은 각각의 콘 회로 간에 공유하는 shared 회로가 이중검사가 되므로, 이 회로에서는 2³=8개의 패턴이 이웃 콘 회로에 대하여 추가 생성이 된다.

Ⅲ. 의사-전체검사의 자동화 알고리즘 구성

본 논문에서는 CUT의 의사-전체검사를 위하여, 설계된 회로의 회로분할, 경로활성화 그리고 검사패턴까지 생성하는 의사-전체검사의 자동화 알고리즘을 제안한다. 제안된 알고리즘은 Verification 검사에서 shared 회로의 검사패턴이 이중으로 생성되는 단점을 개선, 보완하고자 각 콘 회로의 shared 회로를 부회로로 분할, 처리하기 위하여 PO를 활성화시키는 PI들을 탐색한다.

이를 위하여 CUT의 PI와 PO를 관계행렬로 표현할 수 있는 것에 착안하여, 그림 1의 관계행렬을 표 3과 같이 나타내는데 PO가 PI에 의존되는 관계가 있으면 행렬요소에 1을 할당하고, 관계가 없으면 0을 할당한다.

표 3. C0017의 PI- PO의 관계행렬

Table 3. Dependence matrix of C0017's PI-PO.

PI \ PO	N1	N2	N3	N4	N5
M1	1	1	1	1	0
M2	0	1	1	1	1

이때, 회로의 PI는 다음과 같이 정의된다.

<정의> 다수의 PO가 공통으로 의존하는 입력 (common inputs: 이하 C-입력)과 각각의 PO가 개별적으로 의존하는 입력 (independent inputs: 이하 I-입력)으로 구성된다. 그러므로 C-입력은 N2,3,4의 집합으로 구성되어 표 3의 음영부분이 분할된 부회로가 된다. 그리고 I-입력은 N1과 N5가 된다.

그리고 Rhee/Kim 알고리즘의 검사패턴 생성에서 부회로의 PO와 I-입력의 2진 조합 기술의 복잡성을 개선, 보완하기 위하여 다음과 같이 정리한다.

〈정리〉 부회로의 검사패턴은 2^c개(c는 C-입력의 수)로 되는 검사패턴을 요구하며, I-입력은 표 1.2의 특이커버와 일치조작의 합성에 의한 고정 논리값을 할당한다.

〈증명〉 부회로의 C-입력의 전체검사 패턴은 2진 계수기로 생성{Q_j ; j는 (0~부회로의 최대입력수-1)}되고, 부회로의 출력값과 I-입력에 할당된 고정 논리값이 리시피 큐브(0, 1, X, Q_j)로 표현되는 의사전체검사 패턴이 생성된다. 이 패턴은 CUT의 PI에서 PO까지의 경로를 활성화시키면서 전달되어 의사전체검사를 실행한다.

그림 2는 제안된 의사전체검사를 정리, 증명에 의하여 그림 1에 적용한 예이다.

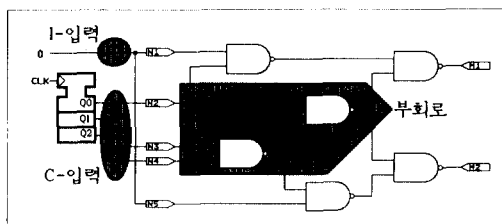


그림 2. 제안된 알고리즘에 의한 ISCAS C0017의 부회로 분할

(리시피 큐브 = 0, Q0, Q1, Q2, 0)

Fig. 2. C0017's sub-circuit partitioning by the proposed algorithm.

(Recipe cube = 0, Q0, Q1, Q2, 0)

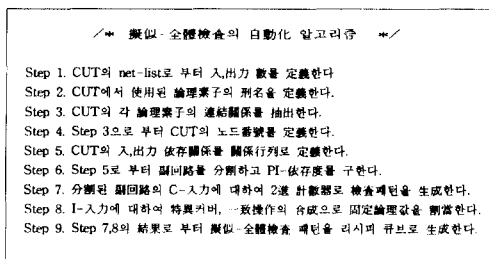


그림 3. 제안된 의사전체검사의 자동화 알고리즘

Fig. 3. Autonomous algorithm of proposed pseudo-exhaustive testing.

그리고 CAD의 스키매틱 에디터로 부터 추출된

CUT의 net-list를 소스파일로 이용하고, 이를 어휘 분석하여 그림 3과 같이 의사전체검사를 위한 자동화 알고리즘을 구현한다. 이에따라 생성된 특성화일은 표 4와 같다.

표 4. 의사전체검사의 자동화 알고리즘 실행 및 특성화일 생성

Table 4. Autonomous algorithm operation of pseudo-exhaustive testing and generated characteristics files.

프로그램 실행 구분	實 行 內 容	生成된 화일
Logo-1	Net-list 화일名을 入力	
Logo-2	Net-list의 內容을 loading	***.IO ***.OUT ***.OBS ***.NUM
Level 1	各 노드의 連結關係를 探索	***.LV1 ***.DBF
Level 2	PI에서 PO까지의 連結노드 list, PI-依存度 計算	***.LV2 ***.DY
Level 3	PI와 PO의 依存關係를 關係行列로 表現, 副回路의 分劃, 2進 計數器로 C-入力の 檢査패턴 生成	***.FRI ***.FRO ***.PRE
Level 4	特異커버와 一致操作의 合成에 의해 I-入力の 固定 論理값 算出,	***.TY
Level 5	리시피 큐브로 表現하는 擬似-全體檢査 패턴 生成, 分析된 檢査 事樣의 最終 레포트	***.RPT
Logo-3	프로그램 遂行 終了	

IV. 실행결과 및 검토

본 논문에서 제안한 의사전체검사의 자동화 알고리즘은 UNIX OS에서 Clipper와 C-언어로 실현하여 Or CAD Release IV의 스키매틱 에디터로 부터 추출된 ISCAS 벤치마크 회로와 다수의 기능회로의 net-list를 소스파일로 다루어 실행하였다. 그림 4는 실현된 의사전체검사 실행화일 중, net-list가 입력되는 Logo-1의 화면이다. 그림 5는 그림 1의 C0017.NET의 실행결과인 Level-5의 C0017.RPT의 내용으로서 PI와 PO의 수, 노드의 총수, 게이트 총수, PI-의존도, 그리고 분할된 부회로의 C-입력과 I-입력의 PI 노드 번호가 포함되어 있다. 또한 CUT에 검사패턴을 인가하는 경우에 2진 계수기의 출력

Q와 PI의 연결관계를 포함하고 있으며, 전체검사, Verification 검사, Rhee/Kim 알고리즘의 검사패턴 수와 제안된 알고리즘의 검사패턴 감소비, 컴퓨터의 계산시간과 사용된 메모리 양의 내용을 포함하고 있다.

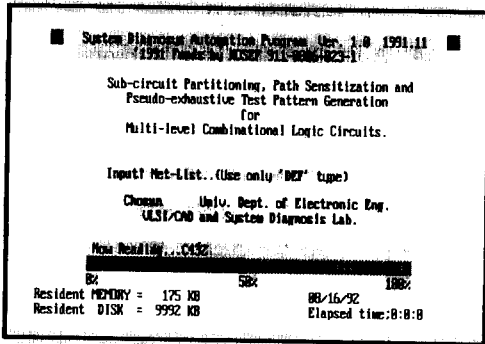


그림 4. 실행화일의 Logo-1 화면
Fig. 4. Logo-1 screen of the execute file.

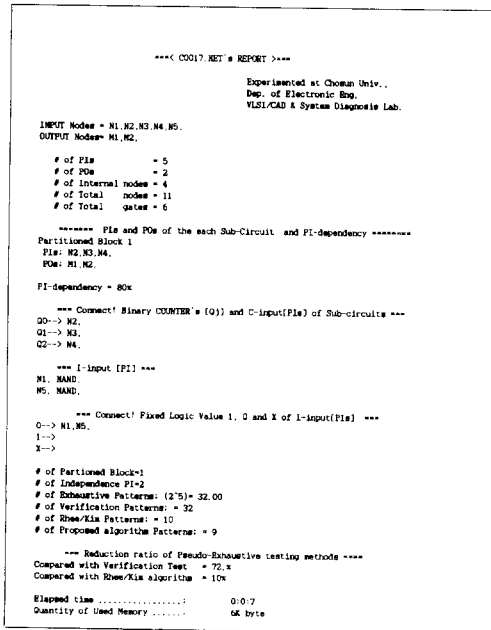


그림 5. C0017.RPT의 내용
Fig. 5. Content of C0017.RPT.

표 5는 Verification 검사와 제안된 알고리즘의 부회로의 비교이며, 표 6은 Verification 검사, Rhee/Kim 알고리즘과 제안된 알고리즘과의 검사패

턴 수의 비교이다. 그리고 그림 6은 각 회로의 PI의 존도, 부회로 및 검사패턴의 감소율 이다.

- 표 5. Verification 검사의 콘 회로 수와 제안된 알고리즘의 부회로 수의 비교
A: Verification 검사의 콘 회로 수
B: 제안된 알고리즘의 부회로 수

Table 5. Comparison between a number of cone-circuits and sub-circuits with Verification testing and proposed algorithm.

- A: Number of cone-circuits of Verification testing.
B: Number of sub-circuits of proposed algorithm.

회로名	PIs	POs	全體 노드	Gates	PI-依存度	A	B	減少率 (A-B)/B
C0017	5	2	11	6	80%	2	1	50%
ALU181	14	8	74	63	79.5%	8	6	13%
C0432	36	7	196	160	88.9%	7	3	57%
C0499	41	32	243	202	100%	32	1	97%
C0880	60	26	443	383	26.9%	26	5	81%
C1355	41	32	587	546	100%	32	1	97%
C1908	33	25	913	880	97.8%	25	1	96%
C2670	233	140	1426	1194	35%	64	26	60%
C3540	50	22	1719	1669	65.8%	22	8	64%
C5315	178	123	2485	2307	13.6%	123	33	73%
C6288	32	32	2448	2416	76.6%	32	16	50%
C7552	207	108	3719	3512	15.9%	108	15	86%
ADDER3	3	2	15	12	100%	2	1	50%
ALU2	6	2	30	24	83.3%	2	1	50%
UDELL	13	2	38	25	88.5%	2	1	50%
RHEE	16	4	34	18	57.8%	4	3	13%

의사-전체검사를 위해서는 CUT의 콘 회로에 대한 중복성 검사패턴 생성이 감소되어야 하는데 표 5의 결과에서 제안된 알고리즘으로 분할된 부회로의 수는 Verification 검사의 콘 회로 수에 비해 최대 97%가 감소되었다. 이는 CUT의 콘 회로에서 shared 회로의 중복성 검사패턴 생성이 감소됨을 의미하며, 표 6의 결과에서 검사패턴 감소율은 최대 99%이다.

이들 결과에 대한 회귀출력은 표 7과 같고, Verification 검사로 부터 제안된 알고리즘으로 검사패턴을 생성할 때, 검사패턴 감소율이

$$\text{Reduced ratio of test patterns} = -0.18 \cdot X_1 + 0.1 \cdot X_2 + 97.7$$

으로 정의(X_1 은 PI-의존도, X_2 는 부회로 수의 감소율) 되었다. 그림 6은 ISACS 벤치마크 회로의 평균 PI-의존도 69.4%에서 부회로 분할에 따라 검사패턴 감소율이 85.5%에서 95.8%의 범위가 예측, 산출되었다

표 6. 제안된 알고리즘과 기존 알고리즘의 검사패턴 수의 비교

Table 6. Comparison between the number of test patterns of conventional algorithms and proposed algorithm.

回路名	Verification testing (A)	Rhee/Kim 알고리즘(B)	提案 알고리즘(C)	檢査패턴 (A-C)/A	減少率 (B-C)/B
C17	2 ⁵	2 ³ +2	2 ³ +1	72%	10%
ALU181	2 ¹⁵ .6239	2 ² +13	2 ² +2	99%	65%
C432	2 ³⁸ .3222	2 ¹⁸ +25	2 ¹⁸	99%	1%
C499	2 ⁴⁶	2 ⁴¹	2 ⁴¹	97%	0%
C880	2 ⁴⁴ .7323	2 ⁷ +67	2 ⁷ +2	99%	1%
C1355	2 ⁴⁶	2 ⁴¹	2 ⁴¹	97%	0%
C1908	2 ³⁷	2 ³¹ +73	2 ³¹ +1	98%	1%
C2670	2 ¹²³	2 ²⁰ +52	2 ²⁰ +2	99%	1%
C3540	2 ⁵¹ .3389	2 ¹² +43	2 ¹² +2	99%	1%
C5315	2 ⁶⁹ .3832	2 ² +94	2 ² +3	99%	1%
C6288	2 ³⁶ .1155	2 ² +61	2 ²	99%	1%
C7552	2 ²⁰⁹	2 ¹⁸ +192	2 ¹⁸ +3	99%	1%
ADDER3	2 ⁴	2 ³ +2	2 ³	50%	1%
ALU2	2 ⁶	2 ⁴ +2	2 ⁴ +1	73%	1%
UDELL	2 ¹³ .1699	2 ¹⁰ +6	2 ¹⁰ +1	89%	1%
RHEE	2 ¹¹ .7004	2 ⁴ +2	2 ⁴ +2	99%	0%

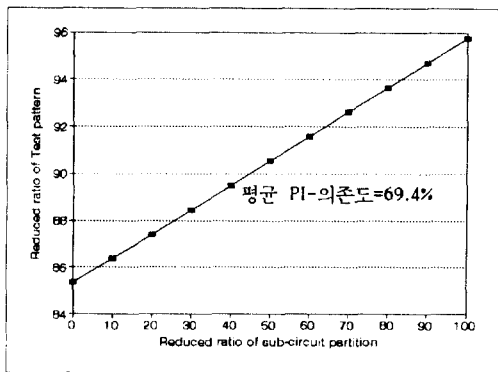


그림 6. 제안된 알고리즘에 의한 검사패턴 생성 감소율 (PI-의존도 = 69.4%)

Fig. 6. Reduced ratio of test pattern generation by the proposed algorithm. (when PI-dependency = 69.4%)

표 7. 제안된 알고리즘에 의한 검사패턴 생성의 회귀출력

Table. 7. Regression output of test pattern generation by the proposed algorithm.

Regression Output:	
Constant	97.70
Std Err of Y Est	13.88
R Squared	0.19
No. of Observations	16
Degrees of Freedom	13
X Coefficient(s)	-0.18, 0.1
Std Err of Coef.	0.19, 0.14

V. 결론

본 논문에서 제안된 의사-전체검사의 자동화 알고리즘은 Verification 검사의 shared 회로에서 중복 생성되는 검사패턴의 감소와 Rhee/Kim 알고리즘의 부회로 출역과 I-입력 처리의 복잡성을 개선, 보완하였다. 그러므로 CUT의 부회로가 관계행렬로서 용이하게 분할이 되고, 분할된 부회로의 C-입력에 대한 검사패턴 생성은 2진 계수기의 출력으로, I-입력은 특이커버와 일치조작의 합성으로 경로를 활성화하는 고정 논리값으로 할당이 되어 CUT를 기능적으로 검사할 수 있는 패턴이 리시피 큐브로 용이하게 생성되었다.

제안된 알고리즘은 기존 의사-전체검사들의 부분적 실행들이 일련의 연계성으로 통합되어 회로분할에서 검사패턴의 생성까지 일괄 처리할 수 있는 자동화 알고리즘으로 구현이 되었다. 알고리즘의 실행에서, CUT의 net-list로 부터 회로의 특성들을 다양하게 정의하는 특성화일이 생성되므로, 설계자가 시스템의 명세를 변경하고 싶을 때, 해당되는 특성화일의 내용 수정으로서 시스템 전체의 특성확인과 이에따른 검사패턴의 재생성이 용이하고 생성되는 검사패턴의 수도 예측할 수가 있다.

그러므로 디지털 시스템의 설계와 검사가 병행하는 DFT(design for testability)분야와 CAT (computer aided test)에 적용이 기대되며, 시스템의 one-chip화에서 제안된 알고리즘을 회로검사의 내장화(built-in self test:BIST)에 응용할 수 있는 경계주사(boundary scan) 방식의 검사에 대한 연구가 현재 진행 중에 있다.

參考文獻

- [1] K. Bartlett and G. Hachtel, "Library Specific Optimization of Multi-level Combinational Logic," *Proc. of Intl Conf. on Computer Design: VLSI in Computers*(ICCD-85), pp.411-415, 1985.
- [2] Bray, "A Multi-level Logic Optimization System," *IEEE Tran. on CAD*, vol.6, no.6, pp.1062-1081, 1987.
- [3] Wang L. T. and E. J. McCluskey, "Circuits for Pseudo-Exhaustive Test Pattern Generation Using Shortened Cyclic Code," *IEEE 1987 Int'l Conference on Computer Design : VLSI In Computers & Processors*, Port Chester, NY, Oct. 5-8, 1987.
- [4] C. S. Lin, H. F. Ho, "Automatic Functional Test Program Generation for Microprocessors," *25th DA Conf.*, pp.605-608, 1988.
- [5] Udell, "Test set generation for pseudo-exhaustive BIST," CRC TR., Stanford Univ., Feb. 1987.
- [6] D. T. Tang and L. S. Woo, "Exhaustive test pattern generation with constant weight vectors," *IEEE Trans. Compute.*, vol. C-32, pp. 1145-1150, Dec. 1983.
- [7] I. Shperling and E. J. McCluskey, "Circuit Segmentation for Pseudo-exhaustive Testing," CRC TR., no.87-2, Feb. 1987.
- [8] S. Bozorgui-Nesbat and E. J. McCluskey, "Design for Autonomous Test," *IEEE Trans. Computers*, pp. 866-875, Nov. 1981.
- [9] Roth, J. P., "Diagnosis of Automation Failures: A calculus and a Method," *IBM J. Res. and Dev.*, pp.278-281, Sep. 1966.
- [10] Benmehrez, C., and J. F. McDonald, "Measured Performance of a Programmed Implementation of the Subscripted D-Algorithm," *Proc. 20th Design Automation Conf.*, pp.308-315, 1983.
- [11] Bennetts R. G., Moulder C. M. and Robinson G. D., "CAMELOT: A Computer-Aided Measure for Logic Testability," *IEE Proc.*, vol. 128, Part E, no. 5, pp. 177-189, 1981.
- [12] Ibbotson J. B., "Testability Measurement: use of CAMELOT," *TEST!*, vol. 5, no. 2, pp. 29-34, 1983.
- [13] E. J. McCluskey, "Exhaustive and Pseudo-Exhaustive Test", *Int'l Test Conference*, 1983.
- [14] E. J. McCluskey, "Verification Testing -A Pseudo Exhaustive Test Technique", *IEEE Trans. Computer*, vol. C-33, No. 6 pp. 541-546, June 1984.
- [15] 이강현, 김용득, "관계행렬을 이용한 회로의 의사-전체검사 패턴 생성," *대한전자공학회 논문집*, vol.27, no.7, 1990.7.
- [16] 이강현, 김용득, "Design for Testability를 위한 검사방식," *대한전자공학회지, 설계자동화 특집*, vol. 19, no. 1, pp. 65-70, 1992. 1.

著者紹介

李康鉉(正會員) 第 29 卷 B 編 第 5 號 參照
현재 조선대학교 전자공학과 부교수

金容得(正會員) 第 29 卷 B 編 第 5 號 參照
현재 아주대학교 전자공학과 교수



金鎮聞(正會員)

1966年 10日生. 1989年 2月 조선
대학교 전자공학과(공학석사). 1991
年 2月 조선대학교 전자공학과(공학
석사). 1991年 3月 ~ 현재 조선대
학교 CAD/VLSI 및 시스템 진단
Lab. 연구원. 주관심 분야는

CAD/VLSI 및 시스템 진단, CAD Tool 개발.