

論文93-30A-8-6

1 MeV argon 이온주입에의해 유기된 결함 및 회복기구의 XTEM 분석

(XTEM Study of 1 MeV Argon Ion Implantation Induced Defects in Si and Their Annealing Behavior)

金光一*, 權英規*, 裴泳鎬*, 鄭旭珍*, 金汜晚**, 桑野博***

(Kwang Il Kim, Young Kyu Kwon, Young Ho Bae, Wook Jin Chung, Bum Man Kim and Hiroshi Kuwano)

要約

(100) Cz 실리콘기판에 1 MeV의 에너지, dose량 $1 \times 10^{15} \text{ cm}^{-2}$ 로 Ar이온을 주입한후, 고에너지 이온주입에의해 유기된 결함과 550 에서 1100℃사이의 온도에서 10초간급속열처리 했을때, 온도에 따른 결함의 회복특성을 단면 투과전자현미경 관찰에 의해 조사하였다. 이온주입에의해 형성된 매몰비정질층(buried amorphous layer)은 급속열처리 과정에서 고상에피성장(solid phase epitaxy)에의해 상하 계면으로 부터 각기 재결정화가 진행되었으며, 이때 재결정화에 필요한 활성화 에너지는 상하계면에서 모두 1.43eV였다. 이때 2개의 재결정면이 만나서 misfit 전위를 형성하였으며, 이는 온도가 올라감에 따라 상부재결정면에서 이미 성장된 머리핀모양의 전위에 흡수되어 소멸하였다. Misfit전위의 회복이 끝난후 열처리 온도가 올라감에 따라 머리핀모양전위의 결함대폭이 상당히 감소하였으나, 처음의 아래쪽 계면위치에서 성장한 "end of range 전위"와 함께 1100 ℃의 고온에서도 소멸되지 않았다.

Abstract

Ar ions were implanted at 1 MeV into (100)Cz Si wafers with dose of $1 \times 10^{15} \text{ ions/cm}^2$. Damage induced by high energy implantation and its annealing behavior during rapid thermal annealing for 10sec at temperatures from 550 to 1100℃ were investigated by cross-section transmission electron microscopy study. It can be clearly seen from the observation that the SPE (Solid Phase Epitaxy) regrowth of the buried amorphous layer induced by ion implantation proceeds from both upper and lower amorphous /crystalline (a/c) interfaces, and the activation energy for SPE from interfaces were both 1.43eV. Misfit dislocation where two interfaces met was formed and it coalesced into the hair pin dislocations in the upper regrown region. At the higher temperature after annealing out of the misfit dislocation, hair pin dislocations showed considerable drop in its bandwidth. However, they were not disappeared even at the temperature 1100℃ with the end of range dislocation loops which were formed at the original lower a/c interface.

* 正會員, 産業科學技術研究所, 電子電氣 研究分野
(Research Institute of Industrial Science & Technology: RIST, Semiconductor Research Labs.)

**正會員, 浦項工科大学, 電子電氣工學科

(POSTECH, Dept. of Elec. Electronics)

***慶應義塾大學理工學部電氣科

(Faculty of Science and Technology, Keio University)

接受日字: 1992年 10月 29日

I. 서론

고에너지 이온주입 기술의 개발은 반도체기판의 표면에서 수 μm 깊이까지 dopant이온을 직접주입 하는 것을 가능하게 하였다. 이는 LSI 공정에 있어서 소프트에러^[1]와 latch-up 방지^[2] 등의 각종 소자특성을 향상시키기위한 방법으로 널리 이용되고있다.

그러나 이온주입에의해 유기된결함은 주입된 이온의 농도가 큰 영역 부근에서 결함층을 형성하게된다. 이러한 결함은 소자의 전기적특성에 악영향을 미치므로, 원하는 전기적활성화가 이루어지기전에 제거되어야한다.

특히 고에너지 이온주입에의해 생성된 결함은 고온 열처리를 하여도 안정된 형태로 존재하므로^[3,4] 이것이 소자제조 공정에 응용하는데 문제로 지적되고있다.

그러므로 고에너지 이온주입기술을 소자제조공정에 응용하기 위해서는 이온주입했을 때의 결함의구조, 깊이분포 등이 열처리에 따라서 어떻게 변화하는가에 대한 연구가 철저히 되어져야한다.

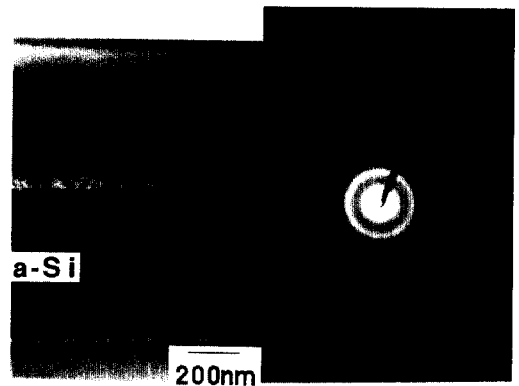
그래서 본연구에서는 불활성 Ar 이온을 고에너지로 실리콘기판에 주입했을 때 생긴 결함의 종류와 이들 결함이 급속열처리과정에서 어떻게 회복되어가는지 투과전자현미경을 사용해서 관찰하였다.

II. 실험

본 실험에서는 4인치, p-type(100)Cz 실리콘웨이퍼를 기판으로 사용했으며 비저항은 10 - 20 ohm-cm였다. Ar이온주입은 가속에너지 1 MeV, dose량 $1 \times 10^{15} \text{ cm}^{-2}$ 으로 실온에서 행하였다. 이온주입이 끝난 기판은 AG heat pulse 급속열처리 장치로 질소분위기에서 각 10초간, 550℃ - 1100℃의 온도범위에서 열처리 하였다. 열처리가 끝난후 이온주입에의해 유기된 결함의 형태 및 열처리에의해 회복되는 과정을 투과전자현미경을 사용하여 관찰하였다. 투과전자현미경으로 관찰하기위한 단면시편의 상세한 준비 방법 및 과정에 대해서는 이미 보고한바 있으며^[5], 시편을 원하는 결정면에 따라서 절단후 성장면이 서로 마주보도록 접착제를 사용하여 접합하고, 시편의 두께가 100 μm 이하가 될때 까지 연마재로 연마하였다. 연마가 끝난 시편은 Cu grid에 접착한후 Gatan dual ion mill 600장치의 시편 holder에 넣어서 양면을 동시에 Ar이온을 사용하여 에칭하였다. 시편의 단면관찰을 위해서는 JEOL사의 JEM 200CX 투과전자현미경을 이용하였다.

III. 결과 및 고찰

그림 1(a)는 가속에너지 1 MeV, dose 량 $1 \times 10^{15} \text{ cm}^{-2}$ 으로 Ar이온을 주입한 시료의 단면 투과전자현미경 상이다. 그림에서 보는 바와 같이 기판표면 근방에서는 거의 결함이 발견되지않으나 기판내부로 갈수록 점차 이온주입에의해 유기된 결함의 cluster로 보이는 부분들이 증가하여서 일정 두께의 손상층을 형성한후, 다시 손상층의 계면 아래에서 급속하게 감소하고있다. 이때 손상층의 계면은 표면쪽보다 기판내부에서 급준함을 알수있다. 이로서 이온주입중에 일어나는 1차 결함의 dynamic heating 에의한 어닐링 효과^[6]가 표면쪽 계면부근에서 많이 일어났다고 생각할수있다. 이 손상층의 결정성을 확인하기 위하여 국소 전자회절 패턴을 조사한 결과, 그림 1(b)와 같이 나타났다. 손상을 입은층이 비정질화 되었음을 알수있다.



(a) as-implanted (b) SAD Pattern

그림 1. 1 MeV, $1 \times 10^{15} \text{ cm}^{-2}$ 으로 Ar이온을 주입한 시편의 (a)단면 투과전자현미경 상과 (b)매몰된 결함층의 국소전자회절 패턴

Fig. 1. (a)XTEM micrograph of as-implanted sample including buried defect layer and (b) its SAD(Selected Area Diffraction)pattern.

그림 2는 위와 같이 준비된 시료들을 10초간 급속 열처리 했을 때 열처리 온도에 따른비정질층의 재결정화 과정을 투과전자현미경으로 관찰한 결과이다. 이온주입에의해 비정질층이 형성된 시료를 급속열처리하면 온도에 따라 그림과 같은 과정으로 고상에피 성장(solid phase epitaxy)에 의해 재결정화가 진행됨을 알수있다. 여기서 재결정화는 표면쪽의 비정질/

결정질 계면과 기판내부의 계면에서 각기 진행되며 675℃정도에서 재결정화가 완료된다. Rai^[7] 등은 3 MeV에서 dose량 $5 \times 10^{15} \text{Cm}^{-2}$ 으로 Si이온을 주입했을 때 매몰비정질층이 형성되어 750℃에서 15분 열처리했을 때 재결정화가 완료되었다고 보고한바있으며, Tamura^[6] 등은 3 MeV에서 As이온을 $5 \times 10^{15} \text{cm}^{-2}$ 주입 했을 때 형성된 매몰비정질층의 재결정화는 실리콘기판의 결정방향, 기판내의 산소농도에 따라 약간의 차이는 있으나 550℃- 650℃에서 15분 열처리 했을 때 완료되었다고 보고한바있다. 그러므로 기판의 방향, 주입 이온의 종류 및 열처리 시간에 따라서 약간의 차이는 있겠으나 이온주입에의해 형성된 매몰비정질층의 재결정화가 650℃전후에서 완료된다고 생각할수있다.

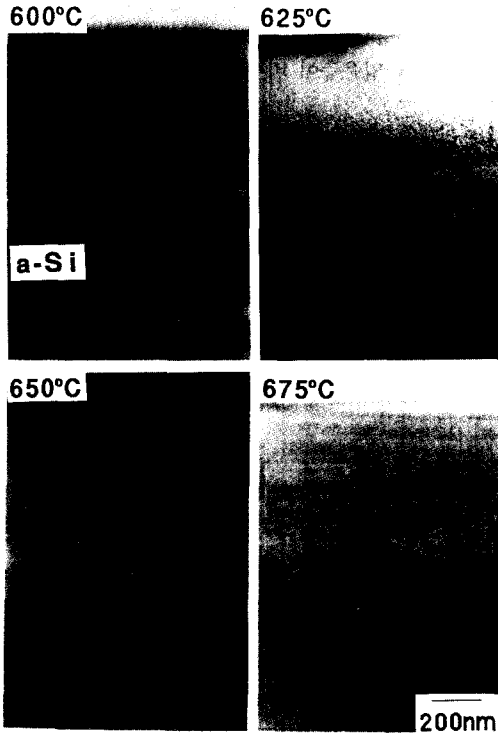


그림 2. 열처리온도에 따라서 상하의 비정질/결정질 계면에서 각기 다른 속도로 재결정화가 진행되며 머리핀모양의 전위가 생성되는 모습 과 675℃에서 재결정화가 끝난 후 격자부정합에 의한 misfit 전위가 생성되는모양의 단면투과전자현미경상

Fig. 2. XTEM micrographs showing that the difference of the recrystallization rates of the two interfaces and the formation of hair pin dislocation, and the formation of misfit dislocation at 675℃.

또한, 그림에서 표면쪽 계면으로부터의 재결정화가 내부계면으로부터의 재결정화 보다 빠르게 진행되어, 내부계면에서 1/3되는 지점에서 서로 만나서 접합면을 형성함을 알수있다. 이 접합면은 재결정화 하는 과정에서 이온주입에 의한 미소결함이나 고르지 못한 비정질/결정질 계면에의해 결정면의 방향이 완전히 일치하지 않은 상태에서 2개의 결정면이 서로 만나 격자 부정합을 이루는 misfit 전위로 생각된다. 그러나 지금까지 보고된 여러 결과^[8-10]에서는 재결정화에 의한 misfit전위가 매몰비정질층의 중앙부에서 형성된다고 알려져있다. 특히, Tamura^[6] 등은 매몰비정질층의 중앙부 윗쪽에서 misfit전위가 형성되었다고 보고한바 있으며, 그 원인으로 이온주입에의해 형성된 매몰비정질층의 표면쪽 결정질/비정질 계면보다 기판쪽 계면이 급준하므로 기판쪽에서의 재결정화속도가 빠르거나, 주입된이온이 비대칭성분포를 하여서 기판쪽 계면부근에서 주입이온의 농도가 크므로 고상에피성장 이 빠르기 때문이라고 보고하고있다.

여기서 Ar이온의 성질을 지금까지 보고된 내용을 토대로 살펴보면, 실리콘기판에 고농도의 Ar이온을 주입해서 형성한 비정질층은 Ar 이온의 bubble형성에 의해 재결정화가 억제된다^[11, 12]는 보고가 있으며, boron이온 주입 전 혹은 후에 Ar이온을 주입해서 비정질층을 형성했을 때 열처리에 의해 재결정화가 끝난

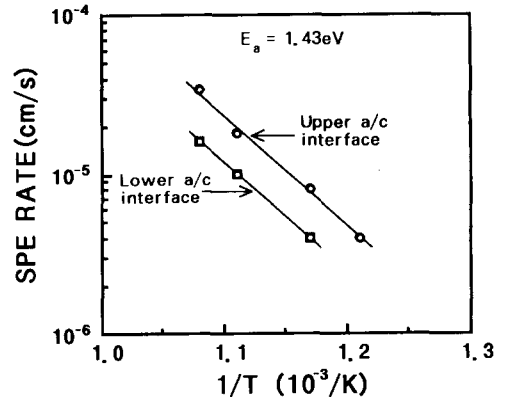


그림 3. 1 MeV Ar이온주입에 의해 형성된 매몰비정질층의 표면쪽 계면과 기판내부계면에서의 고상에피성장 속도의 열처리온도의 의존성

Fig. 3. Arrhenius plot showing the temperature dependence of the SPE rate from upper and lower a/c interfaces in a buried amorphous layer formed by 1 MeV Ar ion implantation.

후에도 boron이온의 전기적활성화 및 확산이 늦어진 다^[13]고 알려져있다.그러므로 본실험에서와 같이 매 물비정질층의 중앙부 아래에서 misfit전위가 형성되는 것은 주입된 Ar이온의 농도가 비대칭성분포를하고 기판쪽 계면근처에서 이온농도가 크므로 기판내부 계면으로 부터의 재결정화가 억제되기 때문이라고 생각된다.

그림 3은 비정질층의 재결정화 기구(mechanism)를 분석 하기위하여 상하 계면으로부터의 재결정화율을 급속열처리온도에 대해서 정리한 것이다.이때 재결정화율은 상하 각 계면에서 성장된 결정면의 두께를 열처리 시간 10초로 나누어서 결정하였다.그림에서 재결정화는 표면쪽이 기판내부 보다 약 2배이상 빠름을 확인할수있다.또한, 재결정화에 필요한 활성화 에너지가 양 계면 모두 1.43 eV로 같아서 양 계면의 재결정화는 같은 기구에 의한다고 생각할수 있다.그러나 이는 지금까지 알려진 실리콘의 고상에피 성장시 필요한 활성화 에너지는 기판의 방향이나 주입된 이온의종류에 관계없이 2.7 - 2.9eV^[10,14]의 범위라고 보고된 내용보다 적은 값이다.

이는 Ar이온의 농도차에의해 양계면에서의 재성장 속도는 다르나 램프를 이용하여 급속열처리를 하였으므로 광에너지를 흡수하여 Ar이온의 억제효과 보다 크게 재결정화가 enhance 된 결과 라고 생각되나 이에 대해서는 좀더 많은 실험과 검토가 필요한 부분이라고 본다.

그리고 그림 2에서 600℃ 열처리 했을때 머리핀 모양의 V 자 전위가 2개의 비정질/결정질 계면에서 생성되어서 재결정화가 완료되는 675℃ 까지 성장하고 있음을 알수있다. 이 전위들은 이온주입에의해 비정질층이 형성 되었을 때 계면이나 그 직하에 작은 결함cluster 나 전위 loop가 존재해서 이 결함들이 계면에서 끌리 잘리게 되어 그것들이 핵성장 site로 작용해서^[15] 성장하게된 결과이다. 이때 재결정면의 접합면 상부와 하부의 결함을 비교해보면 하부에서 머리핀전위가 적게 발생해서 쉽게 소멸해감을 알수있다. 이는 비정질층의 기판쪽 계면이 표면쪽보다 급준했기 때문이라고 생각된다.

그림 4에 재결정화가 끝난후,보다 높은 온도에서 열처리한 시편의 단면투과전자현미경 상을 나타내었다.그림에서 800℃ 열처리 했을때 이미 misfit전위가 대부분 소멸되었음을 알수있다. misfit 전위는 1000℃ 정도로 급속열처리를 해도 소멸되지않고 남아있는 Maher^[16] 등의 결과와 비교했을때 본 실험의 결과는 많은 머리핀 전위가 발생해서 서로 접하고있는 misfit전위를 흡수하는 일종의 gettering 효과가

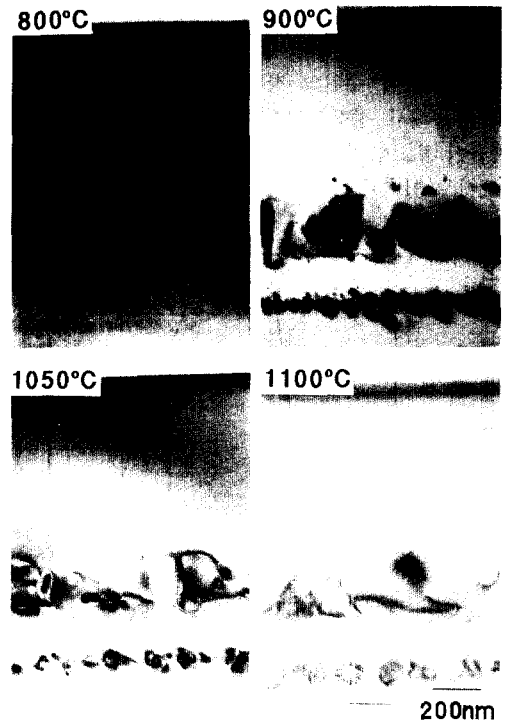


그림 4. 머리핀모양의 전위가 온도에 따라서 소멸되는 모습과 “end of range 전위 loop”가 형성 된후 주위의 결함 과 작은 전위를 흡수하여 성장해가는 모양의 단면투과 전자현미경 상

Fig. 4. XTEM micrographs showing that the resolving of the hair pin dislocation and the formation and growth of the “end of range dislocation”

있기 때문이라고 생각된다.

그리고 misfit전위가 소멸된후 900℃부터는 접합면윗쪽의 머리핀 전위 역시 기판표 쪽에서부터 급격히 회복되어감을 알수있다. 그러나 이 전위들이 표면쪽으로 확산되어 소멸되는 징후는 보이지 않는다.이 결과는 Tamura 등^[17]이 전위 loop의 평균직경이 기판표면까지 거리의 1/2이하일때는 전위가 표면쪽으로 확산되어 빠져나가지 못하고 migration된 점결함(vacancy)에 의해서, 분해되어 소멸된다고 보고한 내용과 일치한다.

또 900℃에서 열처리한 시편의 단면상을 살펴보면 비정질층의 기판내부쪽 비정질/결정질 계면이 있던 위치에 작은 전위 loop들이 관찰되어서 열처리온도가 증가함에 따라서 평균직경이 커지고 밀도는 상대적으로

로 감소하고있다. 이 전위들은 비정질/결정질 계면 근처에 산재해 있던 작은 결함들과 과잉 interstitial 실리콘원자들이 주위의 작은 전위 loop 및 결함들을 서로 흡수해서 성장한것으로, Carter 등^[16] 많은 연구자들이 보고한 "end of range 전위"와 같은 행태를 보이고 있다.

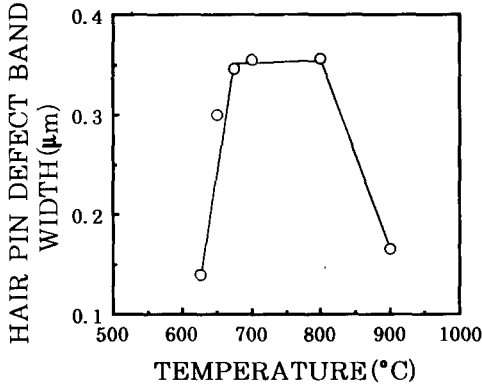


그림 5. 머리핀 모양 전위에 의한 결함대 폭의 열처리온도 의존성

Fig. 5. Band width of hair pin defects as a function of annealing temperature.

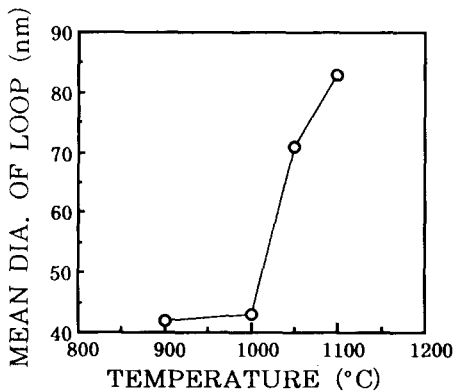


그림 6. End of range 전위 loop의 평균직경과 열처리온도와의 관계

Fig. 6. Mean diameter of the end of range dislocation loops as a function of annealing temperature

그림 5에 앞의 그림 2.4 에서 관찰한 접합면 상부의 머리핀 전위가 형성한 결함대 폭의 열처리온도의 의존성을 나타내었다. 그림에서 675℃까지 결함대폭이

증가한후 800℃까지는 결함대의 폭이 0.35μm정도로 일정하나 900℃의 열처리 온도에서는 그폭이 급격히 감소하여 0.15μm 정도이다. 이로서 머리핀 전위는 재결정화가 진행되는 동안에 성장하여서, 재결정화가 끝난후 두개의 재결정면이 서로 만나서 형성되는 misfit전위를 gettinging 하는 과정에서는 머리핀 모양전위의 성장과 misfit 전위의 소멸이 평형을 이루나 misfit전위가 모두 gettinging된후 그 결함대폭이 급격히 감소하면서 소멸한다는 사실을 알수있다.

그림 6은 그림 4에서 관찰한 end of range 전위의 평균직경과 열처리온도와의 관계를 나타낸 결과이다. 그림을 보면 900℃에서 전위 loop의 평균직경이 약 42nm이나 1000℃이후 급격히 성장하여 1100℃에서 83nm까지 증가하였다. 이는 서로 인접한 loop들이 흡수, 성장되는 과정으로 생각되어진다. 이 전위들은 밀도의 상대적 감소로 loop간의 간격이 커져서 서로 흡수성장 할수 없게 되었을때 비로서 분해가 이루어 지리라 생각된다. 그러므로 1100℃의 고온에서도 관찰되며, 머리핀 전위역시 많은 회복을 보였으나 완전히 소멸되지는 않았다. 여기서 기판내 결함의 완전한 회복을 위해서는 좀더 고온, 장시간의 열처리가 필요하다고 생각되나 주입된 이온의 재분포 및 전기적 특성에 미치는 영향과 비교해서 좀더 많은 연구가 필요하리라 본다.

IV. 결론

1 MeV의 고에너지, dose량 $1 \times 10^{15} \text{cm}^{-2}$ 으로 Ar 이온을 주입한 실리콘 기판을 투과전자현미경을 이용하여 결함회복과정을 관찰한 결과 다음과 같은 사실을 밝혔다.

이온주입에 의해서 매몰비정질층이 형성되었으며, 이를 질소분위기 와 550℃ - 1100℃의 온도범위에서 10초간 급속열처리 했을때 매몰비정질층의 상하 계면으로부터 고상에피성장예 의한 재결정화가 진행되어서 675℃에서 완료되었다. 이때 각 계면으로 부터의 재결정화에 필요한 활성화 에너지는 모두 1.43eV였다. 또한 상하의 재결정면이 처음의 비정질층의 1/3 지점에서 만나서 형성한 misfit전위는 머리핀 전위에 gettinging되어서 소멸되었으며, 머리핀 전위의 결함대 폭은 misfit전위의 gettinging이 끝난후 열처리온도가 높아짐에 따라 많은 회복을 보였다.

그러나 이 머리핀 모양의 전위는 기판내부의 처음 계면이 있었던 위치에서 관찰되는 "end of range 전위"와 함께 1100℃의 고온에서도 완전히 소멸되지 않았다.

參考文獻

- [1] K. Tsukamoto, S. Komori, T. Kuroi, and Y. Akasaka, "High energy ion implantation for ULSI", *Nuc. Ins. Meth. Phys. Res.*, vol. B59/60, pp. 584-591, 1991
- [2] A. Stolmeijer, "Twin-well CMOS process employing high energy ion implantation", *IEEE Trans. Electron Devices.*, vol. ED-33, no. 4, pp. 448-457, 1986
- [3] M. Tamura, N. Natsuaki, Y. Wada and E. Mitani, "MeV-Energy B-, P- and As- ion implantation into Si", *Nuc. Ins. Meth. Phys. Res.* vol. B21 p438-446, 1987
- [4] O.W. Holland, M.K. El-Ghor, and C.W. White, "Damage uncleaning and annealing in MeV ion-implanted Si", *Appl. Phys. Lett.* vol. 53, no. 14, pp 1282-1284, 1988
- [5] 金光一, 鄭旭珍, 裴泳鎬, 金才南, 鄭東皓, 丁潤夏, "저압 MOCVD법에 의하여 성장한 AlGaAs/GaAs 양자우물구조의 TEM/AES 분석", *電子工學會論文誌*, vol. 27, no. 5, pp72-79, May, 1990.
- [6] M. Tamura and T. Suzuki, "Damage formation and annealing of high energy ion implantation in Si", *Nuc. Ins. Meth. Phys. Res.*, vol. B39, pp. 318-329, 1989
- [7] A. K. Rai, J. Baker, and D. C. Ingram, "Damage annealing behavior of 3 MeV Si-implanted silicon", *Appl. Phys. Lett.* vol. 51, no. 3, pp 172-174, 1987
- [8] D. K. Sadana, "Defect structures and electrical behavior of rapid thermally annealed ion implanted Silicon", *Mat. Res. Soc. Symp. Proc.* vol. 92, 1987
- [9] P. F. Byrne and N. W. Cheung, "Damage induced through megavolt arsenic implantation into silicon", *Appl. Phys. Lett.* vol. 41, no. 6, pp537-539, 1982
- [10] R. Drosd and J. Washburn, "Some observations on the amorphous to crystalline transformation in silicon", *J. Appl. Phys.*, vol. 53, no. 1, pp. 397-403, 1982
- [11] P. Revesz, M. Wittmer, J. Roth, and J. W. Mayer, "Epitaxial regrowth of Ar-implanted amorphous silicon", *J. Appl. Phys.*, vol. 49, no. 10, pp. 5199-5206, 1978
- [12] A. G. Cullis, T. E. Seidel, and R. L. Meek, "Comparative study of annealed neon-, argon-, krypton-ion implantation damage in silicon", *J. Appl. Phys.*, vol. 49, no. 10, pp. 5188-5198, 1978
- [13] A. Milgram and M. Delfino, "Effect of argon implantation on the activation of boron implanted in silicon", *Appl. Phys. Lett.* vol. 42, no. 10, pp878-880, 1983
- [14] J. A. Roth, G. L. Olson, D. C. Jacobson, and J. M. Poate, "Kinetics of solid phase epitaxy in thick amorphous Si layers formed by MeV ion implantation", *Appl. Phys. Lett.* vol. 57, no. 13, pp1340-1342, 1990
- [15] C. Carter, W. Maszara, P. K. Sadana, G. A. Rozgonyi, J. Liu, and J. Wortman, "Residual defects following rapid thermal annealing of shallow boron and boron fluoride implants into preamorphized silicon", *Appl. Phys. Lett.* vol. 44, no. 4, pp 459-461, 1984
- [16] D. M. Maher, R. V. Knoell, M. B. Ellington, and D. C. Jacobson, "Extended defects in amorphized and rapid-thermally annealed silicon", *Mat. Res. Soc. Symp. Proc.* vol. 52, pp93-105, 1986
- [17] M. Tamura and K. Ohyu, "Residual defects in High-Energy B-, P-, and As-implanted Si by Rapid thermal annealing", *Appl. Phys. A* 49, pp 149-155, 1989

 著者紹介

金光一(正會員) 第 29卷 A編 第 12號 參照
 현재 산업과학기술연구소 전자전기
 연구분야 전자소자 연구그룹 주임
 연구원

鄭旭珍(正會員) 第 29卷 A編 第 12號 參照
 현재 산업과학기술연구소 전자전기
 연구분야 전자소자 연구그룹 주임
 연구원

權英規(正會員) 第 29卷 A編 第 12號 參照
 현재 산업과학기술연구소 전자전기
 연구분야 전자소자 연구그룹장

金沆晚(正會員) 第 29卷 A編 第 12號 參照
 현재 포항공과대학 전자전기공학과
 교수 겸 산업과학기술연구소 전자
 전기연구분야장

裴泳鎬(正會員) 第 29卷 A編 第 12號 參照
 현재 산업과학기술연구소 전자전기
 연구분야 전자소자 연구그룹 주임
 연구원

桑野博(正會員)
 1938年 12月 6日生. 1962年 慶應義塾大學 工學部 電
 氣工學科 卒業. 1967年 同大學院 工學部 電氣工學專
 攻 博士課程了. 1965年 慶應義塾大學 電氣工學科 助
 手. 同專任講師, 助教授를 거쳐서, 1986年 教授로 現在
 재직 중. 主 관심분야는 半導體 物性研究 와 素子開發
 등임.