

論文93-30A-6-6

Recess 산화를 이용한 자기정렬 n⁺-p 폴리실리콘-실리콘 접합구조

(Self-Aligned n⁺-p Polysilicon-Silicon Junction Structure Using the Recess Oxidation)

李宗昊*, 朴榮俊*, 李鍾德*, 許昌洙**

(Jong Ho Lee, Young June Park, Jong Duk Lee and Chang Soo Heo)

要約

자기정렬 구조를 갖는 함몰된 n⁺-p 접합 다이오드를 고안하고 폴리실리콘을 n⁺ 확산 소스로 사용하여 제작하였다. 이와같은 다이오드 구조는 고성능 바이폴라 소자의 에미터-베이스 형성에 적용 가능하고 n⁺ 폴리실리콘 에미터는 소자 특성에 중요한 영향을 미친다. 그와같은 폴리실리콘을 형성하기 위해 고려된 변수는 증착 조건, 폴리실리콘의 도우핑을 위한 As⁺ 이온 주입량과 RTP 시스템을 사용한 열처리 조건이다. 제작된 다이오드의 depth profile은 SIMS를 사용하여 얻어졌고 전기적인 특성은 다이오드의 ideality factor (n), 콘택 저항과 누설전류의 차원에서 비교 분석되었다. 폴리실리콘 대신 비정질 실리콘 또는 두가지 물질의 조합으로 형성된 n⁺-p 접합 다이오드 특성을 기준 샘플과 비교 설명하였다. 좋은 특성을 갖는 n⁺-p 접합을 형성하기 위해서는 주어진 RTP 조건 (1100℃, 10초)하에서 As⁺의 이온 주입량을 1~2×10¹⁶cm⁻² 정도로 선택하는 것이 필요하다.

Abstract

A recessed n⁺-p junction diode with the self-aligned structure is proposed and fabricated by using the polysilicon as an n⁺ diffusion source. The diode structure can be applicable to the emitter-base formation of high performance bipolar device and the n⁺ polysilicon emitter has an important effect on the device characteristics. The considered parameters for the polysilicon formation are the deposition condition, As⁺ dose for the doping of the polysilicon and the annealing condition using RTP system. The vertical depth profiles of the fabricated diode are obtained by SIMS and the electrical characteristics are analyzed in terms of the ideality factor of diode (n), contact resistance and reverse leakage current. In addition, n⁺-p junction diodes are formed by using the amorphous silicon (or combination of amorphous and polysilicon) instead of polysilicon and their characteristics are compared with those of the standard sample. The As⁺ dose for the formation of good junction is about 1~2×10¹⁶cm⁻² at given RTA conditions (1100℃, 10sec).

*正會員, 서울대학교 電子工學科
(Dept. of Elec. Eng., Seoul Nat'l Univ.)

**正會員, 仁荷대학교 電子工學科
(Dept. of Electrical Eng., Inha Univ.)
接受日字: 1992年 11月 12日

1. 서론

폴리실리콘 (또는 다결정 실리콘)은 고속 바이폴라 기술에서 얇은 에미터 접합을 형성하기 위한 확산 소스로서 널리 이용되어 왔다.^{[1] [2]} 폴리실리콘을 사용

하면 자체 정렬 기술을 사용할 수 있어 스위칭 속도와 집적도를 늘일 수 있으며, 전류 이득을 급속과 직접 접촉된 에미터 구조의 소자보다 약 3~30배까지 높일 수 있다. 이는 폴리실리콘과 실리콘의 계면 특성에 따라 변하며, 이것에 대한 물리적, 전기적 특성이 광범위하게 연구되었다.^{14, 15} 폴리실리콘 에미터를 갖는 바이폴라 소자의 에미터(n) 베이스(p) 구조를 형성하는데 있어 자기정렬 기술은 폴리실리콘에 의한 특성 변화와 더불어 중요시 된다. 기존의 폴리실리콘-실리콘 n⁺-p 다이오드 구조에서는 n⁺ 영역과 p 영역의 p⁺ 영역이 자기정렬되지 않기 때문에 단일 폴리실리콘 층을 사용하는 바이폴라 소자의 제작 기술에 적용될 때 우수한 성능을 얻을 수 없다.

본 논문에서는 자기정렬 에미터-베이스 구조를 사용하는 고속 바이폴라 소자에 적용가능한 n⁺-p 접합 다이오드를 고안하고 이를 제작하기 위해 함몰(recess) 산화 기술을 이용하여 제작하는 과정 및 결과를 보였다. 또한 폴리실리콘을 n⁺ 확산원으로 사용할 때 증착(deposition) 조건과 도우핑을 위한 As⁺ 이온 주입량 및 열처리 조건에 따른 n⁺-p 접합의 SIMS 결과 및 전기적 특성을 분석하고자 한다. 폴리실리콘 대신 비정질 실리콘 또는 비정질 실리콘과 폴리실리콘을 차례로 증착하여 형성한 n⁺-p 접합에 대한 특성을 기준 샘플과 비교하고자 한다.

제 2장에서는 제안된 구조를 형성하기 위한 공정순서와 SEM을 이용한 단면을 소개하고, 제 3장에서는 SIMS를 이용한 분석을 보이고 있다. 그리고 제 4장에서는 제작된 n⁺-p 다이오드의 ideality factor, 계면 저항 특성, 누설전류 특성을 비교하고 제 5장에서는 결론을 맺도록 한다.

II. 함몰 산화 기술을 이용한 n⁺-p 접합 다이오드의 형성

그림 1은 함몰 산화 기술을 이용하여 자기정렬되는 n⁺-p 다이오드를 제작하는 과정을 보여준다. 최종 구조(그림 1. (f))를 고성능 바이폴라 소자의 에미터-베이스 구조에 응용할 경우 에미터와 외부 베이스 사이의 거리를 효과적으로 가깝게 함으로써 베이스 저항을 줄일 수 있고, 진성 베이스의 폭을 조절하는데 도움을 줄 수 있다. 또한 완전한 접합을 함몰 산화막 아래에서 얻을 수 있음으로써 p⁺ 외부 베이스와 n⁺ 영역사이의 항복전압의 증가를 얻을 수가 있다. 이러한 n⁺-p 접합 구조를 얻기 위해 본 연구에서 채택한 공정 순서는 다음과 같다.

- (1) p-type 기판, (100) ρ = 7Ω · cm

- (2) 버퍼 산화막 성장 (45nm), 실리콘 질화막 증착 (100nm)
- (3) 함몰 영역 형성을 위한 photo 작업 (Mask #1 : emitter open mask)
- (4) 함몰 영역이 될 부분에 두꺼운 SiO₂ 성장 (함몰 산화막 두께 = 435nm)
- (5) 외부 베이스에 해당하는 p 영역 형성용 boron 이온 주입 (3×10¹³cm⁻², 70keV)
- (6) 성장된 함몰 산화막을 7:1 BHF로 습식 식각
- (7) 진성 베이스에 해당하는 boron 이온 주입 (35keV, 3×10¹³cm⁻²)
- (8) Spacer 형성을 위한 LPCVD HTO (두께 = 250nm) 증착 및 비등방 건식 식각을 이용한 spacer 형성
- (9) n⁺ 영역이 될 단결정 실리콘 위에 폴리실리콘이나 비정질 실리콘 또는 비정질 실리콘과 폴리실리콘을 연속으로 증착
- (10) 증착된 비정질 실리콘 또는 폴리실리콘을 도우핑시키기 위한 As⁺ 이온 주입 (기준 dose=1×10¹⁶cm⁻², energy = 60keV)후 RTP로 열처리
- (11) 알루미늄 증착 및 패턴 형성
- (12) 알루미늄과 폴리실리콘 접촉영역 사이의 alloy

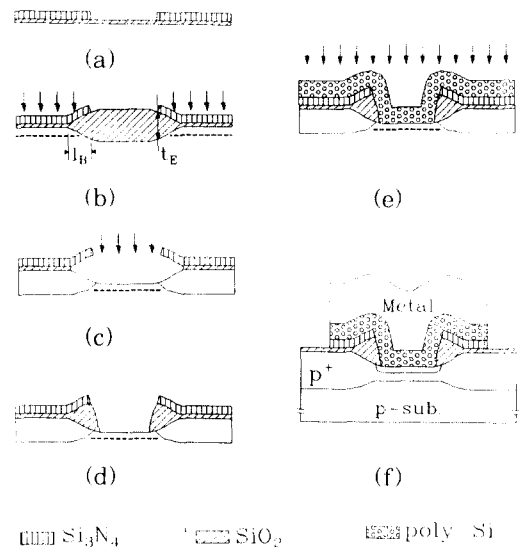


그림 1. 함몰된 n⁺-p 접합 다이오드 제작을 위한 간략한 공정 순서

Fig. 1. Schematic cross-sectional view of simplified process sequences for the fabrication of the recessed n⁺-p junction diode.

그림 1의 (a)는 공정순서 (3)까지의 과정을 거친 후 얻어진 단면이며, 이 상태에서 1000℃에서 87분간 습식 산화하면 그림 1의 (b)에서와 같이 함몰 영역에 약 435nm의 산화막이 성장된다. 이때 함몰 산화막 성장은 다음의 공정 조건하에서 이루어 졌다. LOCOS 기법과 비슷한 방법으로 함몰 산화막을 성장할 때 stress 감소나 dislocation^[6]을 제거하기 위해 고려한 변수는 버퍼 산화막과 질화막의 두께, 함몰 산화막의 성장 온도 및 두께이다. 이것이 결정되면 그림 1의 (b)에 표기된 t_B (새부리 길이)와 t_C (가장자리 산화막 두께)를 문헌 [10], [11]에서 고려하였으며, 이 변수는 자기정렬 형태로 외부 p' 영역과 n' 영역 사이의 거리를 결정하는데 있어 중요한 요소가 된다. 결정된 버퍼 산화막 및 질화막의 두께와 함몰 산화막 두께를 고려한 일련의 공정 window를 설정하여 p' 영역 형성을 위한 이온 주입 공정 변수를 결정하였다. 여기서 사용한 버퍼 산화막과 함몰 산화막, 그리고 질화막 두께는 적용하고자 하는 소자의 구조에 따라 달라질 수가 있을 것이다. 이와같이 성장된 함몰 산화막을 p' 영역 형성을 위한 boron의 이온주입에 대한 마스크로 이용하여 질화막과 버퍼 산화막으로 구성된 영역 아래로 boron을 공정과정 (5)와 그림 1의 (b)와 같이 70keV의 에너지로 이온주입한다.

식각한 후에 촬영한 SEM 단면 사진이다. 통상 CMOS 제조 공정에서 필드 산화막을 성장할 때 나타나는 새부리 현상에 해당하는 부분의 산화막까지 식각되어 있음을 알 수 있다. 여기서는 CMOS 공정에서 필드 산화막이 성장된곳 처럼 보이는 곳이 활성 (active) n' 영역이 된다. 공정순서 (7)과 그림 1의 (c)에서와 같이 진성 베이스 형성을 위한 boron을 이온 주입하는데, 이온주입량은 $3 \times 10^{13} \text{cm}^{-2}$ 이고 에너지는 35keV이다. boron 이온주입을 행한 후 APCVD LTO 증착 시스템으로 산화막을 증착하게 되면 그림 3의 (a)와 같이 형성된다. 이 때 새부리의 끝부분에 해당하는 곳에 void가 관찰됨을 알 수 있다. 이것은 질화막 가장자리와 그 아래부분인 실리콘 표면 위에 SiO₂가 증착될 때 좁은 통로로 SiH₄와 산소 gas가 들어가지 못하기 때문에 생겨난다. APCVD LTO (380℃에서 증착) 대신 균일성이 좋은 LPCVD HTO (780℃에서 증착)를 사용하면 그림 3의 (b)와 같이 void가 발견되지 않게 된다. 증착된 HTO를 비등방 건식 식각하면 그림 1의 (d) 및 그림 4와 같이 약 230nm의 SiO₂ spacer가 형성된다. 이 때 단결정 표면 위에 증착될 폴리 또는 비정질 실리콘의 두께는 약 200nm이다. 그림 4와 같은 상태에서 노출된 실리콘 부분 (함몰된 실리콘 영역)의 표면을 RCA 세척한 다음 비정질 실리콘이나 폴리실리콘을 증착한다. 그림 6은 폴리실리콘이 증착된 후에 단면을 촬영한 것이다. SiO₂ 영역이 잘 보이도록 단면을 형성한 후 HF 용액에 넣은 후 세척하여 촬영하였으며, 새부리 영역에 LPCVD 시스템에서 증착된 SiO₂가 spacer 형태로 되어 있었음을 알 수 있다.

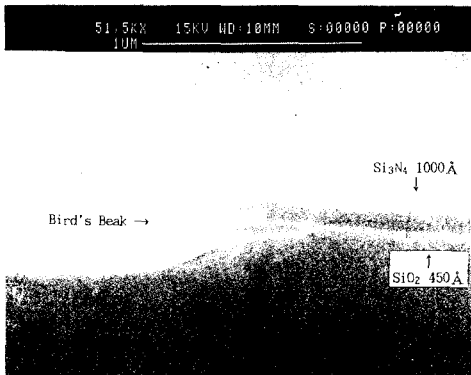
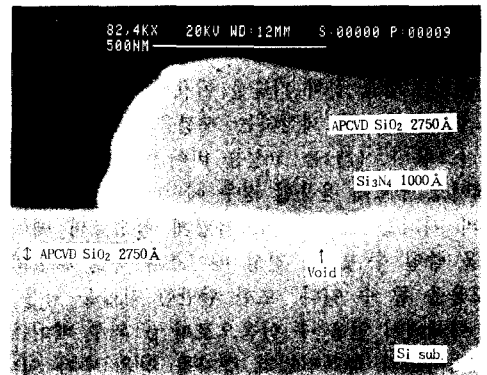
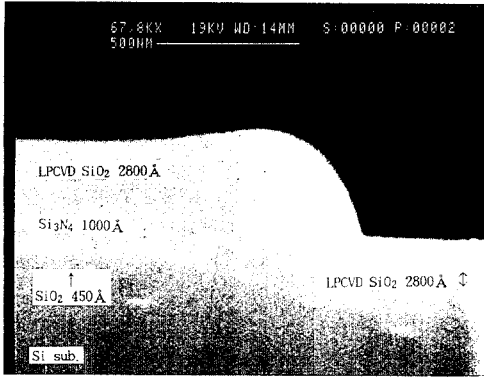


그림 2. 성장된 함몰 산화막을 습식 식각한 후의 구조를 보여주는 SEM 단면 사진
Fig. 2. SEM micrograph showing the structure after wet etching of the recess oxide.



(a) APCVD LTO

그림 2는 성장한 함몰 산화막을 7:1 BHF에 습식



(b) LPCVD HTO

그림 3. 함몰 산화막의 습식 식각후 (a)APCVD LTO (b)LPCVD HTO 산화막을 증착하고 촬영한 SEM 단면사진

Fig. 3. SEM micrograph showing the deposited (a)APCVD LTO and (b)LPCVD HTO after wet etching of the recess oxide.

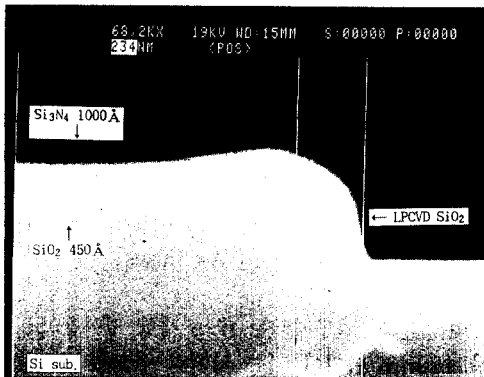


그림 4. 증착된 LPCVD 산화막을 비등방 건식 식각하고 산화막 spacer를 형성한 후 촬영한 SEM 단면사진

Fig. 4. SEM cross-sectional view of the structure after anisotropic RIE etching of the deposited LPCVD HTO for oxide spacer formation.

증착된 폴리실리콘에 그림 1의 (e)와 같이 As⁻을 이온주입하여 n⁺로 만들고 RTP를 사용한 열처리를 통하여 증착된 물질내에 있는 As⁻ 이온을 단결정 실리콘으로 확산하게 한다.

그러면 실리콘내에 얇은 n⁺ 층이 형성된다. 끝으로 알루미늄 증착 및 패터형성을 거쳐 alloy를 하게되면 그림 1의 (f)와 같이 된다.

n⁺-p 다이오우드 제작과정에서 변화시킨 주요 공정 변수에 따른 제작된 소자의 특성을 효과적으로 분석하기 위해 표 1과 같은 그룹으로 분류하였다. 샘플의 split은 주어진 공정변수 중 한가지를 3개의 샘플에서 변화 시켰다. 여기서 기준이 되는 샘플은 마지막 column에 표시하였으며, 각 그룹의 앞 또는 중간에서 비교될 수 있도록 하였다. 그룹별 분류에서 제외된 샘플은 폴리실리콘 대신 비정질 실리콘을 560℃에서 200nm 증착한 샘플 또는 비정질 실리콘을 560℃ 에서 온도 안정화를 이룬 다음 50nm 증착하고 다시 온도를 630℃로 올려 온도 안정화를 시킨 다음 약 150nm의 폴리실리콘을 증착한 복합층 샘플이다.

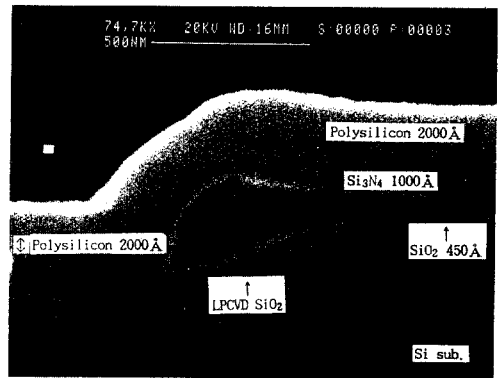


그림 5. 산화막 spacer를 형성하고 세척한 후 폴리실리콘을 증착한 다음 촬영한 단면 사진. 사진의 해상도를 위해 산화막층을 7:1 BHF 용액에서 습식 식각하였다.

Fig. 5. SEM cross-sectional view of the structure after polysilicon deposition. Spacer oxide was wet etched in 7:1 BHF solution for resolution enhancement.

표 1. 공정 조건에 따른 샘플 분류

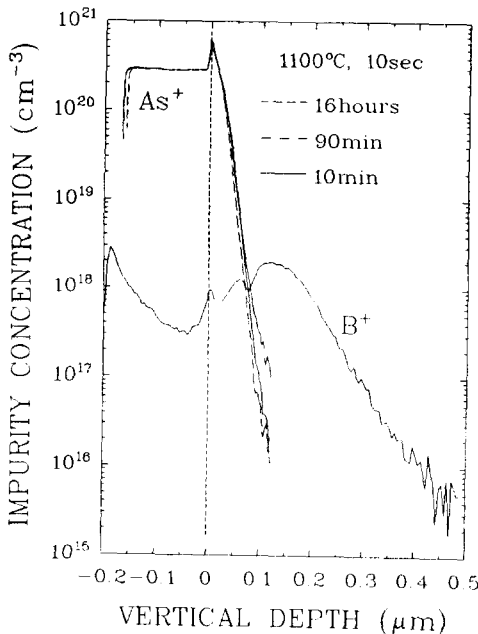
Table 1. Sample identification with process conditions.

	Group A	Group B	Group C	Group D	STD*
Expo. Time (min)	90 (1), 960 (2)	10	10	10	10
As ⁺ Dose ($\times 10^{16} \text{cm}^{-2}$)	1.0	0.5 (1), 2.0 (2)	1.0	1.0	1.0
Anneal. Temp. (°C), N ₂	1100	1100	1050 (1), 1150 (2)	1100	1100
Anneal. Time (sec), N ₂	10	10	10	5 (1), 20 (2)	10

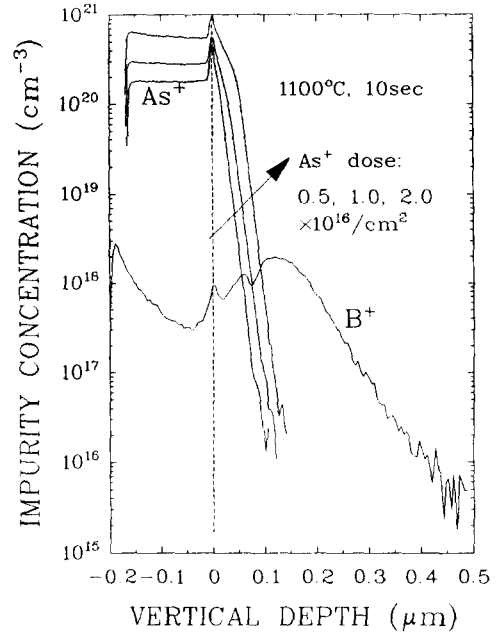
* STD : standard

Ⅲ. SIMS를 사용한 공정 조건에 따른 도핑 프로파일의 분석

일반적으로 폴리실리콘을 As⁺ 이온주입으로 도우핑하고 n⁺ 층 형성을 위한 확산소스로 사용할 경우 기술의 발달 정도나 공정 장비의 성능에 따라 다를 수 있겠지만, 단결정 실리콘 내에 형성되는 n⁺-p 접합의 깊이는 보통 50nm 이상이다.^[12] 이유는 적층된 비정질 실리콘이나 폴리실리콘에 있는 As⁺ 이온의 양에 따라 다르지만 접합의 깊이가 너무 얕으면 n⁺-p 접합이 수평 방향으로 균일하지 않아 소자의 특성을 저하시키고 또한 정방향이나 역방향 스트레스에 따라 누설전류가 증가하기 때문이다.



(a)



(b)

그림 6. 공정 조건에 따른 n⁺-p 다이오드의 SIMS depth profile

(a) 실리콘 표면 노출 시간에 따른 depth profile

(b) As⁺ 이온 주입량에 따른 depth profile

Fig. 6. SIMS depth profiles of n⁺-p diode with process conditions.

(a) SIMS depth profiles with exposure time of Si surface in atmospheric ambient.

(b) SIMS depth profiles with three different As⁺ doses.

따라서 본 연구에서는 n⁺-p 접합 깊이를 50nm 이상 100nm 미만이 되는 열처리 온도와 시간을 선택하였다. 참고로, 폴리실리콘이나 비정질 실리콘을 in-situ로 도우핑하게 되면 그 이하의 접합도 가능성이 보고되어 있다.^{[13], [14]} 2장의 공정 과정을 모두 거친 샘플의 SIMS 프로파일을 분석하기 위해 CAMECA IMS-4F 장비를 이용하였다. As⁺와 O⁻ 이온을 검출하기 위한 일차 이온은 Cs⁺ 이온이며, B⁺ 이온을 검출하기 위해서는 O⁻ 이온을 일차 이온으로 사용하였다.

그림 6의 (a)와 (b)는 제작된 샘플의 공정 조건에 따른 SIMS 프로파일을 보여준다. Depth profile의

calibration은 실리콘 층을 기준으로 하였기 때문에 증착한 폴리실리콘의 두께가 그림에서 대략 170nm로 보인다. n⁺로 도우핑된 폴리실리콘을 depth profiling할 때 단결정 실리콘보다 빨리 식각되어지는 것을 고려하면 원래 증착한 두께인 200nm가량으로 추정할 수 있다. 각 그림에서 B는 기준 샘플에서 얻은 것으로 비교를 쉽게 하기 위해 추가하였다. n⁺ 영역과 접합을 이루는 부근에서의 boron 농도는 약간 감소를 보이는데 이는 RTP 시스템을 사용한 열처리 동안 As⁺ 이온에 의한 N_D⁺ 이온이 접합 부근의 boron (N_A⁺) 이온이 확산되어 가는 것을 지연시키는 전계 때문이다. Boron의 이온주입 에너지를 고려할 때 프로파일의 peak 위치는 약 125nm 가량으로 35keV로 이온주입했을 때 얻어진 프로파일을 거의 그대로 유지하고 있음을 알 수 있다. Peak에서의 boron 농도는 약 $2 \times 10^{18} \text{cm}^{-3}$ 으로 이 값은 역방향 누설 전류에 중요한 영향을 미친다.

그림 6의 (a)는 그룹 A에 대한 결과로 폴리실리콘이 증착되기 전에 단결정 실리콘을 세척한 후 습도가 50%이고 온도가 $23 \pm 1^\circ\text{C}$ 인 청정실 내에서 폴리실리콘이 증착될 때까지 노출시킨 시간에 따른 As⁺의 SIMS 프로파일이다. 약 16시간 노출시킨 후의 n⁺-p 접합 깊이가 상대적으로 낮게 나왔으며, 90분이나 10분 노출시킨 결과는 거의 비슷하게 75nm 정도로 얻어졌다. 그림 6의 (b)는 그룹 B에 대한 결과로 폴리실리콘을 도우핑시키는 As⁺ 이온 주입량에 따른 n⁺-p 접합의 프로파일을 보여준다. $5 \times 10^{15} \text{cm}^{-2}$ 를 이온주입했을 때의 접합 깊이는 약 60nm 정도이고 $2 \times 10^{16} \text{cm}^{-2}$ 일 때는 약 85nm임을 알 수 있다. 그림에서 알 수 있듯이 폴리실리콘 도우핑시의 도우즈가 단결정내의 접합깊이에 큰 영향을 줌을 알 수 있으며, 이것은 As⁺ 이온의 농도 구배에 의한 확산증가 효과에 의한 것이다. 그룹 C에 대한 결과로서 1050 $^\circ\text{C}$ 의 열처리 온도에서는 접합 깊이가 65nm이고 1150 $^\circ\text{C}$ 에서는 90nm였다. 그리고 그룹 D에 대한 결과로 열처리 시간이 5초일 때는 70nm이고 20초일 때는 95nm로 얻어졌다.

그림 7은 비정질 실리콘을 증착한 샘플과 기준 샘플을 같은 열처리 조건을 주어 제작한 n⁺-p 접합의 SIMS 프로파일을 보여주고 있다. 점선으로 표시된 부분이 비정질 실리콘을 증착하여 만든 n⁺-p 다이오드의 도핑 프로파일이다. 공정시 증착된 비정질 실리콘층의 두께는 실제로 폴리실리콘층의 두께와 거의 비슷한데, 그림에서 약 30nm 정도 차이가 나는 이유는 일차 이온인 Cs⁺ 이온으로 SIMS depth profiling 할 때 n⁺로 도우핑된 비정질 실리콘의 식각율이 크기 때

문인 것으로 생각된다. 비정질 실리콘이 어닐링될 때 폴리실리콘의 경우 보다 grain 크기가 증가하기 때문에 [15], [16] 저항도 감소하게 된다. [16], [17] 접합깊이는 두 경우에서 큰 차이가 없고 비정질 실리콘의 경우가 약간 깊게 나왔다.

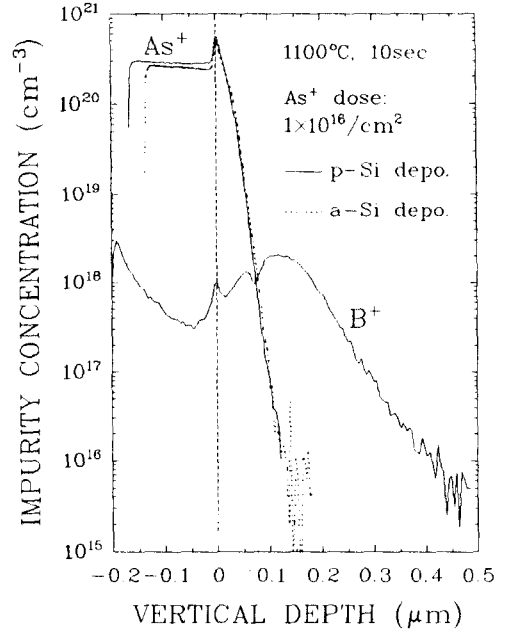


그림 7. 비정질 실리콘과 폴리실리콘을 각각 증착한 경우에 대한 depth profile

Fig. 7. SIMS depth profiles for the samples with deposited amorphous silicon and polysilicon, respectively.

그림 8은 같은 열처리 과정을 거친 복합층의 샘플에 대한 SIMS 결과를 보여준다. 여기서 의도한 것은 비정질 실리콘과 실리콘 사이의 계면에 있는 자연 산화막과 비정질 실리콘과 폴리실리콘사이의 As⁺ 이온의 segregation을 이용하여 바이폴라 트랜지스터의 전류 이득을 높일 수 있는 가능성을 보는 것이다. 베이스에서 에미터를 넘어오는 hole에 대해 자연 산화막이 장벽이 됨과 동시에 비정질 실리콘과 폴리실리콘 계면에 있는 As⁺ 이온의 segregation이 두번째 장벽이 되도록 하여 전류 이득을 더욱 증가시킬려고 하였다. 그리고 LPCVD 시스템의 압력이 저압 (증착시 약 300mtorr, 온도 안정시에는 300mtorr 이하)이기 때문에 비정질 실리콘과 폴리실리콘 사이에는 산화막의 영향이 작을 것으로 생각하였다. 그런데

그림의 산소이론 분포를 보면 비정질 실리콘층과 폴리실리콘층의 계면에 산소 peak가 존재함을 볼 수 있다. 따라서 As⁺에는 2개의 peak이 생성되어 전류 이득에는 효과를 거둘 수 있지만 산화막에 의한 에미터 저항의 증가를 예측할 수 있다. 참고로 얇은 n-p 접합을 형성할 때 본 논문의 복합층과 비슷하게 폴리실리콘을 다층으로 증착하면 접합의 균일도가 좋아진다는 보고가 있다.¹¹⁸

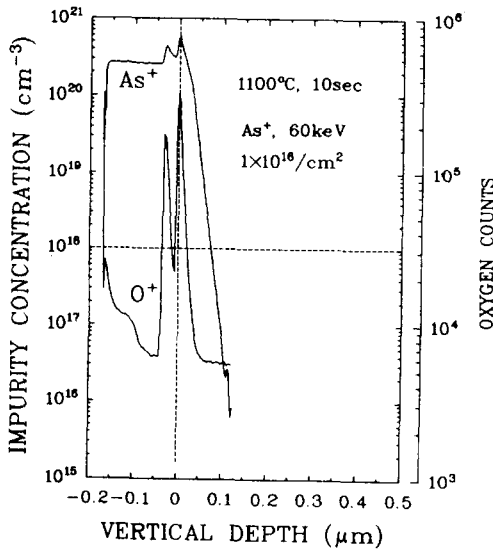


그림 8. 비정질 실리콘 (50nm)과 폴리실리콘 (150nm)을 연속으로 증착시킨 샘플의 As⁺와 O⁺ 이온에 대한 depth profile
Fig. 8. SIMS depth profiles of As⁺ and O⁺ ions for a sample having consecutively deposited 50nm thick amorphous silicon and 150nm thick polysilicon.

IV. 전기적인 특성 분석

제 4장에서는 2장에서 보인 바와 같은 함몰 산화에 의해 형성된 n-p 접합의 전기적 특성을 이해하고자 한다. 먼저 그룹별로 분류한 샘플의 제반 특성을 살펴보면 표 2와 같이 요약된다.

다이오우드 특성에서 n-p 접합 형성을 평가하는데 있어 중요한 요소 중에 하나는 ideality factor이다.

표 2의 두번째 줄에서는 앞서 언급한 여러가지 공정 조건을 달리하여 만들어진 샘플에서 측정된 다이오우드의 ideality factor (n)를 보여주고 있다. 조건이 다른 각각의 웨이퍼에서 10개 이상의 패턴을 측정하여 그 평균값은 중앙에, 그리고 최소 및 최대값은 상, 하에 각각 나타내었다. 여기서 ideality factor가 '1'에 가까우면 좋은 n-p 이 형성되었음을 의미한다.

표 2. 분류된 그룹에 따른 다이오우드의 ideality factor (n), 접촉저항 그리고 역방향 누설 전류

Table 2. Ideality factor of diode (n), contact resistance (Rc) and reverse leakage current with the specified groups.

	Group A		Group B		Group C		Group D	
	(1)	(2)	1	2	1	(2)	(1)	(2)
n	1.134	1.272	1.311	1.011	0.998	1.327	0.999	0.999
avg	1.235	1.329	1.431	1.012	1.310	1.394	1.064	1.136
max	1.343	1.347	1.665	1.017	1.062	1.435	1.127	1.422
Rc (Ω)	21.2	29.1	533.6	15.1	643.4	14.0	733.2	14.4
avg	11.8	16.5	133.7	10.58	111.5	9.36	1196.6	0.62
I _s (μA)	10.82	13.9	1500.0	0.35	8580.0	0.73	426.3	0.64
avg	18.3	19.4	1485.2	10.173	16310.0	0.73	433.7	0.44

• Diode area: 2um x 5um
• Diode area: 400um x 400um, Va: 1.5V

그룹 A에 대한 n 값은 노출 시간이 길어짐에 따라 증가한다. 또한 노출시간 증가에 따라 특성저항이 포화되는 경향을 보이는데, 이것은 폴리실리콘과 단결정 실리콘 사이의 자연산화막의 성장이 공기중에서는 포화됨을 의미하며, 자연 산화막의 두께에 따라 접합의 균일성이 저하됨을 의미한다. 또한 이들 결과로부터 폴리실리콘 증착전에 세척을 하고 가능한 한 빨리 LPCVD 폴리실리콘 증착 시스템에 샘플을 loading 시켜야 함을 알 수 있다. 그룹 B에 대한 결과에서는 As⁺ 이온 주입량이 증가함에 따라 접합의 특성이 좋아짐을 알 수 있다. 2.0×10¹⁶cm⁻²의 도우즈에 대해서는 웨이퍼 내의 거의 모든 곳에서 양질의 접합이 형성되었음을 알 수 있다. 이것은 비소 이온의 높은 이온 주입량에 따른 n-p 접합의 깊이 증가나 단결정내로 확산해 들어간 비소 이온의 측면방향으로의 확산에 의한 접합의 균일성 때문으로 생각된다. 이것을 입증하는 하나는 앞의 SIMS 프로파일에서 2.0×10¹⁶cm⁻²을 이온 주입한 경우 폴리실리콘과 단결정 실리콘 계면 바로 아래의 도우핑 농도가 제일 높다는 것을 관찰할 수 있으며, 이것은 바로 측면으로의 확산에 도움을 줄 수 있음을 암시한다. 그룹 C의 결과에서 RTP 시스템의 확산온도가 1050℃인 경우에는 다이오우드 특성이 거의 나타나지 않았기 때

문에 표 2에서는 ‘-’ 로 표시하였다. 만약 1050℃에서 양질의 특성을 얻기 위한 드라이브인을 한다면 10초 보다는 훨씬더 많은 시간이 필요하다. 1150℃인 경우에는 좋은 접합 특성을 보여 주고 있으며, 이것은 같은 비소 이온 주입량을 고려할 때 n⁻p 접합이 깊게 형성되었기 때문이며, 동시에 측면으로의 확산에 증가 효과를 줄 수 있기 때문이다. 그룹 D의 결과는 1100℃에서 어닐링 시간에 따른 n 값으로 어닐링 시간의 증가에 따라 접합의 특성이 개선됨을 볼 수 있다. 그러면 그룹에 속하지 않은 샘플들의 특성을 기준 샘플의 특성과 비교한다. 비정질 실리콘을 증착한 샘플의 결과를 기준 샘플의 결과와 비교해 보면, 비정질 실리콘을 증착한 경우 (min.=0.999, ave.=1.023, max.=1.069)가 n⁻p 접합의 특성이 개선됨을 알 수 있다. 일반적으로 비정질 실리콘이 900℃이상의 온도에서 어닐링될 때 폴리실리콘보다 큰 grain을 갖게된다.^{15), 16)} 따라서 같은 공정 변수하에서 단결정 실리콘으로 As⁻ 이온이 확산되어 오는 양은 폴리실리콘의 경우가 많게되어 접합의 깊이에 영향을 줄 수 있고^{15), 16)} 측면방향으로의 접합의 균일도도 폴리실리콘의 경우가 좋은 것으로 보고되고 있다.¹⁴⁾ 그러나 앞의 SIMS 분석결과에서는 거의 같은 접합 깊이를 보여주었으며, ideality factor도 비정질 실리콘의 경우가 좋은 것으로 나왔다. 본 논문의 조건과 참고 문헌 [19] 과의 차이점은 증착된 폴리층의 두께와 확산시키는 온도와 시간이다. 특히 중요한 공정변수 차이로 생각되는 것은 RTP 시스템의 어닐링 온도인데, 본 논문에서는 1100℃, 10초이고 참고문헌 [19] 에서는 950℃, 60초이다. 복합층의 경우 (min.=0.999, ave.=1.077, max.=1.272)에도 기준 샘플의 경우 보다 약 10%의 개선을 보여주지만 공정조건 (stand-by 온도)에 따른 변화를 보여주었고 보다 자세한 연구가 필요하다. 복합층의 경우 수평 방향으로 grain 경계를 하나 더 가지므로 단결정 실리콘으로의 As⁻ 이온의 확산에 영향을 줄 수 있어 이와 같은 경우에는 열처리 시간의 증가를 고려하는 것이 합당할 것으로 생각된다.

폴리실리콘과 실리콘 사이의 접촉저항 특성을 조사하기 위해 수평으로 형성된 n-p-n lateral 바이폴라 트랜지스터를 이용하였으며, 또한 다음의 식을 이용하여 R_c를 구하였다.²⁰⁾

$$V_{CE} = kT/q \ln(1/a_R) + I_E \cdot R_c$$

여기서 a_R은 역방향 공통 베이스 전류이득이고 I_E는 에미터 전류이다. 측정된 접합의 면적은 2×5μm²

이고 측정된 샘플의 개수는 각 조건당 10개 이상이다. 여기서 R_c는 접촉저항 및 n⁻ 에미터 확산 영역의 저항을 동시에 포함하고 있는 값이며, 표 2의 세번째 줄에 나타내었다.

그룹 A의 결과에서는 노출 시간이 길어지면 접촉저항과 표준편차가 동시에 증가함을 알 수 있다. 10분 노출시킨 경우는 세척 후 웨이퍼 건조시간과 LPCVD 시스템에 loading 할 때 걸린 시간을 모두 합한 것이고 그 저항값은 약 15.8Ω이다. 접촉 면적을 고려하면 약 151Ω·μm²이다. 노출 시간을 작게하기 위해 웨이퍼 세척 후 가능한 한 빠른 시간 내에 LPCVD 시스템에 loading 시켜야 함을 알 수 있다. 그룹 B의 결과에서 5×10¹⁶cm⁻²을 이온 주입한 경우 저항값은 534Ω이다. 이는 As⁻ 이온주입량에 따라 자연 산화막의 파괴가 크게 변화됨을 의미한다. As⁻ 이온 주입량이 1.0×10¹⁶cm⁻² 이상인 경우는 저항값이 15Ω정도로 포화됨을 알 수 있다. 그룹 C는 열처리 온도만 변화시켰을 때 측정된 접촉저항의 변화로 열처리 온도가 1050℃ 경우 급격히 저항값이 증가함을 보여주고 있고 앞의 ideality factor의 결과와 상응한다. 1150℃의 열처리를 거친 샘플에서는 기준 샘플의 경우보다 약 10% 적은 값을 나타내었다. 그룹 D는 열처리 시간의 변화에 따른 저항값의 변화로 10초 이상의 열처리 시간에 대해 저항값은 더 이상 감소하지 않고 거의 포화됨을 알 수 있다. 낮은 접촉저항을 위해서는 1.0×10¹⁶cm⁻² 이상의 dose 그리고 1100℃정도의 열처리 온도와 10초 정도의 시간이 필요함을 알 수가 있다.

비정질 실리콘을 증착하여 기준 샘플과 같은 공정 조건을 거쳐 만들어진 샘플에서는 기준샘플과 거의 유사한 16Ω(σ =1.6Ω)정도였다. 또한 복합층의 경우는 그림 8에서 보여진 2개의 산소 peak에도 불구하고 측정된 값은 2×5μm²의 접촉면적에 대해 기준 샘플과 거의 비슷한 값을 보여 주었다. 이것은 고온(1100℃)으로 어닐링할 때 계면의 자연 산화막이 파괴되기 때문인 것으로 생각된다.

누설전류 특성은 scale-down된 바이폴라 소자의 n⁻p 접합에서 중요하며, 베이스 농도가 증가하게 되면 에미터 (n⁻) 영역과 베이스 (p) 사이에 전계가 커지게 된다. 이 때의 누설전류는 중성영역에서의 확산전류와 공핍영역에서의 생성 전류 성분이다. 도우핑 농도가 높은 n⁻p 접합에서는 위에서 언급한 전류 성분외에 높은 전계 때문에 생기는 터널링 전류가 있다. 또한 큰 역 방향 전압이 가해지면 높은 전계에 의해 생겨난 hot 캐리어가 에미터 주위의 산화막의 질을 저하시킴으로써 재결합 전류를 증가시킨다.²¹⁾

터널링 전류를 생성시키는 경우는 실제 상황에서 에미터 영역이 도우핑이 많이되어 축퇴되고 농도 기울기가 10^{24}cm^{-1} 인 상태에서 베이스의 농도 크기가 10^{18}cm^{-1} 이상인 것으로 보고되고 있다.^[22] 따라서 본 논문의 경우 As⁻ 이온의 확산에 의한 얇은 n⁻ 영역과 접하고 있는 boron의 농도가 10^{18}cm^{-3} 이상이기 때문에 모든 샘플의 누설전류에 터널링에 의한 성분이 존재함을 예측할 수 있다. 공정변수에 따른 누설전류 특성을 면적이 $400\times 400\mu\text{m}^2$ 인 접합 다이오드에서 2.5V의 역바이어스를 인가해 측정하였다.

그룹 A는 폴리실리콘을 증착하기 전에 실리콘표면을 공기중에 노출시킨 시간에 따른 누설 전류 특성이 다. SIMS에 의한 접합깊이는 노출시간에 따라 비슷한 결과가 나왔지만 누설전류는 노출시간이 길 수록 크게 나왔다. 이는 자연 산화막의 두께의 증가에 의해 접합이 균일하게 형성이 되지 못했기 때문인 것으로 생각된다. 공기중에 16시간 노출시킨 샘플의 누설 전류가 90분 노출된 샘플에 비해 크게 증가하지 않은 것으로 보아 대기중에서는 어느정도 이상의 산화막 성장 후 거의 포화됨을 알 수 있다. 그룹 B는 As⁻ 이온주입량에 따른 누설전류이다. $2\times 10^{16}\text{cm}^{-2}$ 을 주입하였을때 다이오드의 ideality factor의 평균값이 거의 '1'이었으며, 표준편차는 거의 무시할 만큼 작다. 이 샘플에서 얻어진 누설 전류는 약 $0.35\mu\text{A}$ 이고 밀도로 환산하면 $220\mu\text{A}/\text{cm}^2$ 이다. 이것은 참고 문헌 [22] 에서 보고된 $2\times 10^{13}\text{cm}^{-2}$ 의 boron을 20keV의 에너지로 이온주입한 경우의 약 $500\mu\text{A}/\text{cm}^2$ 보다 작은 값이다. 이와 같은 결과는 As⁻ 이온 주입량을 $2\times 10^{16}\text{cm}^{-2}$ 로 했을때 접합의 균일성이 좋음을 의미한다. 그룹 C는 열처리 온도에 따른 누설전류 특성으로 접합의 깊이가 깊을수록 누설전류 값이 줄어듦을 알 수 있다. 1050°C, 10초의 열처리를 거친 샘플은 많은 누설전류를 보였으며, 반드시 이 보다 긴 시간 동안의 열처리를 요구한다. 그룹 D는 열처리 시간에 따른 특성인데, 시간증가에 따라 누설전류가 줄어듦을 알 수 있다. 1100°C에서의 열처리 시간이 5초인 경우 많은 누설 전류를 보이는데, 얇은 접합이 형성되었기 때문에 나타나는 현상이고 따라서 RTP 시스템에서 어닐링 시간은 매우 중요한 변수임을 알 수 있다. 비정질 실리콘을 증착하고 기준샘플과 같은 열처리 과정을 거친 샘플의 경우 약 $0.92\mu\text{A}$ ($\sigma=0.75\mu\text{A}$)로 기준 샘플보다 약 10% 작은 값을 보여 주었다. 비정질과 폴리실리콘을 복합층으로 구성한 샘플의 누설 전류는 같은 조건하에서 약 $8\mu\text{A}$ ($\sigma=4.9\mu\text{A}$)로 측정되었으며, 기준 샘플과 같은 열처리 조건하에서 큰 누설 전류를 보여 주었다.

V. 결론

고성능 바이폴라 소자의 자기정렬 에미터-베이스 구조에 적용 가능한 n⁻p 접합 다이오드를 고안하고 recess 산화 기술을 이용하여 제작하였다. Recess 산화 기술을 적용할 때 생길 수 있는 dislocation을 줄이기 위한 공정변수를 일련의 공정 window를 통해 선택하여 성공적으로 제작하였다. 샘플의 제작시 얇은 n⁻ 영역의 도핑을 위한 확산원으로 사용되는 폴리실리콘의 증착 및 도우핑을 위한 이온 주입량 그리고 열처리 조건에 따른 제작된 n⁻p 접합의 SIMS depth 프로파일 및 전기적 특성을 분석하였다. 본 실험과 같이 폴리실리콘의 두께가 200nm인 경우 As⁻의 도우즈는 $2\times 10^{16}\text{cm}^{-2}$ 정도 그리고 1100°C, 10초간의 RTA 열처리를 했을 때 양질의 접합 특성을 얻었다. 또한 비정질 실리콘을 n⁻로 도우핑 ($1\times 10^{16}\text{cm}^{-2}$)하고 1100°C, 10초 동안의 RTA 열처리하여 만든 다이오드 특성이 폴리실리콘을 사용한 경우 보다 좋은 결과를 보여주었다.

감사의 글

*이 연구는 한국 전기 연구소에서 지원한 1991년도 project에 의해 수행되었다.

參考文獻

- [1] W. M. Huang et al., 'A high-speed bipolar technology featuring self-aligned single-poly base and submicrometer emitter contacts,' *IEEE Electron Device Letters*, vol.11, no.9, pp.412-414, September 1990.
- [2] S. Konaka, Y. Yamamoto and T. Sakai, 'A 30ps Si Bipolar IC using super self-aligned process technology,' *IEEE Trans. Electron Devices*, vol.ED-33, no.4, pp.526-531, April 1986.
- [3] J. Kirchgessner, J. Teplik, V. Ilderem, D. Morgan, R. Parmar, S. R. Wilson, J. Freeman, C. Tracy and S. Cosentino, 'An advanced 0.4 m BiCMOS technology for high performance ASIC applications,' in *IEDM Tech. Dig.*, December 1991, pp.97-100.
- [4] T. H. Ning and R. D. Isaac, 'Effect of

- emitter contact on current gain of silicon bipolar devices.' *IEEE Trans. Electron Devices*, vol.ED-27, no.11, pp. 2051-2055, November 1980.
- [5] H. C. de Graaff and J. G. de Groot. 'The SIS tunnel emitter: A theory for emitters with thin interface layers.' *IEEE Trans. Electron Devices*, vol.ED-26, no.11, pp.1771-1776, November 1979.
- [6] C. C. Ng and E. S. Yang. 'A thermionic-diffusion model of polysilicon emitter.' in IEDM Tech. Dig., December 1986, pp.32-35.
- [7] G. L. Patton, J. C. Bravman, and J. D. Plummer. Physics, technology, and modeling of polysilicon emitter contacts for VLSI bipolar transistors.' *IEEE Trans. Electron Devices*, vol.ED-33, no.11, pp.1754-1768, November 1986.
- [8] Z. Yu, B. Ricco and R. W. Dutton. 'A comprehensive analytical and numerical model of polysilicon emitter contacts in bipolar transistors.' *IEEE Trans. Electron Devices*, vol.ED-31, no.6, pp. 773-784, June 1984.
- [9] S. Isomae. Stress in silicon at Si₃N₄/SiO₂ film edges and viscoelastic behavior of SiO₂ films.' *J. Appl. Phys.*, vol.57, no.2, pp.216-223, January 1985.
- [10] N. Guillemot, G. Pananakakis, and P. Chenevier. 'A new analytical model of the Bird's Beak', *IEEE Trans. on Electron Devices*, vol.ED-34, no.5, pp. 1033-1038, May 1987.
- [11] T. C. Wu, W. T. Stacy, and K. N. Ritz. The influence of the LOCOS processing parameters on the shape of the Bird's Beak structure.' *J. Electrochem. Soc.*, vol.130, no.7, pp. 1563-1566, July 1983.
- [12] J. L. Hoyt, E. F. Crabbe, R. F. W. Pease, J. F. Gibbons, and A. F. Marshall. Lateral uniformity of n/p junctions formed by arsenic diffusion from epitaxially aligned polycrystalline silicon on silicon.' *J. Electrochem. Soc.*, vol.135, no.7, pp.1773-1779, July 1988.
- [13] J. N. Burghartz, A. C. Megolanis, J. D. Cressler, J. Y. -C. Sun, C. L. Staris, J. H. Comfort, K. A. Jenkins, f. Cardone. 'Novel in-situ doped polysilicon emitter process with buried diffusion source (BDS).' *IEEE EDL*, vol.12, no.12, pp. 679-681, December 1991.
- [14] M. Nanba et al., 'A 64GHz Si bipolar transistor using in-situ phosphorus doped polysilicon emitter technology.' in IEDM Tech. Dig., pp.443-446, Dec. 1991.
- [15] K. Park, S. Batra, S. Banerjee, G. Lux, and T. C. Smith. 'Analysis of ion-implanted amorphous and polycrystalline silicon films as diffusion sources for ultrashallow junctions.' *J. Appl. Phys.*, vol.70, no.3, pp.1397-1404, August 1991.
- [16] F. S. Becker, H. Oppolzer, I. Weitzel, H. Eichermuller, and H. Schaber. 'Low resistance polycrystalline silicon by boron or arsenic implantation and thermal crystallization of amorphously deposited films.' *J. Appl. Phys.*, vol. 56, no.4, pp.1233-1236, August 1984.
- [17] G. Harbeke, L. Krausbauer, E. F. Steigmeier, A. E. Widmer, H. F. Kappert, and G. Neugebauer. 'Growth and physical properties of LPCVD polycrystalline silicon films' *J. Electrochem. Soc.*, vol.131, no.3, pp. 675-682, March 1984.
- [18] S.L. Wu, C.-L. Lee, and T. F. Lei. 'High-performance polysilicon contacted shallow junctions formed by stacked-amorphous-silicon films.' *IEEE Electron Device Letters*, vol.13, no.1, January 1992.
- [19] K.Park, S.Batra, and S.Banerjee. 'Analysis of lateral uniformity of ultra-

shallow junctions in polycrystalline silicon-on-single crystal silicon systems,' *J. Appl. Phys. Lett.*, vol.9, no.6, pp.709-711, August 1991.

- [20] Ian E. Getreu, 'Modeling the Bipolar Transistors,' Elsevier Scientific Publishing Company 1978.
- [21] D. D. Tang and E. Hackbarth, 'Junction degradation in bipolar transistors

and the reliability imposed constraints to scaling and design,' *IEEE Trans. Electron Devices*, vol.ED-35, no.12, pp. 2101-2107, December 1988.

- [22] J. M. C. Stork, and R. D. Isaac, 'Tunneling in base-emitter junctions,' *IEEE Trans. Electron Devices*, vol.ED-30, no.11, pp. 1527-1534, November 1983.

著者紹介

李宗昊(正會員) 英文論文誌 第 2卷 第 1號 参照.
현재 서울대학교 전자공학과 박사
과정

李鍾德(正會員) 英文論文誌 第 2卷 第 1號 参照
현재 서울대학교 전자공학과 교수

朴榮俊(正會員) 英文論文誌 第 2卷 第 1號 参照
현재 서울대학교 전자공학과 교수



許昌洙(正會員)
1955年 1月 27日生. 1981年 2月 인
하대학교 전기공학과 졸업. 1987年
9月 인하대학교 전기공학과 졸업(공
학박사). 1993年 3月 ~ 현재 인하
대학교 전기공학과 조교수.