

2 단계 건식식각에 의한 GaAs Via-Hole 형성 공정 (A Via-Hole Process for GaAs MMIC's using Two-Step Dry Etching)

鄭文植*, 金興洛**, 李知恩*, 金汜晚*, 姜鳳求*
(Moon Shick Chung, Heung Rak Kim, Ji Eun Lee,
Bum Man Kim, and Bong Koo Kang)

要約

2 단계의 건식식각을 이용한 GaAs MMIC용 Via-hole 제작에 관한 실험을 수행하였다. 공정시간을 단축시키고 측면식각을 줄이기위한 1 단계 식각은 BCl₃ /Cl₂ /Ar 혼합가스를 사용하였으며, 기판의 앞면에 증착되어 있는 금속층에 대한 GaAs 기판의 선택적식각으로 공정의 신뢰성과 재현성을 높이기 위한 2 단계 식각은 CCl₂F₂ 가스를 사용하였다. Via-hole 식각은 포토레지스트(Photoresist)를 식각마스크로 사용하여 100μ m 두께의 GaAs 기판 뒷면으로부터 앞면의 500Å의 Cr층과 2000Å의 Au층으로 구성된 금속패드층까지 수행하였으며, 식각 후 앞뒷면 간의 연결을 위해 금을 전기도금으로 20μ m 내외로 웨이퍼 뒷면에 입혔다. SEM 사진의 분석과 전기저항 측정 결과, 본 실험에 사용한 2 단계의 건식식각 공정은 MMIC 제작을 위한 via hole을 재현성 있도록 제조하기에 적합함이 확인되었다.

Abstract

A via-hole process for reproducible, and reliable GaAs MMIC fabrication is described. The via-hole etching process consists of two step dry etching. During the first etching step, a BCl₃ /Cl₂ /Ar gas mixture is used to achieve high etch rate and small lateral etching. In the second etching step, CCl₂F₂ gas is used to achieve selective etching of the GaAs substrate with respect to the front side metal layer. Via holes are formed from the backside of a 100μ m thick GaAs substrate that has been evaporated initially with 500Å thick chromium and subsequently a 2000Å thick gold layer. The fabricated via holes are electroplated with gold (~20μ m thick) to form via connections. The results show that established via-hole process is satisfactory for GaAs MMIC fabrication.

*正會員, 産業科學技術研究所 및 浦項工科大学 電子
電氣工學科

(RIST/Dept. of Elec. & Elec. Eng., POS-
TECH)

**正會員, 産業科學技術研究所
(RIST)

(※본 연구과제는 전자통신연구소(ETRI) 및 산업과학
기술연구소 기술과제의 지원을 받았음.)

接受日字: 1992年 3月 27日

1. 서 론

GaAs MMIC(Microwave Monolithic Integrated Circuit) 제작 공정 중, via-hole 공정은 앞면 공정이 완료된 얇은 GaAs 웨이퍼를 뒷면에서 앞면의 금속패드층까지 식각하고 뒷면에 접지금속을 입혀서 앞면과 전기적으로 연결하는 공정을 말한다. Via-hole 공정은 기생 인덕턴스를 줄일 수 있고, 회로의 집적도를 증가시킬 수 있으며, 열방출 효율을

높일 수 있어 소자의 성능을 개선시키기 위해 필수적인 공정이다.^{1,2,4)} 특히, via-hole 공정은 회로제작의 마지막 단계 공정이므로 공정의 재현성과 신뢰성이 크게 요구된다.

Via-hole의 식각에는 습식식각, 레이저 식각, 그리고 플라즈마를 이용한 건식식각이 있으며,^{1,2,4,5)} 습식식각은 큰 측면식각과 공정의 재현성 부족이 문제가 되고, 레이저 식각은 throughput이 낮은 단점이 있다. 플라즈마를 이용한 종래의 건식식각은 주로 BCl₃/Cl₂, SiCl₄/Cl₂, CCl₄/Ar 등의 혼합가스나 CCl₂F₂ 가스를 사용한 공정이었다. BCl₃/Cl₂, SiCl₄/Cl₂, CCl₄/Ar 등의 Cl기를 주반응기로 하는 혼합가스를 사용한 공정은 식각률이 높아서 공정시간의 단축면에서는 유리하나, GaAs 기판과 앞면의 금속 패드층과의 식각선택도가 양호하지 않아서 via-hole 식각시 금속패드 또한 식각되어 금속증착이 용이하지 않다. 반면, CCl₂F₂ 가스를 사용하는 공정의 경우, GaAs 기판과 앞면의 금속패드층 사이에 Cr이나 Ni로 구성된 얇은 식각저지층을 삽입하여 식각이 Cr이나 Ni층에서 멈추도록 할 수 있어 공정의 신뢰성과 재현성을 크게 향상시킬 수 있다. 그러나, 식각률이 낮고, CCl₂F₂ 가스로 100 μm 정도의 GaAs 기판을 식각하기 위해서는 1~2 시간 정도의 장시간이 소요되므로, 방전시 발생하는 폴리머(polymer)막 형성이 심각해진다. 이러한 문제점들을 해결하기 위해 본 논문에서는 2 단계의 건식식각을 이용한 GaAs MMIC 제작용 via-hole 공정에 관한 실험을 수행하였다.

II. 실험 및 시편 준비

Via hole 공정의 전체 공정 순서는 그림 1에 도시한 바와 같다. 시편은 주로 반질연 GaAs 웨이퍼를 5mm×5mm 정도로 자른 것을 사용하였으며, 앞면에 500Å의 Cr과 2000Å의 Au를 차례로 증착시켜 금속패드층 역할을 하도록 하였다. 그 다음에 SiC를 사용해 100μm 정도로 웨이퍼를 얇게 갈아내고, H₂SO₄: H₂O₂: H₂O = 4 : 1 : 1 용액으로 거칠어진 표면을 깨끗하게 하였다. 얇아진 시료는 깨지기 쉽고, 다루기가 곤란하므로 포토레지스트를 이용해서 얇은 유리판에 부착해서 다음 공정을 수행하였다. 식각공정 동안 마스크 역할을 할 수 있도록 AZ1350 포토레지스트를 5μm 정도로 충분히 두껍게 입힌 다음, 패턴 형성을 위한 UV 노광 및 현상을 거치고, 식각시 포토레지스트의 식각저항력을 높이기 위해 160℃로 30분간 하드 베이킹한 후, 건식식각을 이용해서 GaAs 기판물질을 식각하였다. 건식식각은 Plasma Technology사의 RIE-80 장비를 사용하였다. 식각

전의 마스크용 포토레지스트의 두께나 식각깊이는 Tencor사의 α-step으로 측정하였고, 식각된 hole의 측면모양과 측면식각의 정도는 SEM을 이용해서 살펴보았다. 식각이 끝난 다음, 전기도금시 전극형성을 위해 시료의 뒷면에 이온 코터로 500Å 내외의 금을 입히고, 전기도금으로 20μm 정도의 금을 접지금속으로 입혀서 앞면의 Cr/Au층과 서로 연결하였다. 전기적인 연결 여부는 I-V 특성을 측정해서 확인하였다.

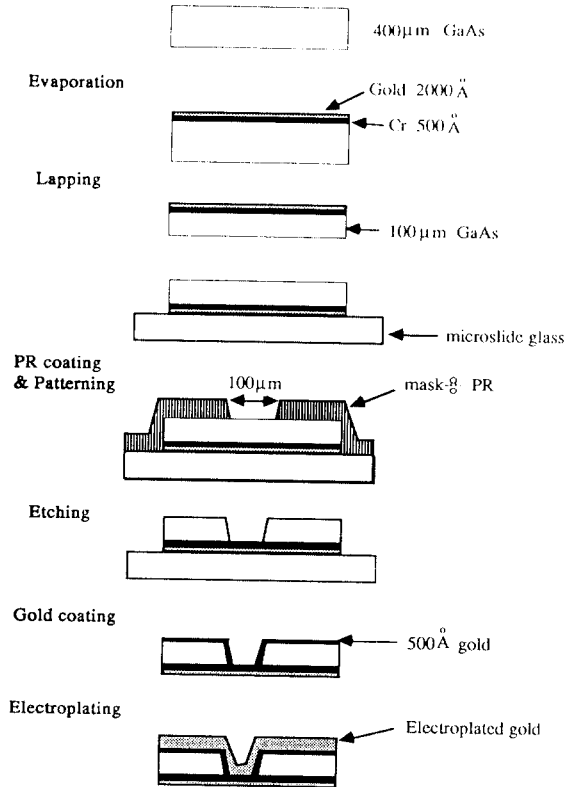


그림 1. Via-hole 공정의 전체 공정 순서
Fig. 1. Process sequences of the via-hole process.

III. 결과 및 고찰

공정시간을 단축시키고 작은 측면식각을 위한 1단계 식각을 먼저 수행하였다. 그림 2는 BCl₂ = 11.4 sccm, Cl₂ = 12.3 sccm의 혼합가스를 사용하여, 압력 150 mTorr, 기판온도 21 °C, RF 전력 110 W의 조건으로 식각한 결과이다. 식각 초기 3분간은 분당 7 μm 이상의 높은 식각률을 보였으나, 시간이 지남

에 따라 식각률이 급격하게 감소하는 추세를 나타내었다. 이러한 경향은 식각이 진행되어 식각깊이가 증가할수록 hole 내의 반응생성물인 휘발성가스의 제거 효과가 감소하고, 가속된 이온들이 hole 내의 가스와 산란으로 인해 에너지 손실이 많아져서 기판표면에 전달되는 이온의 충돌에너지가 낮아지기 때문으로 사료된다.

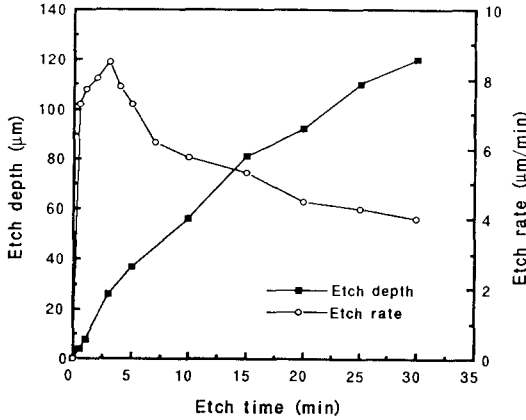


그림 2. 시간에 대한 식각깊이와 식각률의 변화
공정조건: $\text{BCl}_3:\text{Cl}_2=11.4:12.3\text{sccm}$,
압력 150mTorr, 전력 110W, 온도 21℃
Fig. 2. Etch depth and etch rate vs. etch time
Condition: $\text{BCl}_3:\text{Cl}_2=11.4:12.3\text{sccm}$,
pressure 150mTorr, Power 110W,
Temp. 21℃.

공정의 재현성을 높이기 위해 가능한 높은 공정 압력을 유지하면서 via-hole 식각공정을 수행하기 위하여 압력이 식각반응에 미치는 영향을 알아보았다. 그림 3은 $\text{BCl}_3:\text{Cl}_2$ 의 유량을 1:1.1 ($\text{BCl}_3 = 11.4\text{sccm}$)로 고정시키고, 공정온도 21℃, RF 전력 110 W의 조건에서 공정압력을 50 mTorr에서 150 mTorr까지 변화시키면서 15 분간 식각하였을 때의 압력에 따른 식각깊이 및 DC self-bias를 도시한 것이다. 공정압력이 증가함에 따라 식각률은 증가하고, DC self-bias는 감소하였다. 공정압력이 증가하면 식각에 참여하는 Cl기의 반응관 내에서의 잔류시간이 증가하고, 따라서 식각반응을 일으킬 수 있는 확률이 높아지기 때문에 식각률은 증가하게 된다. 그러나, 압력이 높아질수록 마스크의 손상이 심해지고, DC self-bias가 낮아져서 측면식각이 증가하는 단점이 있다. $\text{BCl}_3:\text{Cl}_2$ 의 유량비의 변화에 따른 식각반응의

영향을 살펴보기 위하여 전체가스유량을 23.7 sccm으로 일정하게 유지하고, 유량비를 변수로 해서 공정 압력 100 mTorr, RF 전력 110 W, 공정온도 21℃의 조건으로 15분간 식각한 다음, 가스유량비에 따른 식각깊이의 변화를 그림 4에 도시하였다.

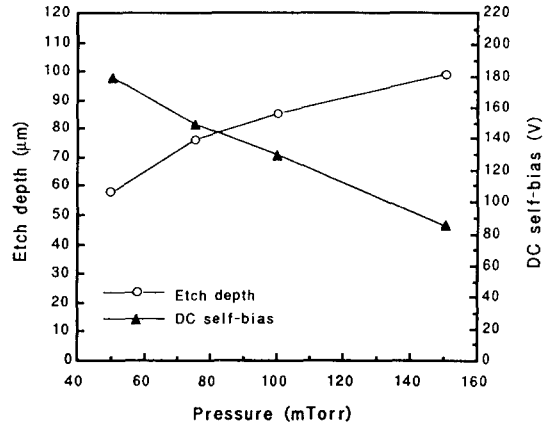


그림 3. 공정압력에 따른 식각깊이 및 DC self-bias의 변화
공정조건: $\text{BCl}_3:\text{Cl}_2=11.4:12.3\text{sccm}$,
전력 110W, 온도 21℃, 식각시간 15분
Fig. 3. Effects of the pressure on the etch depth and DC self-bias
Condition : $\text{BCl}_3:\text{Cl}_2=11.4:12.3\text{sccm}$,
Power 110W, Temp. 21℃, Etch time 15min.

BCl_3 만으로 식각할 경우, Cl기의 효과적인 생성이 이루어지지 못하고, 코팅막의 형성으로 인해⁸⁾ 식각 깊이는 6.7μm로 아주 낮은 식각률을 보였으나, Cl_2 를 첨가하여 Cl_2/BCl_3 의 비율 0.1로 하였을 경우, 66.6μm로 10배 가량 식각깊이가 크게 증가하였다. 그러나, 유량비가 0.25 이상이 되면, 이미 충분한 Cl기의 공급이 이루어져 그다지 식각률의 증가를 보이지 않는 결과를 얻었다.

Cl_2 유량의 증가로 식각률은 증가하나, Cl기의 화학반응에 의한 GaAs 식각효과도 증가하여 결정방향에 따른 식각률의 차이가 커져서⁹⁾ 그림 5(a)에서 볼 수 있듯이 날카로운 모서리들이 측면에 많이 나타나는데, 날카로운 모서리의 증가로 금속증착시 금속이 끊어질 가능성이 높아지게 된다. 그리고, Cl기에 의한 화학반응의 증가로 측면식각이 심해지는 문제점

도 있다. 그림 5(b)는 100 μ m 두께의 GaAs 기판을 식각하여 형성된 via-hole의 윗면 SEM사진이다. 직경이 50 μ m 인 원형패턴을 사용하였으나, 식각시 마스크용 포토레지스트의 침식과 측면식각의 영향으로 식각된 hole의 지름이 약 110 μ m 정도로 늘어났으며, 100 μ m 깊이에서는 약 30 μ m 내외의 직경을 얻었다. 한편, BCl₃의 상대적인 유량을 증가시키면 BCl₃에 의한 hole 벽면의 코팅효과가 커져서 비등방성이 증가하고, 평탄한 식각면을 가지며 식각률은 감소한다. 이 때, BCl₃에 의한 코팅막의 형성은 공정온도가 높을수록 더 활성화되는 경향을 나타내었다.

그리고, RF 전력의 증가는 식각 경사도와 측면식각은 비교적 양호하게 할 수 있으나, 이온의 충돌에너지 증가로 식각마스크의 침식이 심각하게 된다.

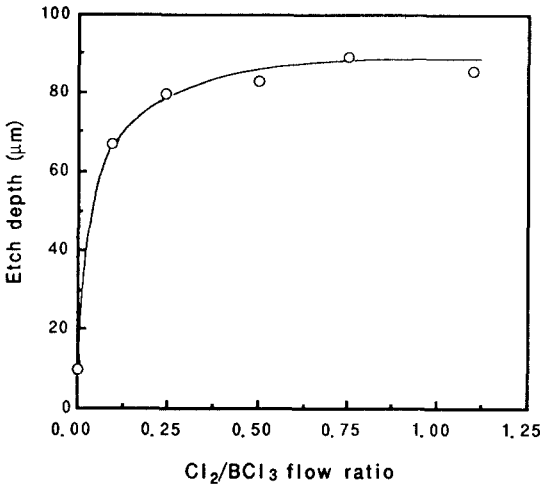
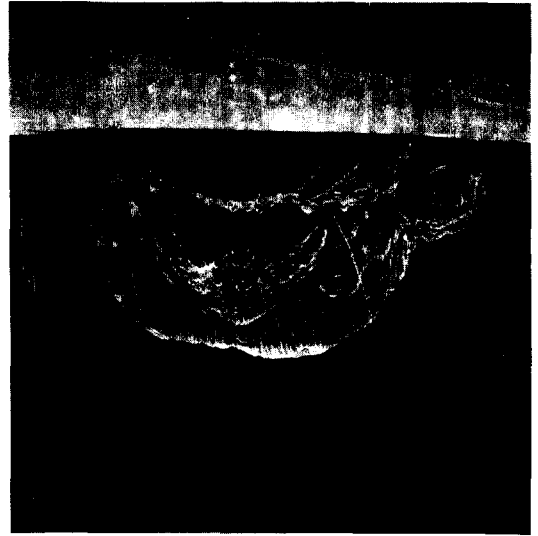


그림 4. Cl₂/BCl₃ 유량비에 따른 식각깊이 변화
공정조건: BCl₃+Cl₂=23.7sccm, 압력 100mTorr, 전력 110W, 온도 21 $^{\circ}$ C, 식각 시간 15분

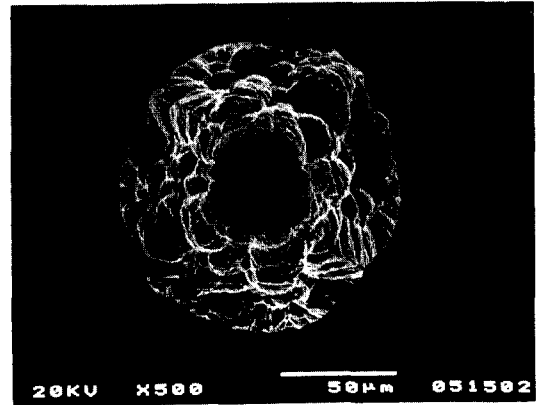
Fig. 4. Dependences of the etch depth on Cl₂/BCl₃ flow ratio
Condition: BCl₃+Cl₂=23.7sccm, Pressure 100mTorr, Power 110W, Temp. 21 $^{\circ}$ C, Etch time 15min.

공정변수의 변화에 따른 식각특성 변화의 실험결과들로부터, 공정조건을 측면식각과 결정방향에 따른 식각률을 줄이고, 공정의 균일도를 향상시키기 위하여 BCl₃의 유량을 37.6 sccm으로 증가시키고, Cl₂/BCl₃의 비는 0.25, 공정압력과 RF 전력을 100 mTorr, 100 W로 각각 감소시키고, 코팅효과를 높

이기 위해서 공정온도는 35 $^{\circ}$ C로 설정하였다.



(a)



(b)

그림 5. (a)400 μ m GaAs기판을 그림 2의 조건으로 100 μ m 식각한 hole의 측면 SEM사진
(b)100 μ m GaAs 기판을 그림 2의 조건으로 식각한 hole의 윗면 SEM 사진

Fig. 5. (a)Cross sectional SEM profile of 100 μ m-deep hole etched with the condition of Fig.2(patterned on the 400 μ m-thick GaAs substrate)
(b)Top view of via-hole etched through the 100 μ m GaAs substrate with the condition of Fig.2(patterned on the 100 μ m-thick GaAs substrate)

그러나, BCl₃와 Cl₂의 혼합가스만으로 식각을 진행

할 경우, 식각될 표면에 형성되는 BCl_3 에 의한 불균일한 코팅막의 존재로 식각률의 변화가 심하여 공정의 재현성이 크게 떨어지는 문제점이 관찰되었다. 이러한 코팅효과는 비활성가스를 첨가해서 이온에 의한 충돌효과를 높임으로써 방지할 수 있다. Ar을 10 sccm 첨가한 경우, 공정의 재현성을 현저히 증가시킬 수 있었으며, 그림 6에서 관찰할 수 있듯이 식각 시간에 따른 보다 일관성 있는 식각깊이의 증가를 보였다.

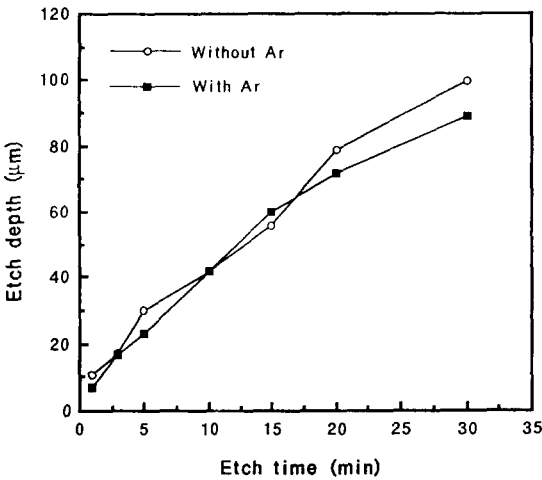
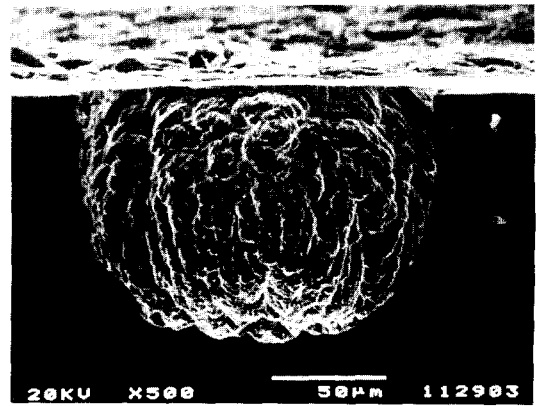


그림 6. Ar의 첨가에 따른 시간에 대한 식각깊이 변화
 공정조건: $BCl_3:Cl_2=37.6:9.8$ sccm,
 압력 100mTorr, 전력 100W, 온도 35℃
 Fig. 6. Etch depth vs. etch time with Ar or without Ar
 Condition: $BCl_3:Cl_2=37.6:9.8$ sccm,
 Pressure 100mTorr, Power 100W,
 Temp. 35℃.

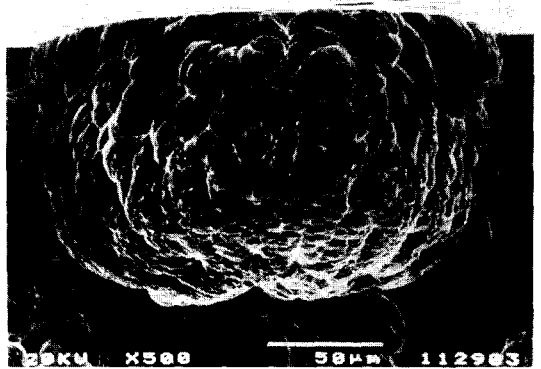
그리고, 그림 7은 그림 6의 조건에서 (a)는 Ar을 첨가하여 35분간, (b)는 Ar을 첨가하지 않고 35분간 식각한 hole의 측면 SEM사진인데, Ar을 첨가하지 않은 경우에 낮은 DC self-bias와 Cl기의 효과적인 여기로 훨씬 심한 측면식각과 더 거친 hole의 표면상태를 보였다. 그래서, 1단계 식각의 최적 공정조건을, $BCl_3 : Cl_2 : Ar = 4 : 1 : 1$, 공정압력 100 mTorr, RF 전력 100 W, 공정온도 35℃로 정하고, 이 조건으로 GaAs 기판을 앞면의 금속패드층까지 10 μm 정도 남도록 식각한 다음, 2단계 식각공정을 수행하였다.

2단계 식각공정은 GaAs 기판과 금속패드층 사이의 식각선택도를 높이고, via-hole 측면의 표면상태

를 개선하여 via-hole 제작공정의 재현성과 신뢰성을 높이기 위해서 요구되는 공정이다. 공정가스로는 CCl_2F_2 가스만을 사용하였다. GaAs 기판과 금속패드층 사이의 식각선택도를 높이기 위해 500 Å 두께의 Cr층을 식각저지층으로 사용하였고, 높은 식각선택도를 얻기 위해 주로 화학적인 반응에 의해 식각이 진행되도록 RF 전력을 50 W로 해서 DC self-bias가 30 V 정도로 낮게 유지되도록 하였다. 공정압력이 높을수록, 즉 반응가스의 반응관 내에서 잔류시간이 증가할수록 폴리머막의 형성이 심해지기 때문에 압력을 75 mTorr로 되도록 낮게하고, 가스유량을



(a)Ar을 첨가했을 때

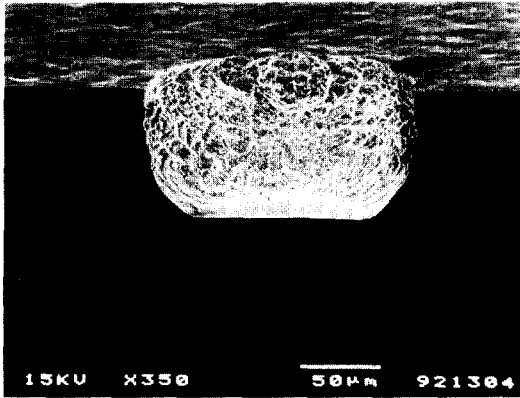


(b)Ar을 첨가하지 않았을 때

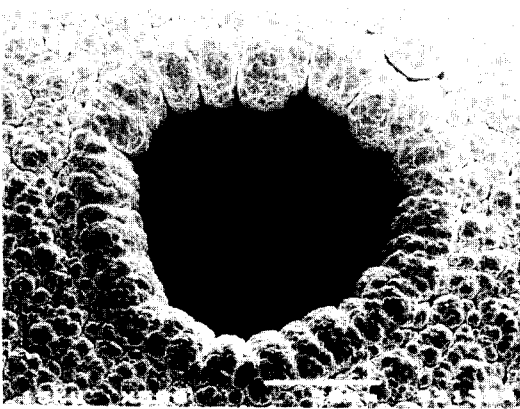
그림 7. 그림 5의 조건으로 100μ m 식각한 hole의 측면 SEM사진
 Fig. 7. Cross sectional SEM profile of 100μ m-deep hole etched with the process condition of Fig.5.

(a)With Ar, (b)Without Ar.

75 sccm으로 높게 유지하였다. 그리고, 공정온도가 높으면 F기에 의한 반응이 Cl기에 의한 반응보다 우세해서 휘발성이 낮은 GaF₃ 등이 식각을 방해하게 되므로, 원활한 식각을 위해 Cl기의 반응이 상대적으로 우세한 온도인 5 ℃를 공정온도로 하였다.^{10,11)}



(a)



(b)

그림 8. (a) 앞면의 금속층에서 식각이 정지된 via-hole의 측면 SEM사진
 (b) 전기도금한 후 via-hole의 윗면 SEM사진
 1단계 식각조건: BCl₃:Cl₂:Ar=37.6:9.8:10sccm, 압력 100mTorr, 전력 100W, 온도 35℃, 식각시간 25분
 2단계 식각조건: CCl₂F₂ 75sccm, 압력 75mTorr, 전력 50W, 온도 5℃, 식각시간 15분

Fig. 8. (a) Cross sectional SEM profile of the via-hole etch-stopped at the front side metal layer

(b) SEM view of via-hole after gold electroplating

1st step etching condition

: BCl₃:Cl₂:Ar=37.6:9.8:10sccm,

Pressure 100mTorr, Power 100W,

Temp. 35℃, Etch time 25min

2nd step etching condition

: CCl₂F₂ 75sccm, Pressure 75mTorr,

Power 50W, Temp. 5℃, Etch time

15min.

그림 8(a)는 그림 7(a)의 조건으로 25분간 식각한 후, CCl₂F₂ 75 sccm, RF 전력 50 W, 공정압력 75 mTorr, 공정온도 5 ℃로 15분간 더 식각해서 2 단계의 식각공정이 끝난 후, 기판 앞면의 금속패드층에서 식각이 정지된 via-hole의 SEM사진이다. 이 사진에서 관찰할 수 있듯이 hole의 측면은 금속증착에 유리한 종모양이고, 날카로운 모서리들이 거의 없는 평탄한 표면상태를 나타내었다.

그림 8(b)는 식각이 완료된 시료 뒷면에 20 μm 두께의 금을 전기도금으로 입힌 다음, 위에서 본 via-hole의 SEM사진이다. 공정이 완료된 후, 기판의 앞뒷면 간의 전기전도도를 I-V 측정으로 알아보았는데, I-V 특성 곡선으로 부터 저항이 1 Ω 미만임을 알 수 있었다.

IV. 결론

높은 식각률로 공정시간을 단축시키면서 작은 측면 식각을 위한 1단계 식각과 Cr층에서 식각을 멈추어 공정의 재현성과 신뢰성을 높이기 위한 2단계 식각으로 이루어진 2단계의 건식식각 공정으로 GaAs MMIC의 특성개선에 필수적인, 재현성과 신뢰성 높은 via-hole 공정의 최적 공정조건을 확립하였다. 1 단계 식각은 BCl₃:Cl₂:Ar=37.6:9.8:10sccm의 혼합 가스를 공정가스로 해서 RF 전력 100 W, 공정압력 100 mTorr, 공정온도 35℃로 30 분간 공정을 수행하였고, 2단계 식각은 CCl₂F₂ 75 sccm, RF 전력 50 W, 공정압력 75 mTorr, 공정온도 5℃로 15 분간 공정을 수행하여 100μm 두께의 GaAs 기판에 via-hole을 형성하였다. 2단계의 식각공정으로 제작된 via-hole은 금속증착에 유리한 종모양의 측면형태와 비교적 평탄한 표면상태를 보였고, 작은 측면식각을 나타내었다. 식각 후, 접지금속의 형성을 위해 전기도금으로 20μm의 금을 증착하였다. I-V의 측정 결과, via-hole을 통한 연결저항은 1Ω 미만의 작은 값을 보였다.

따라서, 본 논문에서 확립된 via-hole 공정은 GaAs MMIC 제작에 실제로 활용 가능할 것으로 판단된다.

參考文獻

- [1] Ralph E. Williams, "Gallium Arsenide Processing Techniques", Artech house, 1985
- [2] Robert A. Pucel, "Design Considerations for Monolithic Microwave Circuits", *IEEE Trans. Microwave Theory and Tech.*, vol. MTT-29, no.6, 1981, pp. 513-534
- [3] L. A. D'Asaro, J. V. DiLorenzo, and Hatsuaki Fukui, "Improved Performance of GaAs Microwave Field-Effect Transistors with Low Inductance Via-Connections Through the substrate", *IEEE Trans. Electron Devices*, vol. ED-25, no. 10, 1978, pp. 5218-5222
- [4] A. W. Tucker and M. Birnbaum, "Laser Chemical Etching of Vias in GaAs", *IEEE Electron Device Letters*, vol. EDL-4, no. 2, 1983
- [5] S. Salimian, C. B. Cooper III, and M. E. Day, "Dry Etching of via connections for GaAs Monolithic Microwave Integrated Circuit Fabrication", *J. Vac. Sci. Technol.* B5(6), 1987, pp. 1606-1610
- [6] A. E. Geissberger and P. R. Clator, "Application of Plasma Etching to via hole Fabrication in thick GaAs substrates", *J. Vac. Sci. Technol.* A3(3), 1985, pp. 863-866
- [7] L. G. Hipwood and P. N. Wood, "Dry Etching of through substrate via holes for GaAs MMIC's", *J. Vac. Sci. Technol.* B3(1), 1985, pp. 395-397
- [8] G. J. Sonek and J. M. Ballantyne, "Reactive Ion Etching of GaAs using BCl_3 ", *J. Vac. Sci. Technol.* B2(4), 1984, pp. 653-657
- [9] V. M. Donnelly and D. L. Flamm, "Anisotropic Etching in Chlorine containing Plasmas", *Solid State Technology*, April, 1981, pp. 161-166
- [10] C. M. Knoedler and T. F. Kuech, "Selective GaAs/ $Al_xGa_{1-x}As$ Reactive Ion Etching using CCl_2F_2 ", *J. Vac. Sci. Technol.* B4(5), 1986, pp. 1233-1236
- [11] 김홍락, "집적회로 제작을 위한 건식식각공정 연구", 포항공과대학 석사학위 논문집, 1992

著者紹介

鄭文植(準會員) 1969年 4月 7日生. 1991年 포항공과대학 전자전기공학과 졸업. 현재포항공과대학원 전자전기공학과 석사과정. 주관심 분야는 플라즈마를 이용한 건식식각 공정임.

金興洛(正會員) 第28卷 第11號 參照.
현재 산업과학기술연구소 반도체 연구분야 연구원

李知恩(準會員) 1968年 6月 20日生. 1990年 연세대학교 전자공학과 졸업. 현재 포항공과대학 대학원 전자전기공학과 박사과정 재학 중.

金汎晩(正會員) 第28卷 第11號 參照
현재 포항공과대학 전자전기공학과 부교수

姜鳳求(正會員) 第26卷 第7號 參照
현재 포항공과대학 전자전기공학과 부교수