

차세대 ASIC MEMORY 개발 현황 및 전망

徐 承 模

(주)C&S Technology 代表理事

1. 개요

최근 시스템의 고성능화, 고기능화, 초소형화, Graphic화가 컴퓨터 시스템은 물론 사무용기기, 게임기, 가전제품, 위성방송 시스템, HD TV 시스템, 멀티미디어 시스템등 전자산업 전반에 걸쳐 가히 혁명적이라고 할 정도로 급속히 추진되고 있다. 이러한 다양한 시스템들은 서로 다른 시스템 아키텍처(System Architecture)의 바탕 위에서 각기 개발되고 있지만 시스템 개발 기술자들이 공통적으로 느끼는것은 각각의 시스템에 맞는 반도체 칩(Chip)을 확보하기가 쉽지 않으며 시스템을 구성하는 칩들의 부품비용을 줄이기가 매우 어렵다는 것이다. 특히 거의 모든 시스템이 GUI (Graphical User Interface) 개념과 고해상도, 칼라 그래픽(Color Graphic)을 기본으로 채택하면서부터 '메모리'는 중요한 변수가 되어 그 고충은 엄청나게 늘어나게 되었다.

현재 국내에는 반도체 메모리 칩(Chip)만을 설계하는 전문 설계 회사가 거의 전무하며, 대기업에서도 소량 다품종에 따른 마케팅 능력 미흡, 시스템 기술에 기초한 회로설계 기술 부족, 응용기술 부족, 설계인력 부족, 수익성 취약등 여러가지 문제점으로 인하여 대량 생산이 가능한 몇가지 종류의 표준화된 메모리 칩 위주로 개발되는 상황이다. 국내의 이러한 현실 상황에서는 소량 다품종의 반도체 메모리 칩 개발요구를 수용하여 칩을 적기에 공급할 수 없기 때문에 새로운 시스템을 개발하려고 해도 그 시스템에 알맞는 칩이 없어 포기하는 경우를 주변에서 어렵지 않게 보아왔다. 국내의 시스템 개발 능력이 급속히 성장하면서 이러한 현상은 더욱 빈번히 발생되고 있어 큰

문제로 대두되기 시작하였으며, 시스템을 개발하려는 업체가 중소기업일 경우 문제가 더욱 심각해진다. 또한 필요한 부품이 새로운 개념이나 구조를 바탕으로 한 메모리 칩일 경우는 대기업 역시 속수 무책일 경우가 대부분이다. 물론 기존의 칩을 사용할 수도 있으나 필요한 기능이나 성능을 충족시킬 수 없는 경우가 대부분이며, 많은 부품수로 인해 시스템의 성능, 크기, 신뢰성, 품질, 가격등 종합적인 면에서 국제 경쟁력을 상실하게 될 수 밖에 없다.

과거 매우 좋은 시스템 기술을 개발 해 놓고도 주문 가능 예상 물량이 적다는 이유로 반도체 칩으로 개발할 수 없어 시스템의 사업화에 실패하였던 경우들이 더 이상 반복 되어서는 안되겠다. 이제는 오히려 국제 경쟁력 있는 창조적 시스템 개발 활동이 활성화 될 수 있도록 시스템 개발에 필요한 반도체 칩이라면

어떠한 동작 특성을 갖든지 아무리 작은 물량이라도 필요한 때에 공급할수 있는 준비를 하여야만 한다. 새로운 메모리 칩이 시스템 개발에 여러가지 형태로 영향을 미칠경우 해결의 실마리가 보이지 않는 경우가 대부분이기 때문이다.

① 메모리 집적도와 관련이 있는 X, Y Address에 의한 X, Y Size 또는 입출력 (I/O) 단자수가 문제인 경우 (예, 4M VRAM (512X512X16) → 3.8M VRAM (800 X 600 X 8)등)

② 기존의 메모리에 특수 기능을 넣어야 하는 경우 (예, DRAM 또는 VRAM에 연산 기능 첨가)

③ 기존의 메모리와는 Access 방식이 다른 신개념의 메모리가 요구되는 경우 (예, Synchronous DRAM, Cashed DRAM, Synchronous VRAM, RAMBUS DRAM, Triple Port DRAM등)

④ 기존의 메모리 칩과 시스템의 일부 칩을 One Chip화 하고 싶은 경우(예, VRAM + VGA Controller = IGA, Integrated Graphic Array등)

⑤ 새로운 개념의 메모리 구조에 시스템의 일부 칩을 One Chip화 하고 싶은 경우(예, New Memory+ Graphic Processor = IGP, Integrated Graphic Processor등)

등이 최근 새로운 시스템을 개발하는데에 가장 많은 어려움을 호소해오는 부분이지만 그 해법은 간단하지가 않다. ①, ②, ③에 대하여는 국내 반도체 업체에서도 관심과 열의를 갖고 있으며, 시장규모가 크고 JEDEC을 통하여 표준화 작업이 이루어지고 있는 VRAM, Pseudo SRAM, Byte Wide DRAM (X8, X9, X16, X18등), Synchronous DRAM등은 미국, 일본등의 선진 반도체 업체와 동등한 기술 수준을 확보하고 사업화에 있어서도 범용 표준 DRAM보다도 높은 수익을 올리는 등 성공을 거두고 있다. 그러나, ①, ②, ③내에서도 표준화 작업이 쉽지않거나, 다양한 X, Y Address size를 갖는 Field Memory, Line Memory, VRAM, HD TV용 Frame Buffer등의 ASIC Memory는 반도체 업체의 관심의 대상이기는 하나 아직은 시장 규모가 작기 때문에 본격적인 개발 착수로 이어지기는 어려운 실정이다. ④, ⑤의 경우는 시스템의 소형, 경량화와 통합, 복합화의 핵심적인 해법으로 인식되기 시작하였고 시스템이나 반도체 업체 모두 큰 관심을 갖고 있으나 본격적인 개발로 이어지기에는 역시 많은 어려움이 있다고 하겠다. 메모리의 ASIC화는 과연 어디까지 표준화 될 수 있는지, 표준화와 관계없이 개발 가능한 ASIC 메모리 칩에는 어떠한 종류가 있을수 있고 예상되는 문제점은 무엇인지, 설계 기술적인 문제는 무엇인지, 여러 문제점을 파악하고 그 해결 방법을 찾아보기로 한다.

II. 시스템 개발 동향 및 메모리 필수 요구 사양

시스템 개발에 반도체 메모리 칩의 의존도가 점점 높아지고 있다. 거의 모든 영역의 전자 시스템들이 컴퓨터를 중심으로 통합되고, 고해상도 칼라 그래픽을 기본으로한 GUI (Graphical User Interface) 환경으로 발전하고 있으며, 위성 방송 시스템, HD

TV 시스템도 모두 디지털화로 추진되고 있다. 시스템 업체들의 불꽃튀는 시스템 개발의 핵심을 살펴보면 '그래픽 기능 및 성능' 향상, '처리 속도' 향상, '대용량화'라는 세가지 정도의 공통 분모를 어렵지 않게 찾아낼 수 있다. 이러한 세가지 요소는 각각 요구될수도 있지만 복합적으로 요구되는 것이 대부분이다. 시스템의 최종적인 고객들로부터 중요하게 평가 받는 부분이 '그래픽 기능 및 성능' 향상 부분이기 때문에 이 분야에 대한 개발 경쟁은 매우 치열하며 그 해결방법과 요구 사항도 매우 다양하다. 또한 아무리 좋은 성능의 제품이라도 시스템 가격이 비싸게 될 경우 경쟁력을 상실하고 최종 고객으로부터 외면 당하게 되는 결과를 초래하기 때문에 시스템 개발 기술자들은 시스템 개발에 필요한 '메모리 필수 요구 사양'을 갖추면서도 가장 값싼 제품을 필사적으로 찾고 있다.

이러한 배경은 ASIC 메모리 제품의 개발 방향에 거의 절대적인 영향을 미치게되었으며, 값비싼 SRAM 보다는 DRAM을 바탕으로한 그래픽 처리용 메모리 분야의 개발에 치중하게 되었다.

표 1. DRAM Base의 ASIC Memory

(Main) (Sub)	그래픽 기능 및 성능 향상	처리 속도 향상	대용량화
그래픽 기능 및 성능 향상	VRAM Field Memory Line Memory Window RAM Triple port DRAM	Synchronous Graphic DRAM Cashed DRAM	Single Chip Frame Buffer (8M Window RAM)
처리속도 향상	Window RAM Synchronous VRAM	Synchronous DRAM DRAM Hyper Page Mode Enhanced DRAM RAMBUS DRAM	16M Synchronous DRAM 16M DRAM Hyper Page Mode
대용량화	4M VRAM 8M Window RAM 8M Synchronous VRAM Single Chip Frame Buffer IGA Chip		64M DRAM 256M DRAM

표 1의 DRAM 소자기술을 바탕으로한 ASIC 메모리들이 최근 주목받고 있는 ASIC 메모리의 거의 전부라고 할수있으며 이들은 대부분 시스템의 그래픽 처리 능력을 향상시킬 수 있다는 것을 표방하고 있는 것이 특징이다. Synchronous DRAM, RAMBUS DRAM등 몇가지 종류만이 CPU 성능 향상에 대응하는 데이터 전송 속도 개선을 주 목적으로 출발하면서 부가적으로 그래픽 응용 (Application)을 제시하고 있는 정도이다.

그렇다면 대부분의 ASIC 메모리가 그래픽에의 응

용을 목표로 집중적으로 파생되는 이유는 무엇인가. GUI 개념의 환경에서 그래픽 처리는 CPU에게 많은 부담을 주게되므로, 그래픽 처리를 CPU와는 독립적으로 수행하는 방향으로 그 해결 방법을 찾을 수 밖에 없었고, 시스템에 요구되는 화면의 크기, 색상의 수, 해상도의 정도, 그래픽 처리 기능및 성능의 정도 등 매우 많은 요인에 따라 Video RAM, Field Memory, Line Memory, Triple Port DRAM, Window RAM, Frame Buffer, Cashed DRAM, Single Chip Frame Buffer, IGA Chip 등의 그래픽 전용 메모리들이 앞다투어 출현하게 된 것이다. 현재까지는 그래픽 전용 메모리들 중

VRAM 부분이 시장 규모, 표준화등 제품화에 따른 제반 여건이 가장 좋아 많은 반도체 업체가 참여하게되었고, 이제는 ASIC 메모리라기 보다는 표준 응용메모리 (ASM, Application Stantard Memory) 라고 부르는것이 더 적절한 표준 메모리 제품군으로 발전되었다.

표 2. VRAM의 기능에 따른 제품 전개

		Minimum Feature (M/F)						Extended Feature (E/F)				Full Feature(F/F)			
		SR	SW	RT	RRT	WT	WPB	SRT	SWT	BF	FWT	New MASK	Stop Reg.	BCOL BF	New MASK
1M VRAM	M/F	0	0	0	0	0	0								
	E/F	0	0	0	0	0	0	0	0	0	0				
2M VRAM	E/F	0	0	0	0	0	0	0	0	0	0	0			
	F/F	0	0	0	0	0	0	0	0	0	0	0	0		0
4M VRAM	F/F(I)	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	F/F(II)	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SR : Serial Read (from SAM) SW : Serial Write (to SAM)
 RT : Read Transfer (to SAM) RRT : Real Time Read Transfer (to SAM)
 WT : Write Transfer (to RAM) WPB : Write Per Bit
 SRT : Split Write Transfer SWT : Split Read Transfer
 FWT : Flash Write STOP : Stop Register 기능
 BCOL BF : 8 Column Block Write 기능 BF : Block Write

VRAM의 경우 256K와 1M VRAM이 표2에서와 같이 CRT 디스플레이를 위한 최소한의 사양인 Minimum Feature (M/F)로 개발되어 시스템에 채용되기 시작하고, IBM이 1987년 PS/2 시리즈의 발표를 통하여 VGA를 처음 선보이면서, 같은해 STB Systems와 Sigma Design사가 VGA 호환 비디오 디스플레이 어댑터를 만들어 일반 PC 시장에 내놓으면서^[1], 새로운 ASIC 메모리로 급부상하였던 것이다. 그후 시스템 업체들의 경쟁적인 그래픽 기능 강화 전략에 따른 시스템 개발 추세에 따라 매우 많은 신기능의 탑재를 반도체 업체에 요구하게 되었고 JEDEC 회의를 통하여 표 2와 같이 정립되게 되었

다.^[2] 표준화 작업과 동시에 시스템 기술자들은 끊임 없이 새로운 기능의 탑재를 요구하고 있으며, 반도체 업체들은 JEDEC의 표준 진리표에도 불구하고 실질적이고 세부적인 부분에 있어서는 내부 개발 전략, 시스템 업체와의 관계, 경쟁사간의 호환성등 복잡한 여건 때문에 많은 종류의 제품을 개발할 수 밖에 없었다.

표 2에서 1M VRAM(M/F → E/F) → 2M VRAM(E/F → F/F) → 4M VRAM(F/F(I) → F/F(II))와 같이 신제품 설계 시에는 이전의 제품에 신기능이 추가되다가 4M VRAM에 오면서 SW, WT, SWT, FWT등 몇가지 기능이 제거되는 현상이 보이는 것은 실제 시스템 개발시 응용성이 떨어지는 기능은 과감히 제거하므로써 칩 사이즈 (Chip Size)를 줄여 Cost를 낮추려는 노력이다. 이것은 ASIC 메모리 칩 개발에 가장 큰 역점을 두어야 할 부분으로서 이러한 노력없이는 결코 어떠한 ASIC 메모리 칩도 사업화의 성공을 기대하기 어려우며 또한 필수 요구 사양 중 가장 어려운 주문이다. 이러한 Cost 요구를 바탕으로 4M VRAM 이후는 새로운 방향을 찾고 있으며 차세대 그래픽 메모리 개발 방향을 결정짓는 가장 중요한 변수로 작용하고 있는것이다. 그림1과 같이 VRAM은 엔지니어링 워크스테이션(EWS)에 주로 사용되다가 GUI 환경이 보편화 되고, PC,

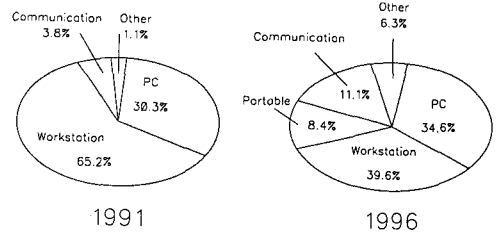


그림 1. VRAM의 응용시스템 확산 SOURCE : IN-STAT

Portable기기, Communication등으로 그 사용이 확산되면서 보다 저렴한 가격의 그래픽 전용 메모리를 요구하게 된 것이다.^[3] 그러나 염가의 그래픽 메모리를 요구하는 시스템은 이전에는 그래픽 기능이 크게 요구되지 않았기 때문에 성능이 떨어지던 표준 DRAM으로 Video Buffer를 구성하던 시스템들이 다. 그러나 칼라 그래픽과 Windows의 보편적인 보

급, Multi-Media 환경으로의 전환에 따라 새로이 그래픽 시장이 급속히 창출되고 있는데, 이러한 시스템은 보통 일반 User용이고 경쟁이 매우 치열하기 때문에 시스템 구성 재료가 매우 중요한 요소인 것이다.

새로운 염가의 그래픽 시스템 시장을 공략하기 위해 반도체 업체들은 값비싼 Dual Port DRAM인 VRAM에서 Chip Size를 대폭 줄일 수 있어 가격을 낮출수 있는 Cashed DRAM, Synchronous DRAM등 Single Port 메모리 개발을 서두르고 있는 것이다. High End PC와 엔지니어링 워크스테이션(EWS), Multi-Media 기기가 급속히 보급되면서 고성능 그래픽 메모리인 Synchronous VRAM, Window RAM, Triple Port DRAM등의 개발도 매우 치열하다.

표 3. 응용 시스템별 그래픽 전용 메모리 추이

Mini Computer	1M VRAM	2M VRAM	4M VRAM	8M SVRAM	8M SVRAM
High End EWS	1M VRAM	2M VRAM	4M VRAM 2M VRAM	8M WRAM 4M VRAM	16M SDRAM 8M SVRAM 8M WRAM
Low End EWS	1M VRAM	2M VRAM	2M VRAM	8M WRAM IGA Chip TPDRAM	IGA Chip TPDRAM
High End PC	1M VRAM	1M VRAM	2M VRAM 4M CDROM	8M SDRAM IGA Chip TPDRAM	IGA Chip TPDRAM
Low End PC	256K DRAM	1M DRAM	4M DRAM (X16) 4M CDROM	16M SDRAM TPDRAM	64M SDRAM TPDRAM
	92	94	96	98	2000年

SVRAM : Synchronous VRAM, WRAM : Window RAM, TPDRAM : Triple Port DRAM
SDRAM : Synchronous DRAM, SGRAM : Synchronous Graphic DRAM

CD(Compact Disk) 기기의 보급과 응용 소프트웨어들의 고기능, 고성능, 고속화에 따라 User들은 섬세한 화질의 그래픽에 익숙해지기 시작하였으며 이러한 그래픽 처리는 하드웨어적 (Hardware Accelerator 또는 Processor)인 도움없이 불가능하기 때문에 고성능 그래픽 전용 메모리의 시장 전망은 매우 밝을 뿐만 아니라, 소형, 경량, Portable화 되면서도 그래픽 기능은 강화되는 추세에 따라 Integrated Graphic Array 또는 Integrated Graphic Adaptor라 불리는 Single 그래픽 칩인 IGA의 개발도 시급한 과제로 떠오르고 있다. [4]

Ⅲ. 차세대 ASIC 메모리 제품 개발 현황

차세대 그래픽 메모리를 놓고 표준화 싸움이 치열하다. TOSHIBA는 Synch VRAM(SVRAM)을 제안하고 SAMSUNG은 Window RAM(WRAM)을 제안하였으며, TI는 기존 표준VRAM을 제안하려다 Synch VRAM으로 전략을 변경하고, NEC는 Low End용 Graphic DRAM을 제안하는등, 각사가 유리한 방향으로 JEDEC에 제안하여 표준화를 추진하고 있으나 [5], 차세대 제품 개발에는 삼성이 가장 앞서있는 듯하다. 그이유는 TOSHIBA, NEC등 1M와 2M VRAM 제품에서 시장을 Lead 하였던 업체들도 차세대 제품의 사양에 대한 Customer의 의견을 수렴하는 단계에 있으나 삼성은 이미 8M WRAM의 설계완료 단계에 있고, Synch VRAM, HD TV용 Frame 메모리등 다른 종류의 차세대 그래픽 메모리 개발을 서두르고 있는 것 같기 때문이다. 시스템 응용 메모리에 있어서, 차세대 제품의 개발은 표준화가 중요하며, 표준화 추진에는 Customer들과 경쟁사들의 도움이 절대적으로 필요하다. 이러한 도움을 받기 위해서는 최소한 이전의 2세대 정도의 제품개발에 성공하여야 할 것이다.

표 4. 차세대 주요 ASIC 메모리 개발 전략

	現 況	차세대 제품 개발 目標	
		Low End Graphic 用 (PC & Low End w/s)	High End Graphic 用 (EWS)
SAMSUNG	. 1M/2M VRAM 앞선중 . 4M VRAM Sample 준비중	. 8M Window RAM . 16M Synch DRAM	. 8M Synch VRAM
TOSHIBA	. 1M/2M VRAM 앞선중 . 4M VRAM Sample 준비중		. 8M Synch VRAM
NEC	. 4M VRAM Sample 출하	. 8M Synch Graphic DRAM . IGA Chip	. 8M Synch VRAM
OKI	. 2M/4M VRAM Sample 준비중	. Synch DRAM	
Mitsubishi	. 4M Cashed DRAM Sample 준비중	. Single Chip Frame Buffer	
MICRON	. 1M/2M VRAM 앞선중 . 4M VRAM Sample 출하	. Triple Port DRAM (for Multi-Media) . IGA	. 8M Synch VRAM
TI	. 2M VRAM Skip . 4M VRAM 앞선중		. 8M Synch VRAM

최근의 차세대 ASIC 메모리 개발 현황을 표 4와 같이 정리해보면, High End Graphic 용으로는 고성능의 8M SVRAM이 유력한 후보로 떠오르는 것 같다. 이것은 기존 VRAM의 RAM Port 동작 방식을 Asynchronous에서 Synchronous Interface

방식으로 고속화시킨 것으로 가장 고성능 제품으로 분류되고 있다. Low End Graphic용은 8M Window RAM, 4M Cashed DRAM, 16M Synch DRAM, 8M Synch Graphic DRAM, IGA Chip, Single Chip Frame Buffer, Triple Port DRAM (Multi-Media용)등 매우 다양한 방식의 메모리 칩이 해결 방법으로 제시되어 개발되고 있다. 그래픽 기능과 성능 대 가격의 타협점이 시스템 개발 기술자들이 선택하는 기준이며, Low End 시스템일수록 개발하고자 하는 시스템의 기준이 다양하게 변화하기 때문에 차세대에 대한 준비도 다양하다. 표5에 주요 차세대 ASIC 메모리 제품의 기능을 비교하여 본 결과, 4M CDRAM과 8M SGDRAM은 그래픽 기능이나 성능은 떨어지나 Chip Size 매력 때문에 가격이 낮을 것으로 기대되어 PC와 같은 Low End Graphic 시스템에 적용이 무난할 것으로 예측되며, 8M WRAM이나 8M SVRAM은 Chip Size가 표준 DRAM 보다 1.5 - 1.6배 정도 되어 가격 부담이 예상되나 그래픽 기능이나 성능이 매우 우수하기 때문에 부품 가격이 덜 부담스러운 High End Graphic 시스템에 대한 좋은 해결방법이 될 것이다.

IV. ASIC 메모리 설계 기술

VRAM과 같은 ASIC 메모리는 그래픽 프로세서나 그래픽 컨트롤러에서 수행되던 기능의 일부를 메모리 내부로 끌어들이고, 간단하지만 반복적이고 시간이 많이 걸리는 동작을 메모리가 자체 수행하도록 설계되므로써, 메모리 칩으로서는 매우 복잡한 회로 구성을 갖는 고도의 회로 설계 기술이 필요한 고난도의 메모리 칩이다. 이러한 VRAM과 같은 ASIC 메모리는 복잡한 회로에 기인하는 공정적, 회로적, 논리적 문제가 복합적 형태를 띄며 나타나기 때문에 제품 개발과 양산 기술 확보가 표준 메모리 개발보다 대단히 어렵다. ASIC 메모리라고 부르고 있지만, 메모리 제품은 기본이 되는 메모리 Core 부분이 Chip Size에 제한을 주기 때문에 모듈로 처리할 수가 없고, 설계해야 하는 제품마다 Full Custom 방식으로 설계할 수 밖에 없는 어려움이 있으며, 시스템의 요구를 적극 수용해야 하는 ASIC성과 많은 Customer를 만족 시키는 보편성(표준 생산품)에 대한 요구나 요소가 모두 충족 되어야 하는 복합적 형태의 제품이라고 할수 있다. 그래서 VRAM을 표준 응용 메모리(ASM)라고 정의하는 것이 올바르다고 주장하는 것이며, VRAM 개발 기술 확보의 의미는 VRAM 그 자체보다도 앞서 거론된 Synchronous DRAM, Cashed DRAM, Enhanced DRAM, RAMBUS DRAM, HD TV용 Frame Buffer등 DRAM을 바탕으로 하는 거의 모든 ASIC 메모리 개발능력을 갖추었다고 할 수 있는 것이다. 왜냐하면 대부분의 ASIC 메모리는 고성능의 Dual Port DRAM인 VRAM의 칩 아키텍처(Chip Architecture), 메모리 Core, Logic 회로등과 같은것들을 Low Cost Chip 확보를 목표로 변형시키거나 활용하는 개념인 것이기 때문이다.

ASIC 메모리 사업을 시작할때, 대부분의 회사들이 DRAM의 연장선상에서 생각하고 개발에 착수 하였던 것 같다. DRAM을 통하여 개발된 공정을 사용하고 회로 설계만을 다시 해서 제품을 개발하면 사업으로 연결될 수 있다고 생각할 수 있는 것이다. 그러나, VRAM 사업에 참여한 회사들은 대부분 수십만개의 제품을 Scrap 처리하고, 조립된 시스템을 변상해 줄 수 밖에 없었던 경험을 갖고 있다. Specific하면서도 범용성이 함께 요구되는 제품의 이중적 특질때문에

표 5. 차세대 주요 ASIC 메모리 비교

		4M CDRAM	8M SGDRAM	8M VRAM	8M SVRAM
External I/O Port		1	1	2	2
Organization	RAM	256K x 16	128K x 32	256K x 32	128K x 32
	SAM	1K x 16	x	128 x 16	512 x 16
	BANK	1	2	1	2
Interface	RAM	x	Synchronous	Conventional	Synchronous
	SAM	Synchronous	x	Conventional	Conventional
Internal Data Bus		8 x 16 = 128	x	8 x 32 = 256	x
Functionality					
Block Write		8 x 16	8 x 32	8 x 32	8 x 32
Write per Bit		NO	YES	YES	YES
Byte Control		YES	YES	NO	YES
Column Mask		Column	Column	Pixel	Column
Fast Copy Back		YES	NO	YES	NO
랜덤 접근 액세스 가능성		YES	NO	YES	NO
Cycle Time	RAM	tCC=30ns/20ns	tCC=15ns/10ns	tPC=20ns	tCC=15ns/10ns
	SAM	tSCC=30NS/20NS	x	tSCC=14ns	tSCC=15ns/10ns
Transfer Overhead		21.23%	매우 낮	7.08%	1.33%
Technology		DRAM - SRAM	DRAM	DRAM	DRAM
Chip Size		1.2 ~ 1.3	1.1	1.5	1.6
Control		New	SDRAM - BF	New	VRAM - Sync I.F
Application System		PC	PC	PC ~ Low End Workstation	Hi End PC ~ workstation

$$\text{Transfer Overhead} = \frac{(\text{Transfer Time}) / (\text{Total Display Time}) \times 100(\%)}{= (\text{tRAM} \times \text{MC}) / (\text{SAM size}) \times (\text{Time to fully load SAM}) \times \text{VBE} \times 100(\%)}$$

예) 1024 * 768 * 17 (color)
 CDRAM Case : (1024*768*16)/(1k*16)*((1k/8)*30)*72*100(*) = 21.23%
 VRAM Case : (1024*768*16)/(512*16)*120*72*100(*) = 7.08%
 VRAM Case : (1024*768*16)/(512*16)*120*72*100(*) = 1.33%

발생되는 혼란에서 비롯된 것인데, VRAM 개발을 통하여 얻은 ASIC 메모리 개발의 어려움을 정리해보면,

① DRAM 개발에 따른 공정적, 설계적 어려움을 그대로 내포하면서 설계적으로는 Advance한 공정에 따른 TR.의 한계 동작 범위를 DRAM 이상으로 최대한 활용하여야만 한다.

작은 Chip Size, Low Cost, High Speed, Low Power에 대한 부담감은 DRAM과 동일하게 갖고있는 것이다.

② 메모리 공간이 어드레스에 따른 작은 논리적 공간으로 분할되어 신기능이 수행되어야 할 뿐 아니라,

③ 각각의 기능들이 모듈화되어 처리되는 것이 아니라, DRAM의 기존 회로들 속으로 분산 수용해야 되고, 이는 DRAM의 기존 회로의 균형도 깨지는 결과를 초래한다.

④ 또한 이러한 논리적 동작을 수반하는 회로들은 DRAM과 같은 동작 Speed, 동작 Margin을 보장해야하나

⑤ 정의된 Spec Timing의 실제 System 응용 Timing은 그 경우의 수가 매우다양하고, 그에 따른 회로의 Critical Path의 동작 Margin 변화와 논리적 결과를 정확히 예측하는 것이 대단히 어렵다.

⑥ Dual Port DRAM 이라고도 부르는 VRAM은 Input/Output 핀수가 DRAM의 2배이면서, RAM과 SAM이 각각 독립적으로 동작하기도하고, 동기되어 동시에 동작하기도 한다. 이러한 특징 때문에 나타나는 가장 어려운점은 Noise에 관련된 문제로써, 예측과 해결이 매우 어렵다.

⑦ 또한 Unit Cycle로 구성된 동작이 반복적으로 수행되는 DRAM과는 다르게, 여러가지 Unit Cycle이 복합적 구성을 이루고 논리적 함수를 포함하면서 불규칙적인 동작을 하므로, 실제 System에서 동작하는 방법을 그대로 Test하는 것은 불가능 하기때문에 이에 따른 적절한 Test 방법을 찾아야 한다.

⑧ 이러한 복잡한 실제 시스템 응용 상황은 회로 시뮬레이션으로 충분히 그동작이 예측되고 보장되어야하나, DRAM의 30배 이상되는 회로 시뮬레이션 규모를 모두 수행할 수는 없는것이다. 모든 경우를 대표하는 회로 시뮬레이션 조건을 찾아내야 하는데 이는 설계및 불량분석 경험과 시스템 응용상의 불량 발생등 실제 경험이 없으면 무수한 시행착오를 겪어야하는 부분이다.

⑨ DRAM에서는 불량 분석을위해 문제라고 생각되는 메모리 일부의 어드레스를 한정적으로 선택하여 Looping 하면서 문제점을 찾아낼수 있으나, VRAM의 SAM (Serial Access Memory) Port의 경우는 동작을 시키는 동안, 내부에서 발생하는 Serial 어드레스가 증가되어 선택되는 위치가 끊임없이 이동하기 때문에 문제의 부위를 찾아내기 어렵고, 따라서 문제의 원인을 분석 해내는 것 또한 매우 어렵다.

이러한 어려움에 대한 노하우 (Know How)를 갖고 있다하여 ASIC 메모리 사업의 준비가 모두 끝났다고 말할수는 없다. 왜냐하면 ASIC 메모리의 또하나의 중요한 특성은 Timing 사업이기 때문이다. 가능한 빠른 시간내에 설계적 Error 없이 개발하여 Customer가 시스템에 탑재할 수 있도록 하여야하기 때문에 빠르고 완벽한 설계가 중요한 요소인 것이다. 따라서, ASIC 메모리 설계를 하기위해서 단계별 설계 자동화, 설계 단계간의 Interface및 설계 Flow의 Set-Up등 설계 Frame Work 구성이 매우 중요하다.

ASIC 메모리의 설계에 있어서 설계 자동화 과정은 다른 Device에 비해서 까다로운 부분이 많다. 물론 표준 메모리도 ASIC 메모리와 마찬가지로, 표준 메모리는 ASIC 메모리에 비해 그 회로가 간단하고 기능 또한 적기 때문에 현재까지는 표준 메모리 부분에서의 자동화는 크게 필요성을 느끼지 못하였었다. 그러나 ASIC 메모리는 설계 과정의 복잡성과 다변성 때문에 Layout과 Netlist File의 생성 및 Simulation 그리고 검증 과정이 하나의 연계 체계를 갖지 못할 경우에는 Error의 가능성이 매우 높아진다. 따라서 ASIC 메모리의 On-Time 설계와 No-Error 설계를 위해서는 설계 자동화가 필수화 되고 있으며 이를 위한 노력이 설계자와 CAD Engineer 사이에서 활발히 진행되고 있다.

또한 이러한 노력의 결과는 그 동안 자동화에 대해 필요성을 느끼지 못하고 보수적이었던 표준 메모리 분야에도 자동화 열풍을 일으키고 있다. ASIC 메모리의 자동화는 그림2에 나타내었듯이 각 단계가 서로 연계성을 갖고 메모리 설계 경험의 바탕 아래에서 그 과정이 Set-up 되었다. 각 과정의 기본 개념을 살펴보면 다음과 같다.

① LOGIC 설계 & SCHEMATIC 발생 - ASIC 메모리는 각 제품마다 각기 다른 기능과 구조를 갖는다. 그러나 그 기능은 새로운 개념의 기능과 기존 기

능의 적당한 조합으로 이루어지며 구조는 여러 개의 기본 골격의 변형으로 이루어 진다.

따라서 재활용이 가능하면서 기본 단위 기능과 기본 골격을 갖는 기본 Logic은 D/B화 하고, 새로운 Logic 또한 그 사용 예상 빈도수를 고려하여 D/B화 시켜 놓는다.

② 단위 LAYOUT (SYMBOLIC LAYOUT) - D/B화 되어있는 Logic의 Schematic에 해당 되는 단위 Layout들 또한 Layout D/B를 구축한다. 메모리 특성상 면적과 위치에 대한 변형성을 고려하면 Signal의 I/O 방향 및 Driver의 크기, 약간의 Logic 수정등을 고려하여 D/B를 완벽한 Symbolic Layout 상태로 가지고 있는 것이 편리하다. 이를 위해서는 Symbolic Layout에 공정한 정보가 충분히 고려된 Layout을 할 수 있도록 Layout Compensator를 갖추고 있어야 한다. 물론 여기서 단위 Layout의 높이와 넓이, 기타 내부적인 일치성 등은 일정하게 정해져 있어야 한다.

③ FULL CHIP SCHEMATIC 구성 - 초기 설계 단계에서 Chip의 실제 환경을 고려하여 설계하고 각종 시뮬레이션과 검증 그리고 설계수정 과정을 하나의 Schematic 으로 하여 설계 시간의 단축과 설계 오류를 줄일 수 있도록 한다. 이를 위해서는 D/B로 구축 되어있거나 새로이 만들어진 단위 Schematic Symbol의 크기는 실제 그에 해당되는 단위 Layout의 크기와 일치되게 하여 Schematic Symbol의 배치가 실제적인 Layout 배치와 같도록 한다. 여기에서 회로 시뮬레이션을 할 부분에 대한 신호선의 R/C 모델링을 함께 만들어주면 Schematic의 크기가 실제 Layout의 크기와 같기 때문에 거의 정확한 신호선 모델링을 할 수 있다.

전체적인 신호선의 연결도는 R/C 모델링을 고려하여 Label로 준다. 시뮬레이션 모델링을 원하는 Schematic Symbol에 선택성을 줄 수 있게 하여 선택된 부분만이 Netlist로 추출되게 한다. 이때 회로 시뮬레이션용 Netlist는 R/C가 고려된 연결성을 갖고 신호선이 모델링 영역과 비 모델링 영역에서 모두 사용될 경우 그 신호선에 연결된 비 모델링 부분의 트랜지스터의 Gate/Active Capacitance는 자동으로 Loading 처리가 된다. 또한 회로 시뮬레이션용 Netlist이외의 Netlist를 발생 할 경우에는 Full Chip Schematic내에 있는 R/C 연결선을 모두 단락시켜 주게 되어있고 트랜지스터 Loading 처리는 하

지 않는다.

④ NETLIST FILE 발생 - Netlist File은 Full Chip Schematic 내에서 원하는 형태의 원하는 부분에 선택성을 주어서 원하는 Netlist를 발생시키게 된다. 만일 설계중에 Schematic의 Logic이나 Connectivity가 바뀔 경우에는 Full Chip Schematic만 바꿔주면 되므로 시뮬레이션과 Layout, 검증 Netlist File의 불일치성에서 오는 설계 오류 확률을 zero로 줄일 수 있다.

⑤ LAYOUT - 단위 Layout은 D/B를 이용하거나 새로이 그린후에 Schematic의 Symbol과 동일하게 배치를 한다. 배치는 자동화 Tool을 이용하는 것보다는 Manual로 하는 것이 효과적이다. 배치된 단위 Layout의 배선은 자동 배선 프로그램을 이용하여 부분별 배선을 한 후 이부분을 최종 연결하고 정리함으로써 Full Chip Layout을 완성한다.

⑥ LAYOUT 검증 - Full Chip Schematic에서 발생시킨 Netlist로 LVS를 진행하기 때문에 따로 Schematic 구성 작업을 하지 않아도 된다.

지금까지 설명한 과정에서 좀더 효율성을 줄 수 있는 부분은 실제 Layout의 크기와 동일한 Schematic을 두개의 개념으로 분리하는 것이 아니라 하나로 하는 것이다. 즉 Full Chip Schematic 구성 후 Schematic 상태에서 배선을 하여 Layout으로 변환을 하거나 Symbolic Layout을 배치하여 배선을 하고 그 즉시 Schematic으로 변환을 할 수 있게 함으로써 Layout과 Schematic의 벽을 없애는 것이다.

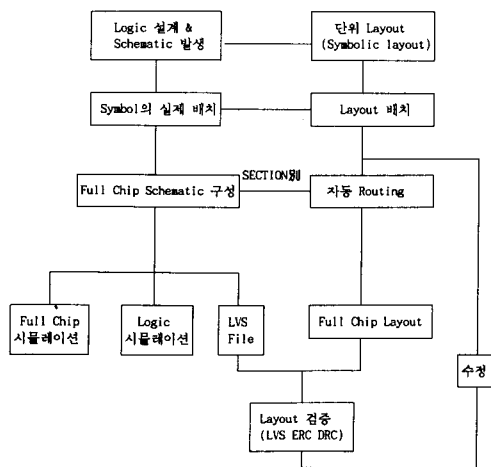


그림 2. ASIC 메모리 설계 FLOW

V. 결론

‘차세대 ASIC 메모리’라기보다 아직까지는 ‘차세대 표준 응용 메모리’라고 불러야 할 만큼 메모리의 ASIC화에는 어려운 부분이 많이 남아있다. 고성능의 그래픽 기능과 성능이 요구되는 High End Graphic 시스템은 메모리에 대한 해결 방법이 8M Window RAM이나 8M Synch VRAM으로 거의 결론이 난 상태이나 부품 구성 가격이 중요한 Low End Graphic 시스템은 개발하려는 시스템의 그래픽 기능이나 성능의 수준과 가격의 적절한 타협점에 따른 해결방법이 시스템의 종류 만큼이나 많이 제시되고 있으며, 각 반도체 업체들은 자사의 제안이 JEDEC의 표준으로 채택될것을 기대하며 개발을 추진하고 있다.

표준화와 관계없이, 시스템 기술자가 제시하는 ASIC 메모리를 설계 Error 없이 짧은 기간 동안에 설계하여 적기에 공급한다는 것은 현재의 ASIC 메모리 설계 기술이나 반도체 업계 상황으로는 매우 어렵지만, 중소 ASIC 메모리 전문 설계회사, 반도체 회사(대기업), CAD Tool 제작회사, 시스템 회사가 좋은 협력관계를 가지면서 Data Base화, 설계 자동화, 설계 Check List등을 구축한다면 ASIC 메모리 사업이 활성화 될수 있을것이다. 이를 위하여 ASIC 메모리 전문 설계회사, 반도체 회사(대기업), CAD Tool 제작회사들이 끊임없이 노력하고 있으며, 이러한 노력으로 수년내에는 시스템 기술자가 원하는

ASIC 메모리 칩을 주문하는 날자로부터 수개월 이내에 전달할 수 있게 될것이다.

參考文獻

- [1] 이승용, 슈퍼 VGA의 하드웨어 구조 I, Computer Magazine, February, P240 Feb. 1993.
- [2] MPDRAM Task Group, Combine MPDRAM Truth Table for 2M and 4M VRAM JEDEC JC-42.3 Meeting Minutes, July, JC-42.3-92-81, 1992
- [3] Sherry L. Garber, VRAM Applications, The Merchant Market for Video Random Access Memory (VRAM), Volumn I, Volatile Memory (P9215DR-R), PP8 ~ 14, March, 1992
- [4] John Poulton, Breaking the Frame-Buffer Bottleneck With Logic-Enhanced Memories, IEEE Computer Graphics & Applications, Nov. PP65 ~ 74, November, 1992
- [5] DRAM Task Group, JEDEC COMMITTEE JC-42 ITEMS, JEDEC JC-42.3 Meeting Minutes, May, JC-42.3-235.01 ~ 487.09A, 1993

筆者紹介



徐承模

1959年 5月 24日生

1983年 2月 경북대학교 전자공학과 졸업

1985年 8月 연세대학원 전자공학과 졸업

1985年 2月 ~ 1987年 7月 삼성반도체(주), 1M DRAM설계
 1987年 8月 ~ 1988年 9月 삼성반도체(주), 4M DRAM설계
 1988年 10月 ~ 1993年 8月 삼성전자(주) 반도체부문, VRAM 설계팀장
 256K, 512K, 1M, 2M, 4M, Video RAM 설계
 1993年 9月 ~ 현재 (주) C&S Technology 설립, 대표이사
 ASIC 메모리, 마이크로 콘트롤러등 반도체 칩 설계

주관심 분야 : · ASIC 메모리 · Specialty DRAM, VRAM, HD-TV용 Frame 메모리 등.
 Integrated Graphic Chip · Single Frame Buffer, IGA (Memory
 Embeded, Integrated Graphic Array) 등.
 Micro Controller Chip · 4 bit, 8 bit