

멀티미디어 컴퓨터 핵심 VLSI 기술

黃琦秀, 金太根, 吳哲東
現代電子 半導體研究所

I. 서론

반도체, 컴퓨터, 통신등 제반 기술의 급속한 발달과 더불어 문자는 물론 오디오 및 비디오 정보를 저장, 가공, 전송하는 서비스가 비교적 저렴한 비용으로 실현될 수 있게 되었고 이를위해 여러분야에서 계속 활발한 연구개발이 진행되고 있다. 이 모든 분야의 디지털화는 B-ISDN의 구축이 완료된후 실현 가능하므로 전송 부문보다는 저장, 가공 기술이 주가되는 오락기, 가라오케, 멀티미디어 컴퓨터등 단말기의 상품화가 보다 활발히 추진되고 있다.

멀티미디어 기술의 발전과 더불어 또 한가지 중요한 추세는 가전, 정보, 통신기기등의 제품 경계가 없어지고 있다는 것이다. FAX, cellular phone, video phone 등 통신 기기와 컴퓨터가 하나의 기기로 합해지는 추세이며 이미 PDA (Personal Data Assistant, 개인용 정보 통신 기기) 형태로 제품화가 실현되고 있다. 또한 TV, 오디오등 가전기기와 컴퓨터와의 결합으로 정보가전이라는 용어도 불리워지게 되었다. 이러한 기능들을 수용하기 위해 MicroSoft 사는 MPC (Multimedia PC) 플랫폼을 정의하였고 3DO는 게임은 물론 TV와 CATV를 조작할수 있고 정보 검색 기능도 갖추고 있어 home shopping, home banking이 가능하고 영화, 음악도 즐길수 있는 가정용 다기능 멀티미디어 기기를 발표하였다.

방대한 멀티미디어 정보의 저장을 위해 용량이 대량이면서도 저가인 저장매체의 필요성이 부각되면서, 디지털 오디오 저장매체로 널리 쓰이던 콤팩트 디스크가 데이터 저장(CD-ROM) 및 대용량 비디오 저장(CD-I) 매체로써 규격화되고 있다. 또한 정보의 양

을 줄이기 위한 압축기술, 특히 효과적인 화상 압축은 가장 중요한 핵심기술이다.

이 논문에서는 컴퓨터를 중심으로한 멀티미디어 기술을 조명해보고 핵심이 되는 기능들을 구현하기 위한 VLSI 기술들을 논한다. 현재 멀티미디어 컴퓨터의 보급은 Sound Blaster등 사운드 생성 기능과 오디오 입출력 기능을 가진 사운드 카드가 가장 빨리 보급되고 있고, Video Blaster등 기본적인 비디오 오버레이 기능을 가진 보오드가 다음으로 많이 보급되는 추세에 있다. 조만간 비디오 압축/복원 기능이 MPC 규격에 포함될것이다.

제 II 장에서는 멀티미디어 컴퓨터의 응용에 필요한 기본 기능들을 열거하고 각기능을 구현하기위해 필요한 IC 들을 살펴본다. 제 III 장에서는 현재 가장 많이 보급되어 있는 사운드 카드에 필요한 IC 들에 대해 음원 IC를 중심으로 논한다. 멀티미디어 핵심 기술인 화상압축 기술과 MPEG1 복호기 설계는 제 IV 장에서 언급하고, 제 V 장에서는 멀티미디어 정보의 중요한 저장 매체가 되는 CD-ROM 을 중심으로 IC 설계기술을 기술한다. 결론에서는 향후 멀티미디어 관련 기술의 발전 방향에 비추어 VLSI 설계분야가 앞으로 어떻게 전개될 것인지 전망해 본다.

II. 멀티미디어 컴퓨터 개요

멀티미디어 컴퓨터는 기존의 컴퓨터에서 취급하던 문자나 그래픽 뿐만 아니라 오디오, 정지화상 및 동화상(full motion video)들을 사용자가 어떤 입출력 수단을 통해서 쉽게 인터페이스 할 수 있게 하여 주

는 기능들을 제공한다. 이러한 기능을 갖고 있는 멀티미디어 컴퓨터는 상품, 부동산 판매등을 위한 대화형 정보검색, 과학, 공학에의 응용, 사진 인식이 필요한 안전 시스템, 온라인 서류 서비스, 저작, presentation, ATM(Automatic Teller Machine) 등 다양한 응용 분야를 갖고있다. 따라서 이러한 응용분야를 지원하기 위해서는 다양한 입력, 출력, 가공, 저장등의 기능들을 필요로 한다. 이러한 기능들을 정리하면 아래의 8 가지 주요한 기능들로 요약할 수 있다.

- 사운드 생성 및 오디오 입출력 기능: 사운드 생성 IC, A/D 변환기, DSP, 오디오 압축용 IC, D/A 변환기와 Power Amp 등이 필요하다.
- Video-to-computer 기능: VTR, LDP 혹은 카메라로 부터의 아날로그 비디오 신호를 컴퓨터 윈도우에 제공하는데 필요하다. 비디오 A/D 변환기, 디지털 멀티 표준 디코더(DMSD), color space converter, 윈도우 콘트롤러와 비디오 메모리등의 IC들을 필요로 한다.
- Computer-to-video 기능: 컴퓨터 스크린으로부터 그래픽 이미지를 projection TV 혹은 VCR에 출력 하기위해 사용한다. 컴퓨터의 RGB color 신호를 TV의 YUV 신호로 변환하는 변환기와 Genlock 기능을 위한 회로가 필요하다.
- 화상 압축/복원 기능: 정지화상 혹은 동화상을 압축하거나 복원하기 위해 사용한다. JPEG 혹은 MPEG 칩셋이 필요하다.
- 대용량 저장 기능: 오디오, 비디오등 멀티미디어 정보의 저장을 위한 대용량의 저장 매체 필요(CD-ROM, Laser Disc, WORM, MODD 등). 각 저장 매체를 드라이브하기 위한 IC들을 필요로한다.
- Hardcopy 기능: 300 dots-per-inch 와 200 color 이상을 지원하는 고해상도 프린터.
- Color input scanning 기능: 이미지 압축용 칩셋이나 DSP 회로를 필요로 한다.
- Color projection 기능: color 컴퓨터 스크린을 Color LCD overhead projector나 projection TV에 제공하기 위해 필요하다.

이밖에도 touch screen, pen pad 입력, 고품질 오디오, 음성 합성, 음성 인식 회로등 다른 입출력 기능도 가능하다.

위에 열거한 여러가지 기능들을 수용하기 위한 컴

퓨터의 최소한 규격, 즉 CPU의 속도, main memory 용량, Hard disk 용량, 그래픽 카드의 능력, CD-ROM의 용량및 속도등을 정의한다. 예를들면 마이크로 소프트사의 멀티미디어 컴퓨터 규격인 MPC-I, MPC-II 등이 있다.

Ⅲ. 사운드 카드용 IC

컴퓨터의 사운드 기능을 강화하기 위하여 출현한 사운드 카드는 여러 악기 음의 합성등 컴퓨터를 이용한 컴퓨터 음악을 가능하게 하는 애드-온 카드의 일종으로, 이 카드에 사용되는 주요 반도체 부품으로는 음원 IC, D/A 변환기 및 음원 콘트롤 IC 등이 있다. 음원 IC는 음의 세가지 요소인 음정(pitch), 음색(harmonics), 음량(amplitude)을 각각 조절하여 원하는 음을 합성하는 방법을 취하고 있는데 각 음정을 조절하기 위한 발진기 또는 파형 발생기, 음색 조절을 위한 필터 또는 다중 발진기, 음량 조절을 위한 envelope 발생기등의 블록으로 구성되며 크게 나누어 FM 방식과 PCM 방식의 제품이 있다.

FM 방식의 음원 IC는 파라미터 합성 기법⁽¹⁾을 이용 일본 YAMAHA사가 전자악기 등에 채용 목적으로 개발하였으며 디지털 발진기인 오퍼레이터를 기본으로 음정을 결정하는 캐리어 주파수와 음색 결정을 위해 캐리어를 FM 변조시키는 변조기의 주파수의 비를 조절하여 원하는 악기의 음을 낼 수 있다. 식 (1)은 FM 변조된 파형에 관한 표현을 나타낸다.

$$y(t) = A(t)\sin(\omega_c t + I(t)\sin\omega_m t) = A(t)\sum_n F_n(I(t))\sin(\omega_c t + n\omega_m t) \quad (1)$$

여기에서 ω_c 는 캐리어 주파수이고 ω_m 은 변조기의 주파수이며 $A(t)$ 와 $I(t)$ 는 각각 캐리어와 변조기의

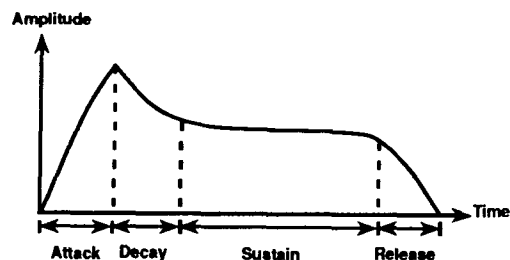


그림 1. Envelope 발생기의 파형

신호진폭을 나타낸다. 또한 식 (1)은 FM 변조된 신호를 Bessel 함수로 표현하고 있는데 변조기의 신호진폭 $I(t)$ 가 변화함에 따라 배음의 구성, 즉, 음색이 달라짐을 알 수 있다. 그리고 envelope 발생기는 그림 1과 같이 시간에 따라 attack, decay, sustain, release의 네 단계로 변화하는 envelope에 따라 음량의 크기를 조절한다.

PCM 음원 IC는 실제 아날로그 음원을 PCM 신호로 변환하여 메모리에 저장하였다가 재생시 D/A 변환기를 통하여 출력하는 방식을 택하고 있으므로 비교적 구성이 간단하고 고품질의 음을 재생할 수 있으나 메모리를 많이 필요로 하는 단점이 있다. 이때 음정은 메모리를 어드레싱하는 클럭의 주파수에 의해 조절이 가능한데 클럭 주파수에 따라 음정을 변화시키는 방법은 화음을 출력할 경우 각 음의수에 따라 D/A 변환기가 여럿이 필요한 문제점이 있으므로 최근에는 DSP를 이용하여 음정의 변화를 가능하게 하는 방법을 채용한 IC들이 선보이고 있다.

한편 음의 저장을 위한 메모리 용량을 줄이기 위해 ADPCM(Adaptive Differential PCM) 등 음성 데이터 압축 기술이 동원된다. ADPCM의 구현은 현재까지 8 비트 MCU인 8031을 많이 이용하였으나 최근 선보이고 있는 16 비트 사운드 카드에서 요구되는 샘플링 주파수 44KHz의 16 비트 신호처리를 위해서는 12-13 MHz의 동작속도를 가진 16 비트 RISC MCU가 채용되고 있다.

디지털 오디오 데이터의 아날로그 변환을 위한 D/A 변환기는 고품질 오디오의 실현을 위해 16비트 이상 고분해능의 실현에 적합한 시그마-델타 변환 방식^[2]이 사용된다. 시그마-델타 변환 방식의 장점은 오버샘플링 기법을 이용하여 신호 크기의 분해능을 시간축 상의 분해능으로 변환하여 취급하므로 아날로그 회로의 제약에 대한 부담이 적다는데 있다. 그림 2는 시그마-델타 D/A 변환기의 구성도이다.

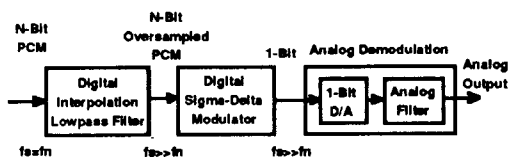


그림 2 시그마-델타 D/A 변환기 구성도

그림 2에서 샘플링 주파수 f_s 가 Nyquist 주파수

f_n 과 같은 PCM 데이터는 $f_s \gg f_n$ 인 interpolation 및 저역통과 필터링 과정을 통해 N-비트의 오버샘플된 PCM 데이터로 변환되며 이 데이터는 다시 디지털 시그마-델타 변조기를 통과하여 1-비트 데이터열로 변환된다. 아날로그 복조기는 1-비트 데이터열을 1-비트 D/A 변환기 및 아날로그 재생 필터를 거쳐 순수 아날로그 신호로 변환시키는 역할을 수행한다.

IV. 화상처리 IC

이 장에서는 멀티미디어 컴퓨터가 새로운 종류의 데이터인 화상 데이터를 취급하는데 있어서 필요한 IC에 대해서 설명하고자 한다. 다른 종류의 데이터와는 달리 방대한 양의 화상 데이터를 제한된 저장 공간에 저장하고, 한정된 통신 대역폭에서 송수신하기 위해서는 화상 데이터의 압축 및 복원이 필수적이다. 일례로 640X480 화소의 VGA 한 화면을 full color로 저장하고자 할 때 1MBytes의 메모리가 필요하고, 고해상도(720X480 화소)의 동화상을 10초간 저장하기 위해서는 311MBytes의 메모리가 필요하다. 고해상도의 정지화상과 동화상을 다루는데 있어서 또 다른 문제는 데이터 전송율이다. 일례로 동화상을 전송하기 위해서는 초당 약 250Mbits/sec(bps)의 전송율이 필요하지만, 이것은 기존의 컴퓨터에서 제공하는 데이터 전송율보다 훨씬 높은 것이다. 한 예로써, CD-ROM의 전송 속도는 1.2Mbps이고, 가장 빠른 LAN인 FDDI의 경우도 100Mbps 정도이다. 이와 같이 화상 처리가 필요로 하는 컴퓨터의 능력과 컴퓨터가 제공하는 능력의 차이를 메꾸고, 멀티미디어의 개발을 촉진시키기 위해서는 화상 압축으로 이러한 병목 현상을 돌파할 필요가 있다.

1. 압축표준의 확립

멀티미디어 컴퓨터가 화상 데이터를 처리하기 위해서는 위에서 언급한 것과 같이 압축 알고리즘이 필요하지만, 이에 못지않게 필요한 것이 압축 알고리즘의 표준화인 것이다. 압축 알고리즘의 표준화는 멀티미디어 시장의 성장에 중요한 요소이다. 사용자와 제조업체 모두가 서로 다른 시스템 사이에서 화상을 교환할 수 있는 환경이 조성되기 때문이다.

현재 업계의 관심을 모으는 화상처리관련 국제표준

은 JPEG, MPEG, H. 261 등 3개이다. JPEG (Joint Photographic Experts Group) [3] 은 정지 화상의 압축 및 복원에 관한 표준으로 ISO(International Standards Organization)에 의해 국제 표준으로 채택되었다. JPEG 압축기술은 흑백 사진에 대해서는 약 10:1, 컬러 화상에 대해서는 약 15:1의 압축비를 제시한다. JPEG의 응용분야로는 G4 FAX, 디지털 카메라 및 정밀성이 요구되는 검사나 측정등의 시스템에 주로 이용된다.

MPEG(Moving Picture Experts Group) [4] 은 ISO와 IEC(International Electrotechnical Commission)가 공동 추진한 동화상에 관한 국제표준이다. MPEG은 DSM(Digital Storage Media)인 콤팩트 디스크를 이용하기 위한 MPEG1과 VCR 수준의 화질인 MPEG1보다 더 좋은 화질을 갖으며 HDTV를 포함한 방송에 이용될 수 있는 MPEG2로 나뉘어 진다. MPEG1은 이미 국제표준으로 채택되었고, MPEG2는 1993년 11월 서울 회의에서 위원회의 초안(Committee Draft)이 작성되었다.

H. 261(일명 p * 64) [5] 은 화상 및 음향의 양방향 전송에 사용되는 표준 시리즈를 통칭한다. 이 표준은 CCITT(Consultative Committee on International Telephony and Telegraphy)에 의해 제안되었으며, 주로 화상 회의 응용 제품에서 이용된다. H. 261은 MPEG과 비슷한 부분이 많으나, 화면의 크기나 이용하는 화상의 종류등 차이점도 분명하다. p * 64는 p의 값이 1부터 32까지의 값을 가질 수 있으며, 전송 속도는 64Kbps의 배수로 최대 2Mbps까지 가능하다. 표1은 국제 표준 알고리즘을 비교한 것이다.

표 1. 국제 표준 알고리즘의 비교

표준	압축율	대역폭 (bps)	응용분야	표준화
JPEG	10:1-80:1	N/A	정지화상	Yes
MPEG1	<200:1	1-5M	동화상	Yes
MPEG2	<100:1	5-60M	동화상	No
H. 261	100:1-200:1	64K-2M	화상회의	Yes

2. 화상처리 IC의 종류

화상처리 IC는 일반적으로 고정 기능형과 프로그램 가능형의 두 가지로 나눌 수 있다. 고정 기능형의 IC들은 알고리즘 전체를 수행할 수 있는 IC와 알고리즘의 '일부분만을 수행할 수 있는 IC로 나누어진다. 알

고리즘의 일부분만을 수행할 수 있는 IC는 시스템 설계자가 각 IC의 기능을 모두 알아야 하고, 시스템 구현시 제작 원가가 높아지는 단점이 있다. 따라서 현재는 각각의 국제표준을 하나의 IC에 구현하는 것이 추세이다. 이 고정 기능형 IC들은 수수가 대량이고, 하나의 알고리즘만 구현하면 되는 시스템에서 주로 이용된다. 표2는 이미 개발된 고정 기능형 IC의 일부를 국제표준별로 정리한 것이다.

표 2. 기 개발된 화상처리 IC

국제표준 제작사	IPEG	MPEG	H 261
C-Cube	CL-550 CL-560	CLA50 Decoder CLA51 CODEC	
LSI-Logic	L64702	L64712 Video L64711 Audio	7 Chip Set
SGS-Thomson	STi 1140	STi-3400 STi-3500	
ZORAN	ZR36020 DCT ZR36040 CODEC		
GCA			12 Chip.Set

고정 기능형 IC들은 설계 및 제조가 용이하지만, 점점 더 많이 등장하는 압축 표준들에 쉽게 대응하고, 멀티미디어 시스템 사용자에게 융통성을 제공하기 위해 프로그램 가능형 IC들이 개발되고 있다. 이 IC들은 많은 공통된 특징을 지니고 있다. 즉, 하나의 IC내에 통합된 다중 프로세서들, 시간과 공간에서 확장적인 병렬주의를 통합하는 단위 프로세서들, IC내에 내장된 대용량의 메모리, CPU/메모리/입,출력간의 높은 대역폭, 많은 기능 유니트들의 통합, 그리고 초당 십억번 이상의 연산 수행 능력등을 들 수 있다.

프로그램 가능형 IC로써는 ITT(Integrated Information Technology) [6] 에 의해 개발된 Vision Processor(VP) 및 Vision Controller(VC)와, Intel의 DVI 기술을 위한 i750 시리즈 [7], AT&T의 AVP-100 시리즈 [8] 를 들 수 있다. IIT의 VP는 다양한 압축 표준들을 지원할 수 있으며, 이를 위해 마이크로 코드로 프로그램이 가능하다. VC는 VP와 함께 MPEG과 H. 261 시스템 구현에 이용된다.

Intel사의 i750 시리즈는 Pixel Processor와 Display Processor의 두 IC으로 이루어져 있다. Pixel Processor는 화상의 압축 및 재생 기능을 갖고 있으며, 마이크로 코드 레벨에서 프로그램 가능한

IC다. Display Processor는 화소 보간, line doubling 및 색 변환등 주로 표시 기능을 담당하는 IC다. AT&T의 AVP-100 시리즈는 복호기(AVP-1400D), 시스템 컨트롤러(AVP-1400C) 및 두 개의 부호화기(AVP-1300E 또는 AVP-1400E)로 이루어져 있다. AVP-1300E는 보다 값이 저렴하며 MPEG의 움직임 추정없이도 MPEG 및 H.261 표준을 구현할 수 있다. AVP-1400E는 AVP-1300E의 모든 기능외에 움직임 추정 및 32 화소들에 대한 완전 검색을 수행할 수 있다. 이것은 또한 두개의 연속적인 보간 프레임도 지원한다.

3. VLSI 구현 방법

국제표준의 화상처리 알고리즘을 고정 기능형의 VLSI로 구현하는 데 있어서, 고려하여야 할 사항을 MPEG1 복호기를 예로 설명하고자 한다. 그림 3에서 보듯이 MPEG1 복호기는 가변장 복호화(Variable Length Decoder) 블록, 역 양자화(Inverse Quantization) 블록, 역 이산여현변환(Inverse Discrete Cosine Transform) 블록, 움직임 보상(Motion Compensation) 블록 및 로컬 메모리 컨트롤러 등으로 이루어져 있다. 위의 블록들의 대부분은 JPEG 및 H.261에서도 이용되는 블록들이다.

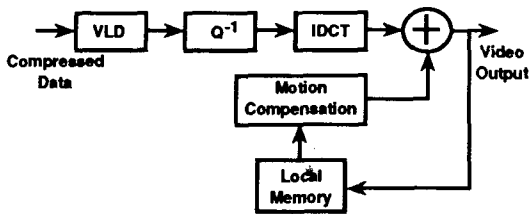


그림 3. MPEG1 복호기 구성도

가변장 복호기를 구현하는 방법에는 tree search 방식이 사용되는 bit serial architecture^[9]와 parallel match 방식이 사용되는 bit parallel architecture^[10,12]가 있다. 입력되는 압축 비트 데이터의 전송율에 따라 두 구조는 연산 속도를 달리한다. 1.5Mbps 정도의 압축 비트 데이터 전송율을 가지는 MPEG1 시스템에서 tree search 구조의 경우에는 입력되는 압축 비트 데이터의 전송 속도와 같은 1.5MHz의 연산 속도를 필요로 한다. 그리고, parallel match 구조의 경우는 입력되는 압축 비트

데이터의 평균 비트 길이가 2.8비트로 가정하였을 때 약 0.54MHz의 연산 속도를 필요로 한다. 때문에 데이터 전송율이 높은 경우에는 parallel match 방식을 사용하는 것이 좋다. Parallel match 구조는 decompaction 부분과 match 부분으로 나뉘는데 MPEG과 같이 가변장 부호가 고정된 경우에는 match 부분에 PLA를 사용함으로써 고속의 가변장 복호기를 구현할 수 있다.

역 양자화기를 구현하는 방법에는 ROM이나 RAM등의 메모리를 사용하는 방법과 곱셈기를 이용하는 방법이 있다. 메모리를 이용하는 방법은 가변장 복호화 블록에서 출력되는 9비트의 이산여현변환 계수와 5비트의 quantizer scale 및 6비트의 weighting matrix를 메모리의 어드레스로 사용함으로써 $2^{20} \times 12$ 비트라는 대 용량의 메모리가 필요하게 된다. 그러나 곱셈기로 역양자화기를 구성하는 경우에는 MPEG1 복호화기의 경우 역양자화 표를 저장하는 RAM 블록과 10비트 * 5비트와 15비트 * 8비트 등 두개의 저속으로 동작하는 곱셈기가 필요하다. HDTV의 경우에도 가변장 복호화 블록에서 parallel match 방식을 쓸 경우 20MHz 정도의 곱셈기로 충분히 역양자화를 수행할 수 있다.

역 이산여현변환기의 구현에는 DFT 방식^[13,16], 벡터 내적 연산 방법^[17,18] 및 분산 연산 알고리즘(Distributed Arithmetic Algorithm)^[19,20]을 이용한 방법등이 있다. DFT 연산 방식은 곱셈수가 많아 실질적인 구현에 어려움이 많고, 벡터 내적을 직접 구현하는 방법은 다수의 곱셈기를 이용하여야 하므로 IC로 구현시 많은 면적이 필요하고 연산 속도 또한 곱셈기의 연산 속도에 좌우되는 문제점이 있다. 따라서 현재 사용되는 역 이산여현변환기의 형태는 대체로 분산 연산을 이용한 구조가 구현되고 있다. 이 구조는 벡터 연산을 분산 알고리즘을 사용해 곱셈 연산을 줄이고 곱셈기 대신 look up table(ROM)과 누적기만을 사용함으로써 속도와 면적면에서 구현이 용이하다. 현재 분산 연산 구조를 사용하여 개발된 역 이산여현변환기는 약 100MHz의 연산 속도를 가지고 있어 MPEG1은 물론 MPEG2나 HDTV 등의 시스템에도 응용 가능 하다.

앞에서 기술한 연산 블록들의 연산 속도는 압축되는 동화상의 해상도와 압축 알고리즘에 의해 결정된 압축 비트 데이터의 전송 속도에 의해 결정된다. 그러나 이를 VLSI로 구현하기 위해 동기되는 기본 클

력 주파수는 실질적인 동화상의 복원을 위한 메모리 데이터 전송 속도에 의해 결정 된다. 하나의 동화상을 복원하기 위해서는 메모리에 압축 비트 데이터와 세개의 복원 화상을 저장하고 있어야한다. 따라서 프로세서는 하나의 화면을 복원하기 위해 1.2Mbps의 압축 비트 데이터의 입출력, 복원된 화면의 저장, 기본 화면의 읽기, 디스플레이를 위한 복원된 화면의 읽기 및 메모리의 refresh 등을 수행 하여야 한다. 이와 같은 기능을 수행하는 프로세서와 메모리 사이의 데이터 입출력 속도에 따라 프로세서의 연산 속도를 결정할 수 있다. 따라서 75nsec의 DRAM을 local memory로 이용하고, 1.2Mbps의 압축 비트 데이터 전송 속도와 352 * 240 크기의 해상도를 처리할 수 있는 MPEG1 복호기의 경우 약 40MHz의 클럭으로 연산 되어야한다.

V. CD-ROM 드라이브 IC

CD-ROM은 기존의 콤팩트 디스크와 제원은 동일 하나 약 650 Mbyte의 데이터를 저장할수 있는 광디스크로 16-비트 width의 오디오 데이터는 물론 8-비트의 width를 가진 문자, 그래픽등의 데이터를 각각 오디오 트랙과 데이터 트랙에 기록할 수있다. [21] 따라서 그래픽, 문자 및 오디오 등의 데이터가 서로 어우러져 빈번히 처리되는 멀티미디어 환경에서 CD-ROM의 구동을 위한 CD-ROM 드라이브는 멀티미디어 컴퓨터의 필수품으로 인식되어 있다. CD-ROM 드라이브는 또한 종래의 디지털 오디오용 콤팩트 디스크의 재생이 가능하도록 설계되어 있다. 그림 4에 CD-ROM 드라이브의 구성도를 보인다.

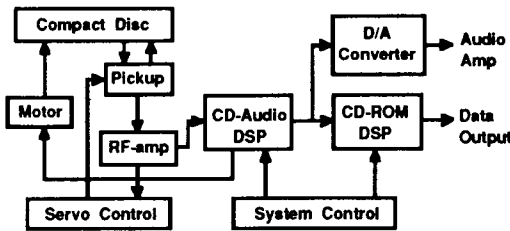


그림 4. CD-ROM 드라이브 구성도

이하 그림 4의 각 블록의 기능에 대하여 기술한다.

픽업 블록은 광원을 콤팩트 디스크에 주사한 후 기록된 정보에 따라 굴곡을 가진 디스크면으로 부터 반사되어 오는 신호를 2개의 photo diode가 감지하여 RF-앰프로 보내며 RF-앰프는 196KHz~720KHz의 주파수 성분을 가진 위 신호를 증폭한 후 EFM (Eight to Fourteen Modulation) 비교기를 거쳐 이진신호로 변환한다. 또한 RF-앰프는 픽업에서의 포커스 에러, 트랙킹 에러등을 교정하기 위하여 2개의 photo diode간의 신호차를 각각의 에러 앰프를 통하여 증폭한 후 서보 콘트롤 블록에 전달한다. 한편, 서보 콘트롤 블록은 포커스 및 트랙킹 에러의 교정을 위해 픽업의 포커스 위상보상 및 트랙킹 위상보상 콘트롤을 주로 수행한다.

CD-Audio DSP 블록은 CD-ROM의 오디오 데이터의 디코딩을 위한 블록으로 일반적인 CDP(Compact Disc Player)의 DSP 구성과 동일하며 크게 보아 EFM 복조와 에러정정 기능을 수행한다. 그림 5는 CD-Audio DSP 블록의 전형적인 구성도이다.

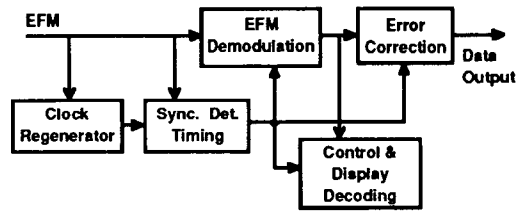


그림 5. CD-Audio DSP 구성도

그림 5의 디코딩 시스템에 대한 설명을 위해서는 콤팩트 디스크에 기록되어 있는 인코딩된 데이터의 비트 구성에 대한 이해가 필요하므로 먼저 콤팩트 디스크 데이터 포맷에 사용된 EFM 변조와 CIRC (Cross Interleave Reed-Solomon Code) 에러 정정 코딩에 대하여 기술하도록 한다.

정보원으로부터 A/D 변환 기능을 통과하여 얻은 8-비트(문자, 그래픽) 또는 16-비트(디지털 오디오) 데이터는 8-비트 심볼 단위로 에러 정정을 위한 인코더를 거친 후 8-비트를 14 채널 비트로 치환하는 EFM 변조기를 통과하여 시리얼 데이터를 출력한다. 한편 콤팩트 디스크의 데이터열은 프레임단위로 구성되며 각 프레임은 셀프 클럭킹이 가능하도록 24 채널 비트의 동기 패턴을 포함하고 각각이 14 채널 비트인 24 데이터 심볼, 8 에러 정정 심볼, 1 콘트롤 및 디

스플레이 심볼과 위 각 심볼당 3 비트의 merging 비트를 포함하여 총 588 채널 비트로 구성된다.

에러 정정을 위한 코딩 방식은 여러가지가 있으나 콤팩트 디스크에서는 심볼 단위의 그룹 코드에 적합한 Reed-Solomon 코딩 방식과 한 개의 코드워드에 여러개의 에러가 있을 경우 정정이 가능하도록 제안된 cross interleaving 수법을 종합한 CIRC 방식을 채택하고 있다. Reed-Solomon 코드는 $f(x) = x^8 + x^4 + x^3 + x^2 + 1$ 로 정의되는 Galois 필드, $GF(2^8)$, 상에서 먼저 각각 8-비트인 24 심볼을 28 심볼로 변환하는 C2 인코딩을 하고 각 심볼이 다른 지연시간을 갖는 interleaving 블록을 거친 후 다시 28 심볼을 32 심볼로 변환하는 C1 인코딩을 거쳐 최종적으로 8개의 패리티 심볼을 생성하는 역할을 한다. 이렇게 생성된 8개의 심볼은 디코딩 과정에서 에러 탐지 및 정정을 위해 쓰이게 된다.

EFM 변조의 목적은 첫째, 디스크로부터 읽혀진 신호의 심볼간 간섭을 줄이기 위해 신호의 transition간의 run length를 크게해야 되는 필요성과 둘째, 이 신호로부터 비트 클럭을 생성하기 위해서는 될 수록 많은 transition이 발생해야 하는 필요성의 서로 상반된 조건을 만족하고 셋째, 신호의 DSV(Digital Sum Value)를 0에 가깝도록 하여 서보 시스템 이득에 영향을 주는 저주파 성분을 줄이기 위하여 특정한 규격을 만족하며 8-비트로 구성 가능한 256가지의 비트 패턴 각각에 대응하는 채널 비트 패턴을 구성하는데 있다. 그런데, 한 채널당 비트수는 앞서 언급한 바와 같이 정보를 갖는 14개의 비트와 심볼간의 merging과 저주파 성분의 감쇄를 위해 추가된 3 비트를 포함하여 실제로는 총 17 비트가 되며 이렇게 구성된 채널 비트의 최소 transition length는 3 비트이고 최대 transition length는 11비트가 되도록 한다.

그밖에 콘트롤 및 디스플레이 심볼에 할당된 8-비트는 각각 트랙 분리, 트랙 수와 시간의 콘트롤과 디스플레이 목적의 서브코딩을 위해 사용된다.

그림 5의 디코딩 시스템은 위에 기술한 인코딩과 정의 역순으로 진행된다. 먼저 디스크로부터 입력된 비트열로부터 PLL을 이용하여 4.3218MHz의 채널 비트 주파수에 lock된 클럭이 재생되며 타이밍 회로에서는 이 클럭을 이용하여 비트 클럭, 심볼 클럭, 콘트롤 및 디스플레이 클럭등을 만들어 낸다. 그리고 동기 탐지 블록은 각 프레임당 24비트로 구성된 동기 패턴을 탐지한다. 한편 14 채널 비트로부터 8 데이

타 비트로의 변환은 EFM 코드맵이 기록된 ROM 또는 로직 어레이 회로를 이용하여 수행할 수 있다. 에러정정 블록에서는 EFM 복조기로 부터 출력된 각 8비트의 32 심볼을 받아 C1 디코더에서 4개의 패리티 심볼을 체크하여 32 심볼에 대하여 한개의 심볼 에러를 정정하게 된다. 이 과정에서 심볼 에러가 두개 이상인 경우 C1 디코더에서는 에러 정정이 되지 않고 erasure flag이 세트된 28 심볼(4개의 패리티 심볼 제외)은 interleaving 블록을 거쳐 C2 디코더에서는 최대 4개까지의 심볼 에러가 정정된 24 심볼을 출력한다. 이와같은 C1, C2 디코더와 interleaving 방식이 종합된 구성을 통해 최대 450 심볼의 burst 에러 정정이 가능하다.

CD-ROM DSP는 데이터 트랙에 기록된 데이터의 descramble 및 에러탐지/에러정정을 수행한다. CD-ROM의 데이터 트랙에는 총 2352 바이트의 데이터가 저장되어 있으며 이 데이터는 각각 12 바이트의 동기 필드, 4 바이트의 header 필드, 2048 바이트의 user 데이터 필드 및 288 바이트의 auxiliary 데이터 필드로 나뉘어 있고, 동기 필드를 제외한 모든 데이터는 scramble되어 있다. 한편, header 바이트는 블록 address와 user 및 auxiliary 데이터 필드의 내용을 규정하는 모드 바이트를 포함하고 있는데, 모드 1의 경우 auxiliary 데이터 필드는 EDC(Error Detection Code) 및 ECC(Error Correction Code)를 포함한다. ECC는 앞서와 마찬가지로 $GF(2^8)$ 상에서 정의된 Reed-Solomon 코드워드인 P_words와 Q_words를 패리티 체크 워드로 포함하고 있으며 동기 필드를 제외한 전체 데이터 블록의 에러 정정을 위해 사용된다. 또한 EDC는 $f(x) = (x^{16} + x^{15} + x^2 + 1) * (x^{16} + x^2 + x + 1)$ 의 polynomial을 갖는 32 비트의 CRC(Cyclic Redundancy Check)로 동기, header 및 user 데이터의 에러 탐지를 위해 포함된다.

VI. 결론

본고에서는 컴퓨터를 중심으로 현재 상용화되고 있는 멀티미디어 관련 VLSI 기술들을 살펴 보았다. 조만간 MPEG-2의 표준이 확정되면 DBS(Digital Broadcasting via Satellite), CATV 등으로 멀티미디어 응용분야가 확장될것이고 이를 위한 칩 개발

경쟁도 한층 가열될 것이라 예상된다. 또한 기존 전 화선을 이용한 화상 통신을 가능케하는 MPEG-4 표준도 구체화될 예정이다.

또한 콤팩트 디스크를 이용하는 저장 기술도 점점 대용량화 되고 고속화 될 것이다. 콤팩트 디스크 기술은 현재 650 Mbytes의 저장 용량과 1.5 Mbps 전송 속도에서 1995년경에는 2.5 Gbytes 의 용량에 4-6 Mbps의 전송 속도, 1990년 말에는 5 Gbytes 용량과, 8-10 Mbps의 전송속도가 가능하리라 예측한다.

또한 Phone, Fax, modem등 통신 기능이 조만간 멀티미디어 시스템에 합병될 것이고 SCSI, FDDI 등의 network 기능이 강화 될것이다.

VLSI 기술은 오디오, 비디오 관련 A/D, D/A 데이터 변환 기술, 그리고 압축 기술을 근간으로 하는 DSP 기술, 그리고 기타 효율적인 데이터 저장을 위한 코딩 기술, 여러 탐지 및 정정 기술을 근간으로 계속 연구 발전 해 나갈것이라 생각된다.

한국에서도 멀티미디어 기술의 중요성을 인지하고 최근 정부 차원의 지원을 계획하고 있으며 특히 MPEG 관련 핵심 부품 개발에 중점 투자를 계획하고 있는것은 늦으나마 다행한 일이다. 현대전자도 멀티미디어 및 HDTV 관련 핵심 반도체 기술확보를 위해 현재 최선을 다하고 있으며 이는 향후 AV 시스템의 경쟁력을 확보하기 위해서도 필수적이라고 생각하고 있다.

參 考 文 獻

- [1] R. J. Higgins, *Digital Signal Processing in VLSI*, Prentice-Hall, Englewood Cliffs, New Jersey, pp.548-555, 1990.
- [2] J. C. Candy and G. C. Temes(Ed.), *Oversampling Delta-Sigma Data Converters-Theory, Design and Simulation*, IEEE Press, Piscataway, New Jersey, 1991.
- [3] ISO/IEC DIS 10918-1, Digital compression and coding of continuous-tone still image, Jan. 2, 1992.
- [4] ISO CD 11172-2, "Coding of moving pictures and associated audio," Nov. 1991.
- [5] CCITT Recommendation H.261, "Video codec for audio visual services at P 64kbits/sec."
- [6] IIT, "Video compression technology overview," Sep. 1991.
- [7] Intel Korea, "DVI technology - multimedia solution for the 90's"
- [8] M. Leonard, "Silicon solution merges video, stills, and voice," *Electronic Design*, pp.45-54, Apr. 1992.
- [9] A. Marherjee, "Efficient VLSI design for data transformation of tree-based codes," *IEEE Trans. CAS*, vol. 38, no. 3, Mar. 1991.
- [10] S.M. Lei and M.T. Sun, "VLSI implementation of an entropy coder and decoder for advanced TV application," *Intl. Symp. on CAS*, May 1990.
- [11] M.T. Sun, "A parallel variable length code decoder fro advanced television applications," *Intl. Workshop on HDTV*, Sep. 1989.
- [12] M.T. Sun, "High speed programmable ICs for decoding of variable length codes," *Proc. of SPIE*, Aug. 1989.
- [13] S. Winograde, "On-computing the discrete Fourier transform," *Proc. Nat. Acad. Sci. USA*, vol.73, no. 4, pp. 1005-1006, Apr. 1976.
- [14] R.C. Agarwal and J.W. Cooley, "New algorithms for digital convolution," *IEEE Trans. ASSP*, vol. ASSP-25, no. 5, pp.392-410, Oct. 1977.
- [15] D.P. Kolbu and T.W. Parks, "A prime factor FFT algorithm using high-speed convolution," *IEEE Trans. ASSP*, vol. ASSP-25, no. 4, pp.281-294, Aug. 1977.
- [16] H.J. Nussbaumer and P. Quandalle, "Fast computation of discrete Fourier transforms," *IEEE Trans. ASSP*, vol. ASSP-27, no. 2, pp.169-181, Apr. 1979.
- [17] K.R. Rao and P. Yip, *Discrete cosine*

- transform*, Academic Press, 1990.
- [18] W.H. Chen, C.H. Smith and S.C. Fralick, "A fast computational algorithm for discrete cosine transform," *IEEE Trans. Comm.* vol. COM-25, no. 9, pp. 1004-1009, Sep. 1977.
- [19] M.T. Sun, T.C. Chen, A. Gottlieb, L. Wu and M.L. Liou, "A 16 * 16 discrete cosine transform chip," *Visual Commun.* and *Image Process. II, SPIE*, vol. 845, pp.13-18, Cambridge, MA, Oct. 1987.
- [20] J.C. Carlach, P. Penard and J.L. Sicre, "TCAD: A 27MHz 8 * 8 discrete cosine transform chip," Intl. Conf. on ASSP, pp.2429-2432, Glasgow, Scotland, May 23-26, 1989.
- [21] SONY CORP., *Compact Disc Read Only Memory System Description*, May, 1985. Ⓜ

筆者紹介



黃 琦 秀

1951年 10月 20日生

1977年 2月 연세대학교 전자공학과 (학사)

1983年 Texas Austin 대학 전기 및 컴퓨터공학과 (석사)

1986年 Texas Austin 대학 전기 및 컴퓨터공학과 (박사)

1976年 ~ 1978年 삼성반도체

1978年 ~ 1981年 금성 통신 연구소

1986年 ~ 1989年 GE R&D Center (연구원)

1989年 ~ 현재 현대전자산업(주) 반도체연구소 (MICRO 개발 담당 이사)

주관심 분야 : VLSI CAD & Design, Micro System 설계

金 太 根

1955年 12月 9日生

1979年 2月 서울대학교 전자공학과 (학사)

1981年 8月 서울대학교 대학원 전자과 (석사)

1988年 12月 Texas A & M 대학 전기과 (박사)

1989年 3月 ~ 현재 현대전자산업(주) 반도체연구소 (수석 연구원)

주관심 분야 : Mixed Signal VLSI 설계, Device Physics

筆者紹介



吳 哲 東

1957年 1月 20日生

1979年 2月 한국항공대학교 전자공학과 (학사)

1987年 8月 Texas A & M 대학 전기과 (석사)

1991年 12月 Texas A & M 대학 전기과 (박사)

1978年 11月 ~ 1984年 6月 대한항공(주) 항공기술연구소 (연구원)

1991年 12月 ~ 현재 현대전자산업(주) 반도체연구소 (책임 연구원)

주관심 분야 : VLSI Architecture, Image Compression Algorithm