

Macro-Modeling을 이용한 SMPS Control IC 설계

柳榮益, 張慶熙, 金德重
三星電子(株)

I. 서 론

스위칭 전원은 종래의 리니어 전원보다 소형·경량·고효율을 특징으로 하며 이러한 특징은 경박단소, 에너지절약 등의 시대적 요구에 부합되어 급속히 증가 추세에 있다.

스위칭 전원의 특성은 입력 전원이 다른 나라에서 도 사용이 가능할 수 있도록 넓은 입력전압 범위 (AC85~285V)에서도 일정한 출력이 유지되어야 하는 안정된 Line Regulation 특성, System을 소형화하기 위한 우수한 주파수 특성 및 까다로운 전원 안전 규격을 만족하기 위한 고신뢰성 및 고품질을 유지하기 위하여 SMPS(Switched Mode Power Supply) Control IC의 기능이 점점 복잡하고 다양해지고 있다.

종래의 리니어 레귤레이터 IC 제품 설계시에는 Power System에 대한 충분한 이해 없이도 IC 설계가 가능하고 회로가 간단하여 회로의 Simulation은 문제가 되지 않았다. 그러나 500여개 이상의 트랜지스터 및 저항으로 구성되어 있는 SMPS Control IC의 전체동작을 Simulation하기는 쉽지 않고 더욱 초기 상태에서 안정화 상태까지 겸중하기 위해서 수십회 이상의 Power 출력 단을 스위칭 해야하는 SMPS System Level의 Simulation은 거의 불가능하다.

본 논문에서는 System Level에서부터 시작하여 Transistor Level을 설계해가는 Top-Down 방식의 IC 설계를 Macro-Modeling 기법을 이용하여 Chip Level 및 System Level의 Simulation을 수행하고자 한다. 예로서 High Speed Current Mode PWM Control IC인 KA3825를 Block별 Macro-Modeling하여 IC Level의 Library를 만들었다.

Power System은 Push-Pull 방식의 50W DC to DC Converter를 Simulation하여 System Level의 설계 가능성을 확인하였다.

II. SMPS Control IC

1. Current Mode PWM 방식

그림 1은 일반적인 Current Mode Control 방식으로 Voltage Mode Control 방식과의 차이점은 Control Loop를 2개 사용하는 Two Loop Control System을 채용하고 있다는 것이다.^[1]

이 PWM 방식은 출력전압의 오차분에 대해 오차증폭기에 의해 증폭된 신호와 입력 Peak Current를 Control하는 전류 증폭기에 의해 증폭된 신호를 비교하여 Main Switch를 제어시킨다.

즉 Main Switch가 on 상태이면 저항 Rsense에 걸리는 전압이 입력전류에 비례하여 증가한다. 이 Ramp 전압이 오차증폭기에 의해 증폭된 출력 오차전압(Ve) 만큼 도달되면 Switching Transistor가 off된다.

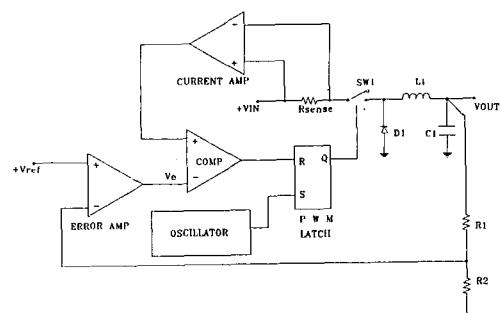


그림 1. Current Mode PWM 구성도

Current Mode Control방식의 특징은 입력전압의 Feed Forward 특성이 실현되어 진다는 것이다. 입력전압이 변화 했을 경우 Inductor에 흐르는 전류, 즉 입력전류의 기울기가 변하므로 전류증폭기 동작에 의해 Main Switch의 on time을 조절시켜 입력전압이 변하더라도 동일한 Power를 System에 공급시켜 주기때문에 Line Regulation특성이 향상된다. 또한 이 방식은 Peak Inductor Current(Peak Input Current)를 조절하는 방식이기 때문에 자동적으로 Pulse-by-Pulse Current Limiting이 실현되며 또한 별도로 연결시켜 Power System을 구동시킬 때 필요한 Current Sharing을 손쉽게 실현시킬 수 있다.

2. KA3825(Current Mode PWM Controller)

동작 개요

KA3825는 고주파 SMPS(Switched Mode Power Supply) 응용에 적합한 High Speed PWM Control IC로 Switching 주파수를 1.5MHz까지 동작시킬 수 있다.

그림 2의 Block Diagram에서 보는바와 같이 제품내부에는 정밀한 전압원, 저소비 전류 기동회로, Soft Start, 고주파 Oscillator, High Current Limit Comparator, 광대역 오차증폭기, Double Pulse를 방지시키는 Logic과 2개의 Totempole 출력으로 구성되어 있다.

Current Mode Control 방식의 PWM Control IC인 KA3825는 출력전압을 안정화시키는 오차증폭기와 입력 최대 전류를 조절하는 Ramp 증폭기로 이루어진 Two-Loop-Control 방식의 IC이다.

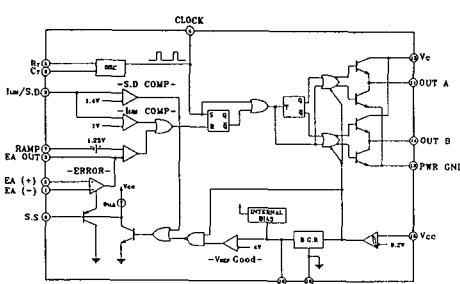


그림 2. KA3825의 Block 구성도

즉, 기동회로가 동작하여 IC가 정상상태가 되면 Oscillator에서 발생하는 Clock신호에 의해 출력이

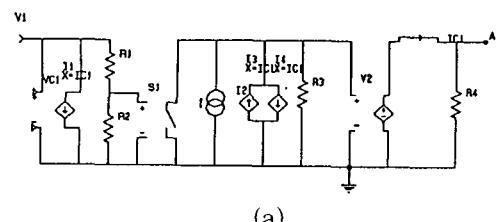
High상태가 되어 외부 MOSFET을 on시켜 SMPS를 동작시킨다. 이때 SMPS의 출력전압은 오차증폭기로 Feedback되고, MOSFET을 통해 흐르는 입력전류는 Ramp 입력을 통해 오차증폭기의 출력과 비교하여 Totempole 출력의 Duty Cycle을 조절시켜 SMPS를 안정화 시킨다.

III. PWM IC Macro-Modeling

Macro-Modeling이란 Basic Function Block을 간단한 등가회로로 Modeling 함으로써 복잡한 회로의 동작을 트랜지스터의 Model Parameter 없이도 검증이 가능하고 Simulation Time, Memory Space 및 Convergence Problem을 줄일 수 있어 IC 전체의 Simulation 뿐만 아니라 Power System의 Simulation을 가능토록 한다.^[2]

1. 기동회로 및 기준전압회로

기준전압은 Zener 항복전압을 이용하는 방법과 전류원을 이용하는 방법이 있다. 그림 3(a)는 전류원을



(a)

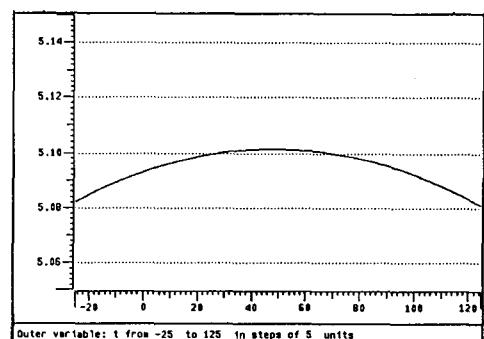


그림 3. (a) 기준전압회로의 Macro-Model
(b) 온도변화에 대한 기준전압특성

이용한 기준전압회로의 Macro-Model이다.

기준전압 $V_{ref} = I_2 * R_3$ 로 결정되며 기준전압의 온도 특성은 저항 R_3 의 온도계수를 이용하여 설계한다.

그림 3(b)는 온도변화에 따른 기준전압 특성으로 KA3825의 실측치와 동일한 특성을 갖고있다. 기준 전압 회로에서 설계되어야 할 전기적 특성은 동작전류, Line Regulation, Load Regulation과 Start-up 전압등이다.

V_{ref} 는 A점에서 얻어지며 I_1 은 I_{c1} 에 흐르는 전류를 Sensing하여 $V_1(V_{cc})$ 에 흐르는 I_{c2} 전류를 결정한다.

R_1, R_2 의 저항비와 스위치 S_1 의 parameter를 이용하여 일정전압 이상에서만 V_{ref} 전압을 발생시키는 Start-up Voltage와 Threshold Voltage를 설계할 수 있다. Line 및 Load Regulation은 입력전압 및 부하전류의 변화에 따른 기준전압의 특성으로 $\Delta V_{Aline} = \Delta I_3 * R_3$, $\Delta V_{Aload} = \Delta I_4 * R_3 / R_3$ 이다.

2. 오차증폭기

일반적으로 오차증폭기는 입력단, 증폭단, 출력단의 3개 stage로 구성되어 있으며 입력단에서는 Differential Mode Gain, 입력저항, DC Offset Terms, Excess Phase Pole, Common Mode Voltage Gain등의 항목을 설계하고, 증폭단에서는 DC Gain, Bandwidth 출력단에서는 Maximum Output Voltage Swing, Current Limiting, 출력저항등이 설계가 되어야 한다.

이와같은 Amp를 Modeling하려면 매우 복잡하기 때문에 간단하게 DC 입력특성, Gain, 출력 Swing 폭만 고려한 Macro-Model을 하도록 하겠다.

그림 4(a)는 오차증폭기의 Macro-Model이며, (b)는 Open Loop 주파수 특성을 나타내고 있다.

오차증폭기의 Macro-Model에서 나타나는 오차증폭기의 특성은 아래와 같다.

$$\text{입력 바이어스전류}(I_B) = \frac{I_{B1} + I_{B2}}{2}$$

$$\text{입력 Offset 전류}(I_{IO}) = I_{B1} - I_{B2}$$

$$\text{DC Voltage Gain } (A_{v0}) = g_{m1}R_2 * g_{m2}R_3$$

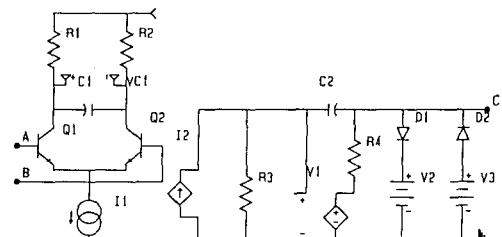
$$\text{입력저항 } (R_I) = 2r\pi$$

$$\text{출력 최대전압 } (V_{OH}) = V_2 + V_{D1}$$

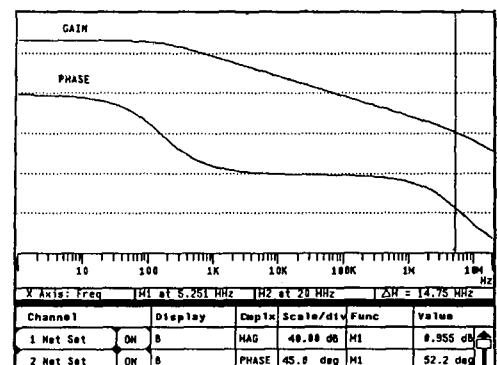
$$\text{출력 최소전압 } (V_{OL}) = V_3 - V_{D2}$$

$$\text{High Frequency Gain } (A_{VF}) = \frac{g_m}{SC_2}$$

$$\text{Gain Bandwidth } (BW) = \frac{g_m}{2\pi C_2}$$



(a)



(b)

그림 4. (a) 오차증폭기의 Macro-Model
(b) Open Loop 주파수 특성

3. Oscillator

Oscillator에 대한 Macro-Model은 SPICE에서 제공되는 Voltage Source의 파형으로도 충분하게 Modeling할 수 있다.

그림 5(a)는 Switch를 이용한 Oscillator Macro-Model로서 S1에서는 Oscillator의 발진 상한전압 및 발진 하안전 압을 설정하고 S2에서는 Clock을 발생시킨다.

Oscillator 동작을 살펴보면 충전시에는 I_1 전류($I_1 = I_{C1} = V_1/R_1$)가 C_1 에 충전되고 방전시에는 I_2 전류($I_2 = I_{C2} = V_1/R_2$)로 방전되며 S_1 의 on, off전압은 2.8V 및 1V로 되어 Oscillator의 상한전압 및 하한전압이 된다.

$$Ton = \frac{R_1 C_1 * \Delta V_{osc}}{V_1} = 0.6 R_1 C_1 (\text{sec})$$

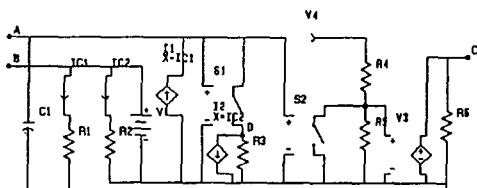
(R_1, C_1 은 응용회로에 사용되는 소자임)

$$T_{off} = \frac{R_2 C_1}{V_1} * \Delta V_{ose} = 180 C_1 \text{ (sec)}$$

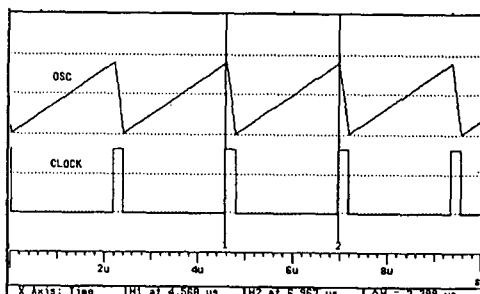
($V_1 = 3V$, $R_2 = 300\Omega$)

$$f = \frac{1}{T_{on} + T_{off}} = \frac{1}{0.6 R_1 C_1 + 180 C_1} \text{ (Hz)}$$

그림 5(b)는 $R_1=3.65K\Omega$, $C_1=1nF$ 일때의 발진파형을 나타내고 있으며 발진주파수 $f=416\text{KHz}$ 이다.



(a)



(b)

그림 5. (a) 발진기의 Macro-Model
(b) 발진 파형

4. Comparator

비교기는 두개의 입력 A, B 및 출력 C로 구성된다. 그림 6은 비교기의 Macro-Model을 나타내고 있다.

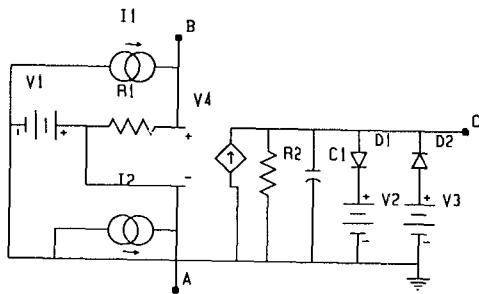


그림 6. 비교기의 Macro-Model

으며 전압이득 A_v 는 Voltage Controlled Current Source의 g_m 으로 설계한다.

$$A_v = g_m R_2$$

입력단 특성 및 출력단 Swing폭은 Error Amplifier와 유사하여 Delay Time은 R_2 , C_1 의 시정수로 설계할 수 있다.

5. Output Stage

출력단에서는 출력전압 Swing범위, 최대출력전류, Delay Time항목을 Modeling하여야 한다.

출력단에 입력된 전압을 전류로 변환하여 최대전류를 설계하며 Capacitor C_1 및 저항 R_1 을 이용하여 Delay Time을 설정한다.

그림 7에서 출력최대전압은 출력회로의 V_c 전압 (V_1)에 의해 변화되게 설계 되어있다.

$$V_{OH} = V_1 - V_4 + V_{D2}$$

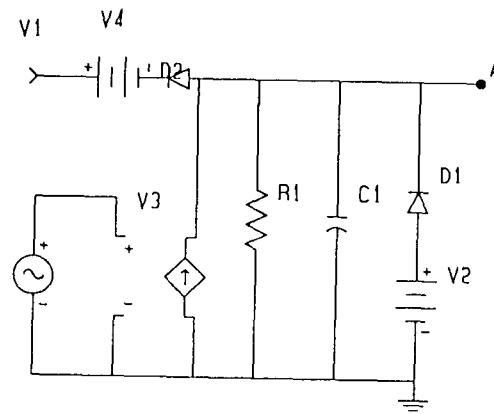


그림 7. 출력단의 Macro-Model

6. KA3825 Macro-Modeling

KA3825 Macro-Modeling에서 Error Amplifier, Start-up, Voltage Reference, Oscillator, Output Stage에서는 앞에서 언급된 Block별 Macro-Model을 동일하게 사용하였으며 Ramp, Current Limit, Shut Down Comparator는 그림 6의 Comparator Macro-Model을 응용하여 사용하였다.

Logic Part는 Gate Level로 Macro-Model로 가능하나 본 논문에서는 Analog Workbench Tool에 제공된 NOR Gate 및 Flip-Flop을 이용하여 구성하였다.

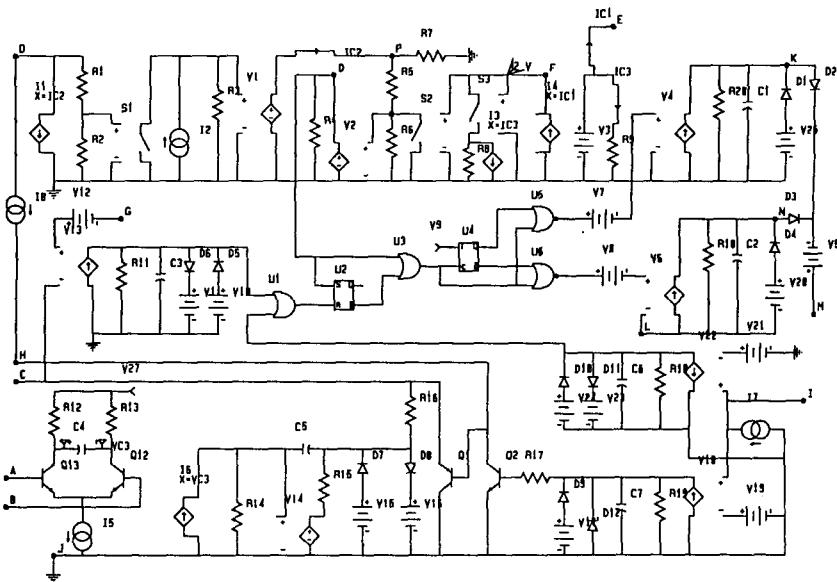


그림 8. KA3825의 Macro-Model

그림 8은 KA3825 전체회로의 Macro-Model이며 node A,B,C,---는 16DIP로 구성된 IC pin 번호 1,2,3,---과 일치시켰다.

IV. Simulation 결과

1. IC Function Test

그림 9는 KA3825의 전기적 특성 및 Function을

위한 Test회로이며 그림 10은 Error Amplifier 출력 전압의 변화에 따른 출력단의 파형을 나타내고 있다.

Error Amplifier의 출력이 감소됨에 따라 출력단 a 및 b의 Duty Cycle이 감소되는 파형이다. Application에서는 출력전압이 높을 때는 Duty Cycle을 감소시키고, 낮은 출력전압에서는 Duty Cycle을 증가시켜 안정된 출력전압을 유지시킬 수 있는 기능을 갖게 된다.

표 1은 Simulation을 통한 중요 항목에 대한 결과를 표시하였다. KA3825 측정치와 일치된 특성을 얻을 수 있었다.

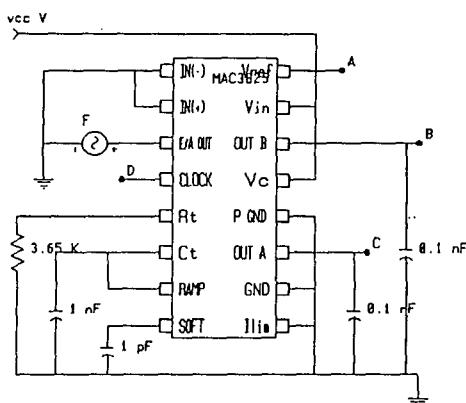


그림 9. KA3825 Test 회로

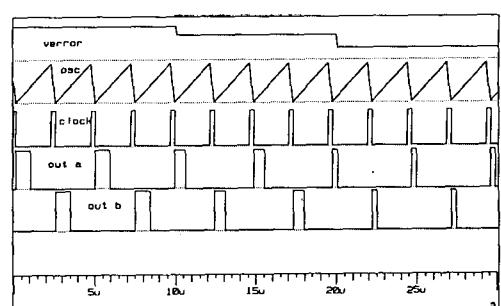


그림 10. KA3825의 Timing Diagram

표 1. KA3825 전기적 특성

| 항 목 | Simulation Data | DA3825 측정치 | 단위 |
|-----------------------|-----------------|------------|-------|
| Voltage Reference | | | |
| Output Voltage | 5.1 | 5.03 | V |
| Line Regulation | 3 | 2.9 | mV |
| Load Regulation | 2 | 1.9 | mV |
| Temperature Stability | 0.2 | 0.17 | mV/°C |
| Oscillator | | | |
| Initial Accuracy | 415 | 404 | KHz |
| Voltage Stability | 1 | 3.4 | % |
| Clock High Level | 4.4 | 4.28 | V |
| Ramp Peak Voltage | 2.8 | 2.68 | V |
| Ramp Valley Voltage | 1.0 | 0.97 | V |
| Error Amp | | | |
| Input Offset Voltage | 0.1 | 0.3 | mV |
| Input Bias Current | 0.4 | 0.27 | uA |
| Open Loop Gain | 95 | 98 | dB |
| Output High Voltage | 4.9 | 4.63 | V |
| Output Low Voltage | 0.5 | 0.59 | V |
| Gain Bandwidth | 5.5 | | MHz |
| Under Voltage Lockout | | | |
| Start Threshold | 9.2 | 9.29 | V |
| Hysteresis | 0.8 | 0.71 | V |
| Start up Current | 0.5 | 0.54 | mA |
| Operating Current | 20 | 22.8 | mA |

2. SMPS System Simulation

그림 11은 KA3825를 사용한 1.5MHz, 50W Push Pull converter이고 48V의 DC입력전압을 5.1V로 변환시키는 Power Supply이다.^[3]

Simulation을 통하여 출력전류가 5A에서 안정

된 출력전압을 갖고 있는 것을 확인할 수 있었다.

그림 12는 안정된 상태에서의 Switching파형을 나타내며 출력단에 5.1Vdc전압이 유기됨을 알 수 있다.

표 2. 응용회로 소자값

| Resistors | Capacitors | Semiconductors |
|---------------|---------------|----------------|
| R1 20kΩ | C1 10μF | D1 1N5820 |
| R2 33kΩ | C2 0.01μF | D2 1N5820 |
| R3 500 | C3 1nF | D3 MBR1045 |
| R4 2kΩ | C4 470pF | D4 MBR1045 |
| R5 6.8kΩ | C5 10pF | D5 1N4985 |
| R6, R8 5.7Ω | C6 120pF | D8 1N5806 |
| R7, R9 1kΩ | C7 10nF | D9 1N5806 |
| R10, R11 1kΩ | C8 2.2μF | Q1 IRF633 |
| R12, R13 100Ω | C9, C10 150pF | Q2 IRF633 |
| R14 0.37Ω | C11 15pF | U5 KA3825 |
| R15, R16 12Ω | C12, C13 5nF | L1 720nH |
| R17 0.1Ω | C14 3.3nF | N1 PQ20/20 |

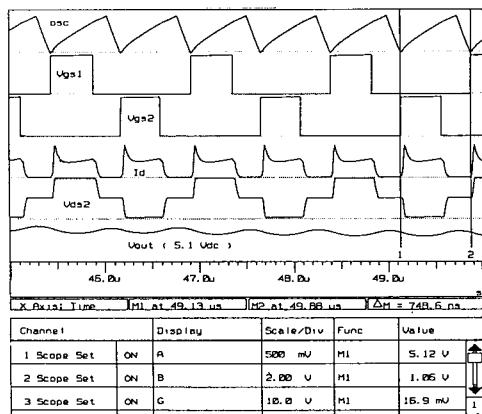


그림 12. Push-Pull Converter Simulation 파형

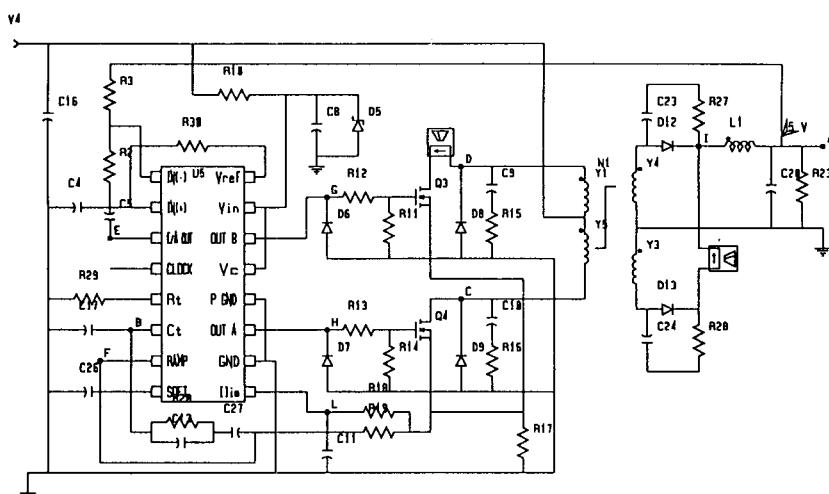


그림 11. 1.5MHz Current Mode IC Controlled 50W Power Supply

V. 결 론

参考文獻

본 논문에서는 Macro-Modeling을 이용하여 SMPS Control IC의 각 Block 별 Simulation을 실행하였으며, 이를 활용하여 SMPS System Level에서의 Simulation 까지 가능함을 검증해 보였다.

Macro-Modeling을 활용함으로써 SMPS Control IC 및 Mixed Analog IC에서도 Top-Down방식의 IC 설계가 가능하고 회로설계 기간의 단축 및 System 기술력을 배양시킬 수 있다.

Macro-Modeling을 활용하면 IC를 System에 적용시킬 때의 문제점을 사전에 검출하여 제거시킴으로서 System을 구성하는 데 적합한 IC 설계를 가능케 한다.

- [1] L.Dixon, " Closing the Feedback Loop " Unitrode Power Supply Design Seminar, Topic2, 1990.
- [2] 김 재휘, 박 호진, 한 창석, "새로운 연산 증폭기의 Macromodeling" Semiconductor Technical Journal, Vol. 6, No. 1, pp. 99-74, Jun. 1991.
- [3] B.Andreycak, " 1.5MHz Current Mode IC Controlled 50 Watt Power Supply ", Unitrode IC Data Handbook, U-110, 1990. 

筆者紹介



金德重

1952年 2月 3日生

1974年 2月 서울대학교 재료공학과 졸업

1982年 6月 미국 UC 버클리 대학원 전자공학과 졸업(석사)

1984年 6月 미국 UC 버클리 대학원 전자공학과 졸업(박사)

1984年 7月 ~ 1986年 7月 미국 AMI사 수석연구원

1986年 9月 ~ 1988年 5月 미국 GE사 수석연구원

1988年 5月 ~ 1990年 5月 미국 STIconix사 매니저

1990年 5月 ~ 1993年 삼성전자(주) 전력전자 담당이사

주관심분야 : 전력용 반도체 설계 및 Simulation



柳榮益

1956年 9月 15日生

1982年 인하대학교 전자공학 졸업

1982年 3月 ~ 1993年 삼성전자(주) 전력전자 선임연구원

주관심 분야 : SMPS 및 RMPS Control IC 설계 및 각종 Power System



張慶熙

1963年 2月 7日生

1985年 2月 인하대학교 전자공학 졸업

1984年 12月 ~ 1993年 삼성전자(주) 전력전자 선임연구원

주관심 분야 : SMPS Control IC 및 각종 Power 관련 IC 설계