

마이크로프로세서 기술

盧亨來, 朴星培
三星電子(株)

I. 마이크로프로세서

현대사회는 첨단 전자정보산업에 의해 빠른 속도로 혁신적 구조변화가 진행되고있다. 첨단 전자정보산업을 주도하는데는 여러가지 분야가 있을 수 있으나 특히 컴퓨터와 반도체 분야의 괄목할 만한 발전은 실생활에 직접, 간접적으로 큰 변화를 가져다 주고있다.

마이크로프로세서는 컴퓨터의 구조(Architecture) 기술과 반도체의 구현(Implementation) 기술을 최적 결합하여 빠르고(Fast), 똑똑한(Smart) 신세대를 대표하는 정보산업, 전자통신 제 분야 제품에서 계산, 판단 및 처리용 전자 두뇌 (Electronic Brain) 기능을 담당하는 VLSI 칩 으로서, 사용된 시스템의 구조와 특성, 성능의 한계를 결정지워주는 가장 중요한 설계 기준을 제공하는 반도체 핵심 부품이다. 고속 고집적 VLSI 기술과 고성능 지능화 컴퓨터 기술이 최적 적용되는 마이크로프로세서 기술은 매 2~3 개월마다 보다 개선된 차세대 신종 경쟁 제품이 발표됨으로서 컴퓨터 시스템은 물론 각종 전자제품의 성능 혁신을 실질적으로 주도하고있다.

마이크로프로세서의 성능을 향상시키는것은 곧 프로그램 실행 시간을 가능한 한 단축시킴으로서 가능하다. 일반적으로 프로그램 처리 시간은 다음과 같이 표현 될 수 있다.

$$\text{처리시간} = \text{총 실행 명령어 갯수} * \text{CPI} * \text{클럭 사이클 타임}$$

(CPI = 개별 명령어당 소요 클럭 사이클 수)

따라서 성능향상을 위해서는 고속의 반도체 구현

기술을 사용하여 클럭 사이클 타임을 최소화하며, 최적의 컴퓨터 구조 기술을 적용하여 처리되는 작업의 경로(path: 총 실행 명령어 갯수) 를 최소화하며, 반도체의 고집적 기술을 통한 복수개 처리장치의 내장과 컴퓨터의 슈퍼스칼라 슈퍼 파이프라인 구조를 통한 CPI의 최소화를 통해 단위시간당 처리능력을 최대화 시키는 기술들이 필요로 된다.

이를위해 반도체 구현 기술에서는 서브마이크론급 CMOS 공정기술, 100~200MHz급 패키지 설계 및 제작 기술, 고속 고집적 저전력 CMOS 전기 및 논리 회로 설계 기술, VLSI CAD를 이용한 다단계(구조, 기능 수준에서 레이아웃 후 검증) 시뮬레이션, 논리 합성, 레이아웃 자동 생성 및 검증등 주요 기술들이 균형적으로 적용되어야하며, 컴퓨터 구조 기술로서는 명령어 설계, 성능 예측 및 구조 시뮬레이션, 슈퍼스칼라 슈퍼파이프라인 구성, 컴파일러 최적화, 메모리 관리 보호 및 예외 처리를 통한 OS 지원, 캐쉬 메모리 구성, 부동 소수점 연산 처리, 분기 명령어 예측 및 타겟 캐쉬, 고성능 버스 구조 및 멀티프로세서 지원 기술들이 필요로 된다.

본고에서는 일반적으로 사용되고있는 32비트/64비트 마이크로프로세서들을 중심으로 현재 각 관련사들의 개발 동향, 마이크로프로세서 제품의 기술 동향 및 향후 전망, 주요 구조 및 구현 기술에 대한 소개와 전개 현황 및 발전 전망들을 다루기로 한다.

II. 마이크로프로세서 기술발전과정

1971년 Intel i4004에서 1993년 Intel Pentium

에 이르기 까지 지난 22년간 100종 이상의 상이구조를 갖는 마이크로프로세서, 마이크로컨트롤러, DSP 등의 프로세서들이 개발되어왔다. 그동안 동작주파수는 i4004 의 750KHz 에서 DEC Alpha의 200MHz로 200배 이상, 트랜지스터 집적도는 i4004 의 2,500개에서 Pentium의 310만개 수준으로 1,000배 이상 향상되었으며, 기존의 수퍼컴퓨터에서 사용되던 고급 구조 기술들이 단일 실리콘 칩에 적용되고있다.

2000년까지 3 내지 6 단위이상 더 증가될 것으로 전망되고있다. [1] 그림 2에는 실장 트랜지스터 갯수를 중심으로 한 마이크로프로세서 발전 과정을, 그림 3에는 구조적인 전개 과정을 도시하였다.

최초의 마이크로프로세서 4비트 i4004는 일본 비지컴 사의 계산기용으로 개발되었으며 이후 현금등록기, 프린터, 단말기등에 사용된 8비트 i8080, MC 6800등이 등장하였고 1972년 disk 와 4K DRAM의 등장에따른 DOS(Disk Operating System)의 실현이 가능해 짐에따라 응용분야가 데이터 처리 분야로 확장되며 현재까지도 일부에서 응용되고있는 Zilog Z80 이 개발되었다.

보다 넓은 메모리 공간과 보호 및 관리의 요구에따라 16비트 i8086, MC68000, Z8000 등이 발표되었으며, 1981년 IBM PC의 전격적인 8088 채용에 의해 Intel x86 마이크로프로세서와 마이크로소프트사의 DOS 가 현재와 같은 거대 규모로 발전이 가능하게 된 계기가 되었다. 이 후 x86 계열은 주로 PC에, 68x 계열은 주로 엔지니어링 WS(Workstation)에 사용되었으며, 보다 고성능이 요구되며 RISC 기술이 등장하자 1985년을 기점으로 UNIX, GUI(Graphical User Interface), LAN, RISC 가 사용되는 WS 이 등장하게 되었다.

PC 시장의 급속한 확장에 의해 WS에서 사용되던 GUI, LAN, RISC 기술들이 PC 혹은 기존의 CISC 마이크로프로세서들에 적용되어 Intel Pentium 에서도 2-웨이 수퍼스칼라 파이프라인을 사용하기에 이르렀다.

1980년대 초반 부터 중반까지 발표된 제 1 세대 RISC 타입 프로세서들은 대부분 명령어의 단일 사이클 실행, 파이프라인 구조의 최적 이용, 단순 고정된 명령어 형식, CISC에 비해 확장된 레지스터 파일 구조, Load/Store 메모리 액세스, 레지스터간만의 연산 등 전형 적인 RISC 특성을 고루 갖추고있으며 대표적인 프로세서로서 Berkeley대학의 RISC I/II, Stanford 대학의 MIPS, Ridge, Acorn ARM, Pyramid, IBM 801(RT-PC) 등이 있다.

1980년대 중반부터 후반에 이르기까지 제 2 세대 RISC 타입 프로세서들이 개발되었으며, 1세대에 비해 MMU, Cache, 부동소수점 연산, 멀티프로세서 지원 기능들이 추가 혹은 개선된 프로세서로서 SUN SPARC, MIPS R2000/R3000, Berkeley SPUR, Stanford MIPS-X, Fairchild Clipper, HP-PA,

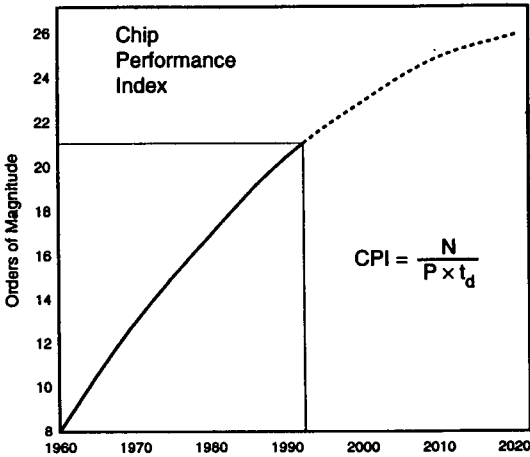


그림 1. Chip Performance Index(from Jame Meindl, RPI)

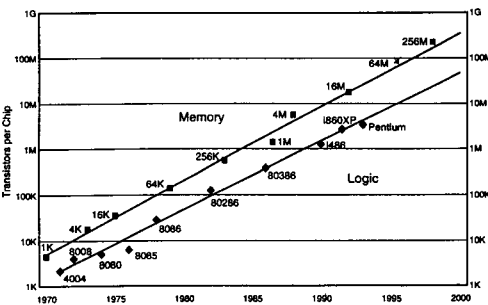


그림 2. 메모리와 마이크로프로세서의 트랜지스터 집적도 (from Intel)

그림 1 에는 CPI(Chip Performance Index: 트랜지스터 갯수/ Power-Delay 곱)를 상온에서 실리콘의 경우로 보였는데 1960년 이후 13 단위차이 (Orders of Magnitude: 10**13) 만큼 증가하였고

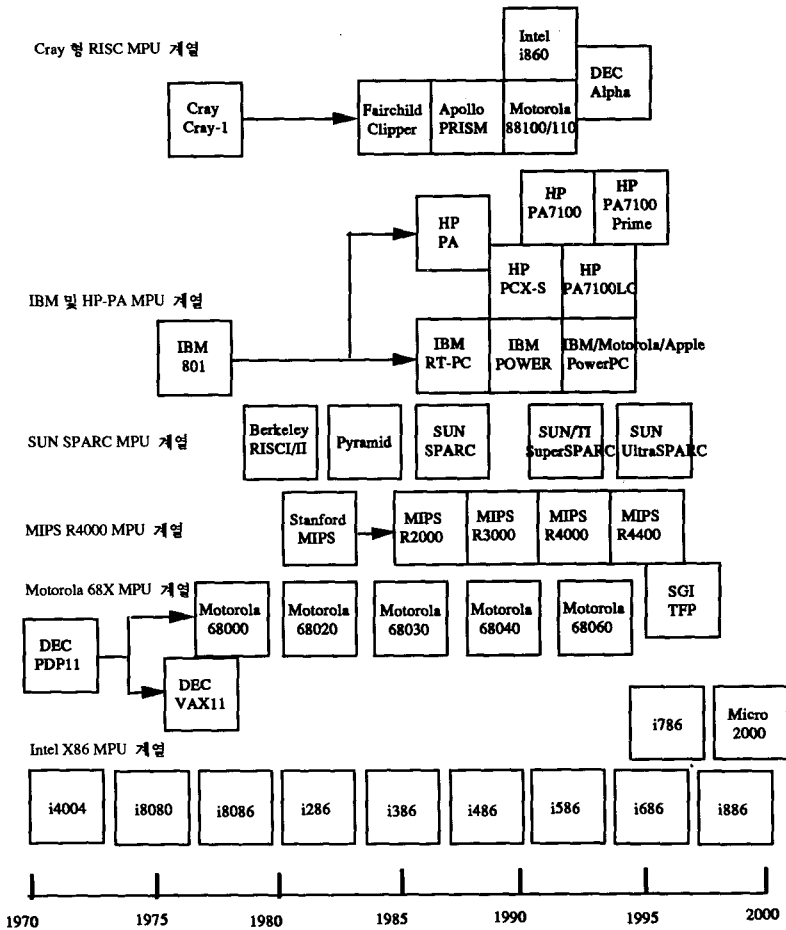


그림 3. 32비트/64비트 마이크로프로세서 구조 발전 단계

AMD 29000, AT&T CRISP(Hobbit), IT&T CAP, Xerox Dragon, Inmos Transputer, Motorola MC88100등을 들수 있다.

제 3 세대 RISC 프로세서들은 1989년 Intel i860 이 발표되며 등장하기 시작하였는데 주로 Cray, Cyber, FPS, CDC등 슈퍼컴퓨터에서 사용되던 슈퍼스칼라, 슈퍼파이프라인 구조를 적용, 기존의 CPI (Clocks Per Instruction) 를 역전 (예: 2 클럭/명령어를 2 명령어 /클럭으로) 시키기 시작하였다. 이것은 RISC의 단순성, VLSI의 고집적 고속 구현 기술, CDC6600에서 사용된 스코어보딩등 슈퍼컴퓨터의 구조 기술들이 복합적으로 조화된 결과로서 Intel Pentium(CRISC), i860, i960, SUN/TI SuperSPARC, Cypress/Ross HyperSPARC, Motorola MC 88110, MC68060(CRISC), HP-

PA7100, IBM Power, MIPS R4000, DEC Alpha 21064, SGS-Thomson T9000 Transputer, National 32SF641(CRISC), Intergraph C400 등이 있다.

제 4 세대로서는 RISC와 CISC 의 개념이 없으며 64비트 프로세서 Intel P6/P7, SGI TFP(T5: Next MIPS), DEC Alpha EV5/6, IBM PowerPC 620, HP-PA7100 Prime, SUN UltraSPARC 의 제품이 예측되고 있다.

Ⅲ. 마이크로프로세서 기술 동향

표 1에 세계 주요 반도체 및 컴퓨터 회사들의 마이

표 1. 세계 주요 반도체 및 컴퓨터 및 컴퓨터 업체의 마이크로프로세서 관련 활동 현황

회사명	마이크로프로세서 주요 개발활동 현황
AMD	386, 486 시판중, Superscalar 586 개발 추진, 29000 EC*, 29050 High-End, HP와 0.35um Fab. 협력
AT&T	PCS(personal Communication Service)용 Hobbit (구 CRISP) 및 DSP 개발
Fujitsu	AMD 386 license, SPARClike EC, 64-Bit SPARC V.9 (HAL) 개발, HyperSPARC (Cypress/Ross) 인수
Hitachi	HP PA-RISC license(100MHz BiCMOS, 50MHz CMOS), SH7032, H8/500, SuperSPARC(2nd source)
IBM	386, 100MHz 486, PowerPC 601, 603, 604, 620, 300 EC 개발
Intel	Pentium(586) 발표, P6 및 P7 (RISC Core) 병행 개발, 차세대 i860, i960 EC, Multimedia i750
Matsushita	2-Chip 10M Tr. 100MHz 400~500MIPS (Ultra)SPARC 1994년 목표 개발중
Mitsubishi	MPU 주 활동 미미함, 최근 DEC Alpha 와 전략적 제휴
Motorola	IBM/Apple 과 PowerPC 주력, 100MIPS 68060 발표, 88110 EC
National	DSP 강화 Swordfish (100MIPS 32SF641), Bitmap 강화 32CG32 EC
NEC	MIPS R4000 주력 WindowsNT 포팅, V810 Low-End EC, TRON, AT&T Hobbit MPU license
Philips	SPARC EC, Medical Instruments 용 VLIW MPU, Hyatt MPU/MCU 특허 스폰서
Samsung	HP PA-RISC license
SGS-Thomson	Inmos Transputer T9000, Cyrix x87 Foundry
Sharp	Apple PDA/ARM license,
Siemens	MIPS R4000 license, 전통적으로 마이크로프로세서 2nd source
Sony	MIPS R4000 EC 중점, PDA/PCS 마켓을 위한 본격적인 Low-End MPU 활동 예견
Texas Instruments	Cyrix 486 Foundry, SuperSPARC supplier, 자체 x86 MPU 팀 구성중
Toshiba	WindowsNT 용 MIPS R4000 주력, CMOS SPARC(Captive Only)
Hyundai	1993년중 486 샘플예정(93 ICE Report), Metaflow ThunderSPARC 개발중
UMC	486 발표 지연(설계문제), 대만 자체개발 SPARC, 독일 Hyperstone foundry
DEC	200MHz 64-Bit Alpha, Single Chip VAX
VTI	ARM 생산 판매, Intel Polar (Low Power 386/486) 공동 개발중
HP	100MHz 120SPECmark PA7100, PA7100LC, PA7100 Prime, VLIW-PA RISC 개발중
x86 Clone 업체	Cyrix, VM Tech, IIT, C&T 포함 미국 실리콘밸리 중심 10여개 이상 활동중

*EC: Embedded Controller

크로프로세서 관련 활동 현황을 정리하였다. 마이크로프로세서는 제품으로서만이 아니라 각 회사의 반도체 및 컴퓨터 기술을 대표하는 첨단 기술의 평가 척도로도 사용되며 개별 혹은 회사 연합의 그룹 형태로 기술력을 집중시키고 있다. 표 2에 현재 활동중인 RISC 기술연합의 대표적인 4개 단체인 PRO(HP-PA), POA(IBM-Power), SPARC International, ACE(MIPS) 의 그룹 활동을 요약하였다.

최신 마이크로프로세서의 기술은 주로 성능 비교를 통해 우열을 가리게되며 일반적으로 SPECmark 수치를 기준자료로 사용한다.⁽²⁾ SPEC(Standard Performance Evaluation Corporation)은 21개 시스템 회사들이 공동 출자한 비영리회사로서 1989년 10월 처음으로 발표한 SPECint89, SPECfp89와 이후 1992년 CINT2.0(Integer), CFP2.0(Floating-Point) 을 사용한 SPECint92, SPECfp92

표 2. RISC Open Architecture 콘소시움 현황

콘소시움명(구조)	가입회원사		비고
	반도체	시스템	
PRO (HP-PA)	삼성전자 HP Hitachi Oki Winbond	삼성전자 HP Hitachi Oki Convex Mitsubishi Sequoa Stratus Yokogawa	- HP-UX Based ABI/API 개발 - Embedded Controller SIG - RISC-PC TO(Task Group) 에서 WindowsNT Porting 추진 중 (Hitachi, Oki, Winbond)
POA (IBM-Power)	IBM Motorola	IBM Apple Bull(France) Tadpole(UK) Thomson-CSF Harris	- OS: IBM AIX + Apple Mac. - CPU: IBM Power + M88110 LIO - 기술공유 - 공동개발
SPARC International (SPARC)	TI Cypress LSI Logic Philips Fujitsu Matsushita Weitek	SUN Micro Solbourne Andal ICL Fujitsu Matsushita Tohiba	- 64비트 Architecture 정의 - 총 9종의 CPU 과제 진행중 - microSPARC 3종 - SuperSPARC 3종 - UltraSPARC 3종 - X86 Platform용 Solaris OS
ACE (MIPS)	NEC Tohiba LSI Logic IDT QED Matsushita Performance Siemens	DEC Silicon Graphics Siemens NEC Sony Sumitomo	- Microsoft WindowsNT Porting 및 Demo - MIPS사를 주축으로 Architecture가 전개되어 왔으나 Silicon Graphics로 흡수. 이제 MIPS-V/VS/TFP 발표 - Compaq 등 4개회사 탈퇴

가 있다. 이 수치들은 기존의 MIPS(Million Instructions Per Second) 단위가 성능 비교에 객관적 자료로 사용되기 어려움에따라 다양한 응용 프로그램의 직접 실행 속도 비교를 통한 성능 지수로 제안되었다. 새로 발표된 CINT2.0은 EDA에 사용되는 espresso(PLA optimizer), li(LISP interpreter), eqntott(Boolean equation translator), compress(text compression 및 decompression), sc (spread-sheet benchmark), gcc(compile 76 input files) 등 6개 프로그램으로 구성되어있고, CFP2.0은 spice2g6(EDA SPICE 전기회로 시뮬레이션), doduc(Thermo-Hydraulical 시뮬레이션), fpppp(Quantum Chemistry application) 등 14개 프로그램으로 구성되어있다. SPECmark 수치는 VAX-780에서의 처리시간(SPEC Reference Time)으로 타겟 머신에서의 처리 시간을 나눈값으로서 각 개별 프로그램의 SPECratio를 곱한 후 SPECint92에서는 6개 프로그램임으로 6 제곱근값을, SPECfp92에서는 14개 프로그램임으로 14 제곱근값을 갖는 기하평균 (GM:Geometric Mean) 값을 취하게된다. VAX-780의 기준 SPECint92, SPECfp92는 각각 1이되며 SPECint92가 100이라면 해당 시스템은 VAX-780에 비해 정수 처리 속도가 기하평균적으로 100배라고 말할 수 있다.

각급 마이크로프로세서의 상세 기술 비교를 표 3에 정리하였으며 성능면에서 최신의 마이크로프로세서들은 보통 SuperSPARC의 53.6에서 Alpha 21064의 106.5 수준의 SPECint92 수치를 가지며 SPECfp92는 SuperSPARC의 57.2에서 Alpha 21064의 200.4 수치 범위내에 있다.

대부분의 최신 마이크로프로세서는 슈퍼스칼라 구조를 채택하여 단일 사이클에 2개~3개의 명령어를 동시에 이슈한다. MIPS R4000/R4400은 유일한 슈퍼파이프라인 프로세서이며 외부 50MHz/75MHz 클럭에대해 내부에서 100MHz/150MHz로 동작시켜 세분 파이프라인을 통한 단위 클럭당 처리량 증가를 구현하였다. 그러나 MIPS의 아키텍트 회사인 SGI (Silicon Graphics Inc.)는 차세대 MIPS 구조, TFP에서 슈퍼파이프라인을 포기하고 4-웨이 슈퍼스칼라 구조를 사용 할 계획으로 발표하여 슈퍼스칼라의 경향이 더욱 강화되었다. 슈퍼스칼라에서도 일정한 복수개 명령어 동시 이슈 방식(Intel P5) 보다는 무순 (Out of Order) 이슈 후 스코어보딩등을 통한 결과 처리 방식(Intel P6)이 부각되고있다.

반도체 기술로서는 동작 주파수가 SuperSPARC의 40MHz에서 DEC Alpha의 200MHz 범위내에 있으며 공정기술로서 Intel Pentium과 SUN/TI SuperSPARC의 BiCMOS를 제외하면 대부분 CMOS 기술을 사용하고있다. 설계규칙은 0.5um~1.0um, 2~5 Metal(IBM) CMOS가 주종이며 트랜지스터 집적도는 대개 160만개에서 330만개를 사용하였다. 내장된 캐쉬 메모리 크기는 8K 바이트에서 36K 바이트(SuperSPARC) 수준이다.

마이크로프로세서의 응용 측면에서는 High-End PC와 Low-End WS의 구분이 불명확해지며 이미 SUN과 HP WS에서 PC의 DOS 에뮬레이션을 제공하고있다. 전통적으로 Business 용도인 PC와 Technical 용도인 WS이 서로의 분야를 누가 선점하는가는 곧 PC의 x86 계열 마이크로프로세서와 WS의 RISC 프로세서간 대결 양상의 부각을 의미하며 그동안 x86 계열만을 지원하여 DOS, Windows를 독점 공급해 왔던 Microsoft사가 보다 고성능이 요구되는 WindowsNT부터 Intel은 물론 RISC 프로세서도 지원함으로써 혼란도가 증가하고있다. 여기에는 MIPS R4000, DEC Alpha가 이미 제품을 발표하였고 IBM PowerPC, HP-PA도 곧 참여 할 것으로 예상된다. WindowsNT는 또 다른

표 3. 32비트/64비트 마이크로 프로세서 특성 비교표

구분	Architect 회사명	동작주파수 (MHz)	성능	T _r 밀레초	반도체 공명 기술	파이프라인	레지스터	Cache 구조	MMU	FPU
프로세서										
PA7100	HP	100	80 / 150*	850K	0.8um 3M CMOS/17W	2-Way*** 5-Stage	32X32 / 32X64****	Off-Chip / Direct Map	120 Full/1 Micro	On-Chip
Power 6264	IBM	62.5	60 / 125	3.1M**	0.7um 3-5M CMOS	4-Way 6-Stage	32X32 / 32X64	32K 1-Cache	144 Entries	On-Chip
SuperSPARC	SUN	40	93 / 64	3.1M	0.8um 3M BiCMOS/8W	3-Way 4-Stage	32X136 / 32X32	20K 5W 1/16K 4W D	64 Entries	On-Chip
R4400	SGI	75/150(내부)	94 / 105	2.2M	0.6um 2M CMOS/20W	SuperPipe 4/8-Stage	32X64 / 16X64	8K Dir 1/8K Dir D	96 Entries	On-Chip
Alpha 21064	DEC	200	106 / 200	1.7M	0.75um 3M CMOS/30W	2-Way 7-Stage	32X64 / 32X64	8K 2W 1/8K 2W D	32 D/121 E Entries	On-Chip
Pentium	Intel	66	65 / 57	3.1M	0.8um 3M BiCMOS/13W	2-Way 5-Stage	8X32 / 8X80	8K 2W 1/8K 2W D	32 4W 1/64 4W D	On-Chip
MC68060	Motorola	50	40/40	2M	0.5um 3M CMOS/3-5W	2-Way 6-Stage	8X32 / 8X80	8K 4W 1/8K 4W D	64 / 64 D Entries	On-Chip
Am9950	AMD	33	23 MIPS	431K	0.8um 2M CMOS/11W	1-Way 4-Stage	32X192 / 32X32	1K 1-Cache	64 Entries	On-Chip
i860	Intel	50	42 SPEC	2.55M	1.0um 2M CHMOS	2-Way 4-Stage	32X32 / 16X64	16K 4W 1/16K 4W D	64 Entries	On-Chip
Transputer9000	Inmos	40	36 MIPS	3.3M	1.2um 2M CMOS/7W	8-Way 5-Stage	Stack	16K SRAM	None	On-Chip
Clipper 400	Intersgraph	50	42 SPEC	300K	1.2um 2M CMOS	2-Way 5-Stage	32X32 / 16X64	Off-Chip / Direct Map	Off-Chip	Off-Chip
Swordfish	National	50	70 SPEC	1.1M	1.0um 2M CMOS	2-Way 5-Stage	32X32 / 16X64	4K 2W 1/1K 2W D	On-Chip	On-Chip
MC88110	Motorola	50	64 SPEC	1.3M	0.8um 2M CMOS	2-Way 4-Stage	32X64 / 32X64	8K 2W 1/8K 2W D	Off-Chip	On-Chip
Hobbit	AT&T	30	20 MIPS	419K	0.9um 2M CMOS/0.25W	1-Way 3-Stage	Stack	3K 1-Cache/256 D	32X2 Entries	None
ARM610	ARM	25	15 MIPS	359K	1.0um 2M CMOS/0.43W	1-Way 3/5-Stage	31X32	None	32	None
SHT032	Hitachi	20	16 MIPS	593K	0.8um 2M CMOS/0.5W	1-Way 5-Stage	16X32	None	None	None
V810	NEC	25	17 MIPS	340K	0.8um 2M CMOS/0.5W	1-Way 5-Stage	32X32	1K 1-Cache	None	None
EI	Hyperstone	40	32 MIPS	85K	1.2um 2M CMOS/0.5W	1-Way 2-Stage	8X32	328 1-Cache/256 D	None	None
i960CA	Intel	66	30 SPEC	600K	1.0um 2M CHMOS	3-Way 3-Stage	32X32	1/1K 1-Cache/1.5K D	Off-Chip	Off-Chip
SIART90	ETRI	33	33 MIPS	160K	1.0um 2M CMOS/0.5W	1-Way 4-Stage	32X32	Off-Chip	Off-Chip	Off-Chip
SPARK	Yonsei Univ	20	20 MIPS	140K	0.8um 2M CMOS/0.5W	1-Way 4-Stage	32X136	Off-Chip	Off-Chip	Off-Chip
GRM	KAIST	25	25 MIPS	384K	0.8um 2M CMOS/1.4W	1-Way 5-Stage	32X32	2K 1D-Cache	Off-Chip	Off-Chip

* A (SPECint92) / B (SPECfp92) ** 3-Chip Total *** X-Way Superscalar **** Integer Register / Floating Point Register

한편으로 UNIX 와의 대결도 되는데 IBM, HP, SUN 등 기존의 UNIX 회사들이 별도의 콘소시움을 형성하여 WindowsNT에 대응해 나갈 것으로 전망되어 사실상 동일 회사내에서도 적과 아군이 따로 없이 세계 시장의 판도에따라 이해가 갈리게되는 다극화 현상이 두드러질것으로 예측된다.

IV. 마이크로프로세서 제품 동향

주요 개별 마이크로프로세서들의 개발 현황 및 전망을 소개함으로써 보다 구체적인 첨단 마이크로프로세서의 현황과 향후 전개 방향에 대한 이해를 돕고자 한다.⁽³⁾

1. 사용자 지상주의 - 시장독점형 Intel x86

Intel 은 비록 성능면에서 약점이 있음에도 불구하고 기형성된 1억 이상의 PC 사용자들을 위해 막대한 투자를 해 가며 x86 의 성능 향상을 추진하고있다. 1992년 세계 32비트 마이크로프로세서 시장 36억달러 중 x86 마이크로프로세서로 28억달러의 매출을 기록, 76% 이상 시장을 독점한 Intel 은 1993년 3월 Pentium 을 발표, 고성능 WS 시장까지도 목표로 하고있으며 1994년내에 P6 를 통해 성능을 한단

계 더 개선시킬 계획이고, 1992년 7월 Santa Clara 에서 정식으로 출범한 P7 팀에서는 P5, P6 에서 실행에 옮기지 못한 RISC 코어 활용, x86 명령어 에 플레이션을 본격적으로 추진, 향후 성능 경쟁에 대비해 나가고 있다. P6 에서는 7백만개의 트랜지스터를 집적하여 175MIPS 성능에 음성 및 비디오 등 멀티미디어 기능 블록이 내장될 것으로 예견되며 P7 에서는 2,000만개 트랜지스터를 사용하여 250MIPS 에 완전한 64비트 RISC 구조를 갖게될 것으로 전망된다.

Intel과는 별도로 IBM에서는 자사내의 PowerPC 고속 기능 모듈들을 최대로 활용한 100MHz 486 이 개발 되었고 AMD 에서는 29050 High-End RISC 개발책임자를 586 과제에 투입하여 RISC 슈퍼 스칼라구조를 최대한 활용한 Am586 개발이 시작되었으며, Cyrix의 Spike, NexGen 등에서 586급 개발이 진행 되고있다.

2. 세계 최고속 개발형 마이크로프로세서 - DEC Alpha

200MHz Alpha 21064 (EV4) 가 106.5 SPECint92, 200.4 SPECfp92 를 기록함으로써 동작 주파수는 물론 실제 성능에서도 세계에서 가장 빠른 마이크로프로세서가 되었다. DEC 은 WRL(Western Research Lab.) 에서 ECL 을 사용한 Titan RISC

를 추진하여 왔으며 1993년 ISSCC 에서 300MHz ECL R2000 마이크로프로세서를 발표 하였다. 1um Single Poly, 4 Metal 공정을 사용한 이 칩은 46만 8천개의 트랜지스터를 사용하며 최대 115W 전력소 모를 기록하였다. Alpha는 Boston Lab. 에서 내부 과제로 실험적인 성격으로 개발되다가 DEC 의 새로운 이미지 창출을 위해 전격적으로 발표된, 실제 64 비트 2-웨이 슈퍼스칼라 구조를 갖고있으면서도 HP-PA7100(32비트 제한된 2-웨이 슈퍼스칼라) 과 비교, 150MHz Alpha 가 100MHz PA7100 에 성능이 비교되는 약점을 갖고있다. DEC 은 계속해서 고속 실리콘 기술을 활용한 300MHz 32K Cache 내장 EV45(1H94), FMPYADD 추가, 64K Cache 내장 EV5(2H94), 0.35um 500MHz 400 SPEC int92 720 SPECfp92 EV6(2H96) 개발 계획을 발표하였다.

DEC Alpha 의 장점으로서 기존의 VAX, MIPS 응용프로그램의 Binary Translator 를 제공, Alpha native 코드에 비해 50%정도의 성능으로 실행되도록 사용자를 지원하는데 이 기술은 Windows NT 에서도 x86 코드를 에뮬레이션하지않고 실행 해 주는 실마리로 사용될 수 있다.

3. 세계 최고속 양산형 마이크로프로세서 - HP-PA7100
99MHz PA7100이 80 SPECint92, 150.6 SPECfp92를 기록함으로써 150MHz Alpha의 74 SPECint92, 126 SPECfp92를 능가, 프로그램 실행 길이(Path Length) 단축면⁽⁴⁾에서 DEC 에 비해 우수함이 입증되었으며 HP 는 계속해서 PA7100LC 의 고 집적 (메모리 컨트롤러, I/O 컨트롤러, 소규모 명령어 캐쉬, 멀티미디어 지원 블럭) PA 프로세서와, PA7100 의 멀티프로세서 및 64비트형인 PA7100 Prime, VLIW(Very Long Instruction Word) 구조를 채택한 컴파일러 기술 위주의 차세대 PA 마이크로프로세서를 개발하고있다. HP 구조의 특징은 작은 캐쉬메모리의 경우 칩 내장시 부담만 커진다는 판단에 따라 408핀에서 508핀에 이르는 패키지를 이용, 대형 하바드 캐쉬 메모리를 보드상에 두는것이다.

4. 최근접 목표달성 - MIPS R4000

초기에 발표된 50MHz/100MHz internal R4000 의 70 SPECmark 목표에 대해 개발 최종단계에 컴파일러의 대단한 노력에 힘입어 실제 70.03 SPEC

mark 을 기록, 목표 대비 실적면에서 가장 근접한 결과를 얻었으며 이것은 MIPS 의 시뮬레이션 기술이 그만큼 안정되어 있음을 의미한다. 1992년 11월 75MHz/150MHz internal R4400 을 발표하였으며 MIPS 회사를 흡수한 SGI 에서 0.6um 75MHz 4-웨이 슈퍼스칼라(2 IPU, 2 FPU, 1 Integer Multiplier, 2 Load/Store Units, Branch Unit) TFP MIPS-IV 구조를 발표하였고 FMPYADD, Conditional MOVE 명령어를 추가 하였다. TFP 는 WS 에는 물론 Cray, NEC, Convex에 경쟁되는 Power Challenge XL 슈퍼컴퓨터에 사용될 계획이다.

5. 최저 목표 달성 - SuperSPARC

1992년초 SUN 에서는 곧 50MHz SuperSPARC 이 출시되며 1992년말까지 65MHz, 1993년에는 80MHz 칩이 사용될것이라고 발표하였으나 실제로는 1992년 내내 33MHz, 36MHz 칩이 사용되었고 1993년 들어서 본격적으로 40MHz 칩이 사용되는등 초기의 과녁에서 크게 벗어났다. SUN 의 변명은 타 WS 용 마이크로프로세서와 비교, 풍부한 응용프로그램이 주 장점이며 맹목적인 성능 경쟁은 무의미하고 멀티프로세서에서의 성능이 우수하다는 것이었는데 실제 멀티프로세서가 활용되려면 아직도 시기상조 라는것이 일반적이다. 그러나 SuperSPARC 은 36K 바이트의 가장 큰 내장형 캐쉬메모리, 3.1M 의 최대 트랜지스터 내장, 최초의 3-웨이 슈퍼스칼라 프로세서, 최초의 본격적인 BiCMOS 마이크로프로세서 기록을 갖고있으며 최근 SUN 은 Hitachi 에 접근하여 50MHz/60MHz 급 SuperSPARC + 공정을 의뢰하는등 고속화에 노력하고있다. 1994년말 90MHz SuperSPARC-2, microSPARC-2/3 를 계획하고있으며 1995년 예정의 UltraSPARC 은 140MHz 64 비트 SPARC V.9 을 4-웨이 슈퍼스칼라, 다이내믹 분기 예측 기술을 사용하여 개발하며 궁극적으로 1996년 500MHz UltraSPARC-3 를 계획하고있다.

SPARC 의 문제점으로서 신뢰도 회복과 성능 향상, WindowsNT 에 대한 S/W 전력 부족을 극복해야 하는것이다.

6. 최대규모 마이크로프로세서 - IBM RS/6000 Power

IBM은 칩의 갯수에 비중을 두지않고 성능이 최대화되는것을 목표로 시스템 구성에 필요한 모든 기능

을 커스텀 칩화하는 CPU 모듈 개발 전략을 추진해 왔다. 이로서 초기의 Power 는 5종 이상의 칩으로 구성되었고 최근에 발표된 Power 6264 도 모두 3개의 칩으로 3백만개의 트랜지스터를 구현하여 제작하였다. 그러나 이와같은 멀티칩 구조와 별도로 단일 칩 제공을 위해 1992년 RSC, 곧 이어 Motorola, Apple 과 전략적 기술 제휴를 맺어 저가형 데스크 탑용 601, 저가형 저전력 소모형 603, 데스크 탑의 주력 프로세서 604, 64비트 고성능 프로세서 620 개발을 진행하고있으며 1992년 11월 601 프로세서를 발표하였다. Intel x86 을 제외하고 차세대 데스크 탑 컴퓨터에 가장 널리 사용될 마이크로프로세서로 예상되고있다. 601에서는 Apple Macintosh 응용 프로그램을 위해 680X0 의 에플레이션 지원을 보다 고속으로 실현 해 주는데 PowerPC 의 수퍼스칼라 구조와 다양한 비트 월드 명령어가 큰 도움을 주고있다.

IBM 마이크로프로세서 칩은 플립 패키지를 이용하여 I/O 패드를 칩 어느 곳에도 위치 시킬 수 있는 것이 특징이며 대개 칩 중앙에 입출력 버퍼와 함께 위치함으로 I/O placement 및 routing 면에서 실리 큰 면적이 절약되는 장점이 있다.

7. 최초의 상용 PCS 마이크로프로세서 - AT&T Hobbit

1986년 CRISP 으로 개발되어 시장을 찾지못하다가 1992년 EO(AT&T, Mitsubishi, Marubeni 합작회사) 설립을 통해 1993년에 제품으로 발표된 PCS(Personal Communication Service) 인 Personal Communicator 440, 880 에 사용되었다. PCS 제품은 노트 패드 크기로서 펜 컴퓨터와 유사하나 컴퓨터보다는 메시지 처리 기능을 갖는 휴대용 팩스 및 무선 전화기로서 컴퓨터의 기능이 추가된 형태이다. 32비트의 성능과 초저전력 소모(0.5W @25MHz) 가 장점이다. PCS 는 2.2 파운드의 무게, 640X480 LCD, 1.3' 20M 하드디스크, IBM PC 와의 serial-port, 기타 프린터등 주변기기와의 병렬 포트, Cellular 전화기 및 e-mail 기능, fax 기능등을 내장하고 있으며 1980년대 PC 에서 x86 이 널리 사용된것과 유사하게 현재 AT&T Hobbit, ARM610, VTI Polar(저전력형 386/486) 프로세서가 경쟁하고있다.

8. 매우 작은 고추 마이크로프로세서 - ARM610

1980년대 초기 Acorn(당시 Olivetti의 자회사)

등에서 개발한 ARM2 구조는 이 후 ARM3, ARM6, ARM7, ARM8(개발 중) 로 발전되어왔는데 이 중 ARM6 를 이용한 ARM610 프로세서는 동급의 RISC 프로세서 중 가장 작은 80 sq.mm 의 면적 및 초저전력 소모를 장점으로 Apple 의 PDA(Personal Digital Assistant) 에 채택됨으로서 1990년대 후반 큰 시장이 형성될 것으로 기대되는 휴대용 컴퓨터, 통신, 가전 기기에 널리 사용될 것으로 예측되고있다.

9. 가장 많이 사용된 Embedded Controller - Intel i960

HP의 Laser Jet 4에 사용됨으로서 1992년 RISC 마이크로프로세서 중 가장 많은 2백만 유니트가 선적되었다. i960 은 초저가형 \$20 대 SA 부터 초고가형 \$2,500 대 MM 까지 다양한 모델을 제공함으로써 광범위한 내장형 제어 시스템 분야에 사용되고있다. Intel i960 은 명령어의 선두 2비트를 이용하여 명령어 타입을 선행 해석하는 3-웨이 수퍼스칼라 구조를 채택하고있다.

10. 비운의 마이크로프로세서 - Intel i860

1989년 발표당시 수퍼컴퓨터를 단일 칩에 집적했다는 발표로 수퍼스칼라 프로세서 개발의 시발점이 되었던 i860 은 불운하게도 사용 시스템 회사의 시장 철수(Okii), 타 마이크로프로세서로의 전환(Stratus), 사용 시스템 회사의 도산(Alliant) 등의 불운을 겪으며 3차원 그래픽 가속기 혹은 Intel 내의 Massively Parallel 수퍼 컴퓨터에 국한되어 사용 될 전망이다. 이것은 성능면에서 크게 앞선 마이크로프로세서를 개발하더라도 정확한 응용 시장을 찾지 못할 경우 도리어 큰 부담이 된 사례가 되기도 한다.

V. 마이크로프로세서 구조 설계 기술

마이크로프로세서는 컴퓨터 구조의 가장 핵심층에 위치하여 Binary Program 을 실행 해 주며 각종 예외 상황에 대한 처리를 담당하게된다. 마이크로프로세서 구조 설계시에는 컴퓨터 구조 설계와 유사한 Top-Down(Application 프로그램 실행 분석 및 System OS 기능 분석을 통한 primitive operation 추출 후 구조 설계, 시뮬레이션), Bottom-Up

(기존의 마이크로프로세서 구조에서 출발, 새로운 구현 기술의 활용을 고려한 하드웨어적 구조 설계), Middle-Out(Top-Down 과 Bottom-Up 을 절충한 Concurrent Engineering) 등의 설계 방식이 가능하며 여기서는 일반적으로 구조 설계시 고려 되어야 할 대상에 대해 정리하였다.

1. 구조 설계시 고려 사항

1) 응용분야 선정

타겟 마이크로프로세서가 지향하는 응용분야에따라 명령어 세트, 레지스터 파일 구조, 입출력 구조, 메모리 어드레싱 모드, 데이터 타입등의 기본 구조에 영향을 주게된다. 일반적으로 범용 마이크로프로세서의 경우 일반 프로그램간의 균형적인 지원을 고려해야 하며 멀티프로세서 확장시 프로토콜 및 사용 명령어들에 대한 고려가 필요하다. 특수용도로서 대규모 병렬 처리용 프로세서인경우 프로세서간 데이터 교류를 위한 지원, 특수 언어지원용인경우 각 언어의 프리미티브 오퍼레이션을 최적 지원 할 수 있는 구조체 및 명령어 세트 설계가 필요로 되어진다. 특수 용도 중 과학 기술 계산용은 특히 부동 소수점 연산의 성능 향상을 위해 일반 RISC 구조에서 2개의 소스 레지스터, 1개의 결과 레지스터등 3개 오퍼랜드 구조에서 5개의 오퍼랜드 구조를 통한 단일 사이클 FMPYADD 명령어등의 추가 고려가 필요로 된다. 상업용 Cobol 언어를 효율적으로 지원하기 위해서는 10진 산술 명령어가 추가되고 PSW (Processor Status Word) 의 carry 를 니블(4-비트) 당 하나씩 할당하여 산술 연산을 지원하며 상업용으로 고속 transaction 처리 구조가 고려되어야 한다. 향 후 널리 활용될 것으로 기대되는 Object-Oriented 구조 지원용으로서 fine-grain 객체 어드레스에서부터 초 대규모 객체 어드레스까지 고른 지원을 위한 부동 소수점 어드레스 방식도 예를 들 수 있다. 병렬성을 명령어 수준에서 실행 시킬 수 있는 Occam 언어와 구조의 일체성도 좋은 구조 설계 예이다.

2) S/W 호환성 고려

기존의 마이크로프로세서를 위해 기 활용되고있는 S/W들을 재컴파일 없이 바이너리 수준에서 직접 실행 시킬 것인지, 에뮬레이션으로 처리 할 것인지, 아무런 제약 없이 순수한 새로운 구조를 설계 할 것인지에 대한 결정은 마이크로프로세서의 구조 설계에 커다란 결정 사항 중 하나가 된다. ABI(Applica-

tion Binary Interface), API(Application Program Interface) 구조도 결정되어야 한다.

3) OS 요구 사항

응용분야에따라 계층화된 32비트, 48비트, 64비트 등 어드레스 공간 결정은 다룰 수 있는 최대 규모의 선형 메모리 공간 구조를 확정지워주며 flat, page, segment 등 다양하게 나누어진 메모리 기본 공간 크기 및 보호 기능에 따라 TLB 의 유지 및 관리 기능이 정의되어야 한다. 또한 사용자의 각 계층간 프로그램과 데이터의 보호를 위해 메모리 보호 기능이 분명히 정의되어야 하며 콘텍스트 스윗치시 정확한 파라미터 입출력 구조, 분명한 Power-On-Reset 절차, 슈퍼스칼라 파이프라인 구조등 복잡한 상황에서의 예외처리, 다단계 (nested) 인터럽트에 대한 처리 규정등이 정의되어야 한다.

4) 일반 표준에 대한 결정

부동 소수점 연산 표준을 IEEE, DEC, IBM 중 어느 기준으로 할 것인지, I/O Bus 구조는 PCI, Local Bus, VESA, VME, SCSI, NuBus 등 어디에 기준을 둘 것인지, OS 는 DOS, Windows, WindowsNT, UNIX, VMS 중 어느것을 타겟으로 할 것인지, 프로그램 언어는 C, Fortran, Cobol 등 표준 언어 지원을 할 것인지 등이 고려된다.

2. 구조 시뮬레이션 및 성능 평가

마이크로프로세서의 구조는 컴퓨터 하드웨어 설계, 컴파일러, 오퍼레이팅 시스템, 성능 분석, VLSI 설계 분야의 전문가들이 그룹이 되어 설계하게된다. 일반적으로 구조 설계는 기존 컴퓨터 시스템의 성능 분석을 통해 가장 적합한 기본 모델을 설계한 뒤 지속적인 성능 평가를 통해 개선, 재설계, 시뮬레이션을 반복함으로써 최적화 과정을 거치게된다.

1) 프로그램 실행 결과 분석

구조 시뮬레이션 초기에 일반적인 벤치마크 프로그램을 통해 다음과 같은 자료를 얻게된다.

- 실행된 명령어 그룹과 실행 순서
 - 각 명령어의 가상 어드레스
 - 각 오퍼랜드 데이터의 가상 어드레스
 - 각 연산 과정시 레지스터 사용도
 - 각 연산시 오퍼랜드 데이터 특성
- 이와같은 기본 자료를 활용하여 다음과 같은 통계적 자료를 얻을 수 있다.
- 명령어의 동적 사용 빈도

- 명령어 및 명령어에의해 요구되는 데이터의 메모리 어드레스 추적
 - 각 연산의 특성, 예를들면 move 명령어에서의 이동데이터 크기, 양, 산술연산 명령어 오퍼란드의 크기, 분기 명령어의 분기 거리 및 특성등
 - 각 연산 pair 빈도
- 이와같은 구조 시뮬레이션들을 토대로 얻어진 프로그램 실행의 특성은 다음과 같이 요약되어질 수 있다.⁽⁵⁾

- 대부분의 프로그램 실행에서 단순 명령어의 실행이 가장 빈번하였다.
 - 구조에 포함시켜도 될 만큼 충분한 빈도로 발생하는 복잡한 명령어 세트를 위한 특수 하드웨어 혹은 코프로세서 명령어들이 필요로 된다.
 - 32비트 워드 데이터 Load/Store 구조를 사용함으로써 고속의 1차 메모리로 레지스터 화일 구조를 보다 큰 사이즈로 확장하는것이 도움이 된다.
 - 복잡한 명령어들을 단순 명령어의 집합으로 실행시 단일 명령어로 실행시에 비해 성능이 향상되었다.
- 이러한 실제 프로그램 실행 결과 분석에 근거를 둔 성능 시뮬레이션이 RISC 구조 설계에 이론적 배경을 제공하였다.

2) CPI (Cycles Per Instruction) 모델

설계된 명령어 세트와 구조에대한 성능 평가를 통해 각종 변수의 최적화 과정을 반복하게되는데 일반적으로 성능은 CPI 의 최소화를 통해 얻어 질 수 있다. CPI 는 다음과 같이 표시되어 질 수 있다.

$$CPI = \text{기본 명령어 실행 시간} + f1\{\text{Cache, TLB}\} + f2\{\text{파이프라인 인터록}\}$$

일반적인 RISC 타입 마이크로프로세서에서 기본 명령어 실행 시간은 대개 1 클럭 사이클이며, f1 {Cache, TLB} 는 캐쉬 메모리와 TLB 미스 처리에 소요되는 사이클 수, f2{파이프라인 인터록} 은 실제 파이프라인 설계 기법에따라 지연되는 사이클 수의 함수로 표시된다. 이들을 실제로 얻기위해서는 다음과 같은 데이터들이 필요로된다.

- 프로그램 실행 총 사이클 수
- Fetch 된 명령어 갯수 및 실행된 명령어 갯수
- 분기 명령어 실행(taken) / 비실행 (untaken) 빈도

- 명령어 / 데이터 캐쉬 미스 특성 및 빈도
 - 예외처리 소요 사이클 수
 - 명령어 / 데이터 TLB 미스 특성 및 빈도
- 캐쉬 미스(8K 바이트, 3.5% 가정) 처리에 20 사이클, TLB 미스(512 엔트리, 0.2% 가정) 처리에 100 사이클, 기본 명령어는 1 사이클, 부동 소수점 명령어는 10 사이클(발생 빈도: 전체 명령어의 12.6% 가정), Load(발생빈도 34.8% 가정)/Store(발생 빈도 15.4% 가정) 연속(발생 빈도 6% 가정)으로 발생하는 페널티 1 사이클 및 파이프라인 인터록 방지를 위한 No-Op 빈도 2% 가정을 기본 자료로 가정하여 CPI 를 계산 해 본다. 우선 기본 명령어 실행 시간은 $10 \times 0.126 + 1 \times (1 - 0.126)$ 의 2.13 사이클/명령어, f1{Cache, TLB} 는 캐쉬에 대해 (0.035) $(1 + 0.348 + 0.154) \times 20$ (여기서 1은 명령어 자신, 0.348은 load 명령어에의한 데이터 액세스, 0.154는 store 명령어에의한 데이터 액세스, 하바드 구조시 미스 비율이 변화되는것은 별도로 계산 해 주면 된다.) 으로서 1.05 사이클/명령어, TLB 는 (0.002) $(1 + 0.348 + 0.154) \times 100$ 에서 0.3 사이클/명령어, 마지막으로 f2{파이프라인 인터록} 은 (0.06) $(1) + (0.02) \times (1)$ 으로서 0.08 사이클/명령어의 효과를 가지며 합산하면, $2.13 + 1.05 + 0.30 + 0.08 = 3.56$ (사이클/명령어) 를 얻게되며 100MHz 프로세서의 경우 28.1 MIPS 의 성능을 갖게된다.

3. 마이크로프로세서 구조 개선

성능 평가를 토대로 얻은 기본 구조에대해 계속적인 실제 프로그램으로부터의 feedback 을 통해 개선, 튜닝이 필요로되며 여기서는 64비트 마이크로프로세서에서의 구조 개선예를 정리하였다.⁽⁶⁾

1) 64비트 마이크로프로세서 설계 개념

64비트 마이크로프로세서에 대한 정의는 64비트 선형 어드레스 공간, 64비트 정수 처리 명령어(64비트 ALU 및 레지스터 화일), 64비트 데이터 형식을 포함하고 있어야 한다. 기존의 마이크로프로세서 중 DEC Alpha, SGI MIPS-III, IBM PowerPC, SUN SPARC V9 이 64비트 구조에 속하며 Intel 은 P7 에서, HP 는 PA7100 Prime 에서 계획 중인 것으로 알려져있다. 표 4에 상용 64비트 마이크로프로세서의 구조를 비교하였다.

마이크로프로세서의 구조적인 측면에서 64비트가 필요로되는것은 대규모 상호연계 데이터베이스 처리,

표 4. 64비트 마이크로프로세서 구조 비교

Architecture Characteristic	Alpha	MIPS-III	PowerPC	SPARC V9
32/64 mode bit	no	yes	yes	no (but AM bit)
Address bits in current chips	43	40	64*	64*
Byte/halfword load/store	no	yes	yes	yes
Condition codes	no	no	yes	yes
Conditional moves	yes	only in TFP	no	yes
Delayed branches	no	yes	no	yes
Overflow checking	in opcode	in opcode	trap instruction	trap instruction
Multiply support	64-bit result	128-bit result	64-bit	64-bit result
Divide support	no	128-bit result	64-bit	64-bit result
FP double-precision registers	32	16 or 32	32	32
FP precisions	single, double	single, double, quad	single, double	single, double, quad
FP formats	IEEE, some DEC	IEEE	IEEE	IEEE
Prefetch instructions	data	no	data	data, relative branch
Prefetch hints	many	some branch predict	branch predict bit	branch predict bit
Memory models	weak	strong	weak	3 levels
Trap model	imprecise	precise	2 levels	3 levels

(*expectations for first implementation).

ULSI 설계, 수치 연산 집중형 시-연속 데이터 분석 처리와 멀티미디어 데이터, 디스크의 고속 데이터 이동 등에 유용하게 사용 될 수 있기 때문이다. 그러나 보다 근본적인 이유로서 사용자 측면에서는 다른 마이크로프로세서들이 모두 64비트를 지원하는데 특정 마이크로프로세서가 지원하지 않을 경우 선택을 망설이게 되는, 도입 초기에는 기술적 구조 특성 보다는 상업적 구조 특성에 따라 확산되며 이 후 보다 다양한 응용 분야가 등장하여 보편적인 구조가 될 것으로 예상된다.

64비트 구조가 지원되기 위해서는 프로그래밍 언어와 ABI, API 에 대한 우선적인 고려가 필요하다. 예를들어 C 컴파일러 설계자는 short, int, long 등의 크기에 대해 재정의가 필요로 된다. 기존의 대부분 프로그램들이 32비트 구조를 기본으로 작성되었기 때문에 64비트 실행 모드와 32비트 실행 모드간 가능한 재컴파일 없이 직접 실행이 가능하도록 지원해 주어야 한다.

MIPS-III, Alpha, SPARC V9, PowerPC 는 모두 64비트 구조로 천이되는데 약간의 상이한 특징들을 갖고있다 .

MIPS-III는 초기의 64비트 마이크로프로세서로서 32비트 MIPS-II 구조에 64비트 메모리 액세스 명령어, 정수 산술 명령어, 쉬프트 명령어등을 첨가하였으며 이들 64비트 명령어들은 64비트 모드에서만 실행된다. 32비트 모드에서는 불법 명령어(Illegal Instruction) 예외처리를 하게됨으로 명령어 서브셋 구조의 특성을 갖고있다.

Alpha 는 초기부터 64비트 구조를 지향하였음으로 32비트 모드는 따로 존재하지 않으나 컴파일러나

VAX 트랜스레이터가 32비트 연산 기능을 제공하기 위해 코드 간결화 용 소수의 32비트 산술 명령어가 있다.

SPARC V9 과 PowerPC 도 모두 32비트에서 확장된 구조이나 Alpha 와 비슷하게 모드가 없으며 모든 명령어가 동일 환경에서 실행된다. 다만 가상 어드레스 공간을 32비트로 자리내림하는 비트가 존재한다. SPARC V9 은 64비트 콘디순 코드를 재정의함으로써 32비트와 64비트 산술 연산을 동일 명령어로 처리 가능하도록 하였으나 MIPS-III 에서는 오버플로우 비트 부재로 32비트와 64비트 산술명령어 실행 후 오버플로우 체크 명령어가 따로 필요하게 되었다. PowerPC 에서는 단일 모드 비트를 두어 연산 결과가 32비트인지 64비트인지를 판별해 줌으로서 콘디션 코드를 따로 정의하지않고도 32비트 / 64비트 연산을 지원한다.

어드레스 지원 크기면에서 PowerPC 와 SPARC V9 은 64비트 전 크기를 직접 지원한다. 이것은 24비트의 IBM 360 에서 31비트 IBM 370 구조 변경 때나 Apple 이 24비트 매킨토시에서 32비트로 변경시 경험하였던 프로그래머들의 불편함을 반영한 결과이다. R4000 과 초기의 Alpha 는 각 40비트, 43비트만을 가상 어드레스 공간으로 제공하여 상한선을 넘어서실 경우 실행 시간 중 예외 발생 및 처리의 오버헤드가 필요로 된다.

2) 64비트 Load/Store 구조

MIPS-III, SPARC V9, PowerPC 는 바이트, 하프워드, 워드(32비트) , 더블워드(64비트)에 대해 부호/비부호 Load 및 Store 명령어를 제공한다. Alpha 는 워드와 더블워드 크기만을 지원함으로 더

작은 오페란드 에대해서는 Load, Store, Extract, Insert 명령어를 조합으로 사용하여야 하며 결과적으로 바이트 Load는 2개 명령어, 바이트 Store는 3개 명령어를 사용하여야 한다. 이러한 차이점은 구현 기술에서 부터 고려된 결과로서 단순성과 고속성을 유지하기위해 캐쉬 메모리와 프로세서 실행 유니트간 멀티플렉싱과 쉬프트 회로를 추가하는가 아니면 동작 주파수를 높이기위해 없애는가하는 결정사항의 결과이다.

1차 캐쉬 메모리에서 ECC(Error Correction Code)를 유지하기위해 일반적으로 read-modify-write 과정을 거쳐게되며 Alpha 에서는 32비트와 64비트만을 지원 함에따라 별도의 명령어로 작은 오페란드의 ECC 지원이 필요하다.

3) 64비트 정수 산술명령어

SPARC V9에서는 V8 에서 새로이 정의되어 사용되었던 8개 명령어, 부호/비부호 곱셈 및 나눗셈(콘디션 코드 세트 혹은 비세트)과 기존의 multiply-step 명령어 사용을 금지시켰는데 이는 V9에서 새로 규정된 64비트 명령어 MULX, SDIVX, UDIVX 가 사용되기때문이다.

MIPS 에서는 기존의 정수 곱셈 및 나눗셈 명령어가 별도의 하드웨어 기능 유닛으로 처리되며 독특하게 그 결과가 범용 레지스터에 저장되는것이 아니라 HI, LO 의 2개 특수 용도 레지스터에 사용됨으로 레지스터 저장시 별도의 포트나 스코어보딩 적용이 필요 없는 장점이있다. MIPS-III에서는 4개의 64비트 부호 / 비부호 곱셈, 나눗셈 명령어가 추가되었으며 HI, LO 레지스터가 64비트로 확장되어 결과적으로 128비트 연산 결과를 제공한다.

Alpha 는 32비트 곱셈 명령어에서 소스의 LS 32비트를 취하여 결과를 32비트로 truncate 한 후 결과 레지스터에 부호 확장형으로 저장한다. 64비트 곱셈은 결과를 64비트로 truncate 후 저장하며 128비트 결과가 필요로 될 경우 UMULH(Unsigned-Multiply-High) 명령어를 사용한다. 나눗셈 명령어는 공급되지않음으로 성능면에서 취약점이 된다.

PowerPC 에서는 32비트 구조에서 64비트 MQ 레지스터를 사용하여 64비트 결과를 사용하였으나 64비트 구조에서는 별도의 명령어를 이용하여 MS / LS 64비트 결과의 분리된 처리를 함으로서 Alpha 와 유사하나 PowerPC 는 나눗셈 명령어를 제공하는 점에서 틀리다.

4) 부동 소수점 연산 처리 구조

초기의 RISC 프로세서에서는 32개의 단정도(Single Precision) 부동 소수점 레지스터도 크게 보였으나 실제 이 레지스터 크기로는 16개의 배정도(Double Precision) 부동 소수점 테이타만을 수용할 수 있다. 레지스터의 갯수 차이는 컴파일러 최적화와 서브루틴간의 파라미터 패싱에서 중요한 변수이다.

Alpha는 단정도, 배정도의 IEEE 및 VAX 부동 소수점 형식을 지원하며 32개의 부동 소수점 레지스터는 각각 단정도, 배정도 오페란드를 소유 할 수 있다.

PowerPC 는 32개의 배정도 레지스터를 갖고있으며 단정도 및 배정도 IEEE 부동 소수점 연산을 지원한다.

MIPS-III 와 SPARC V9 은 각각 단정도, 배정도, 4배정도(Quad Precision) IEEE 부동 소수점 연산을 지원하며 32개의 배정도 부동 소수점 레지스터를 갖고있다.

실제 복잡한 부동 소수점 연산 서브루틴에서는 연산간의 중복과 파이프라인의 효율적 이용을 위해 복수개의 분기 콘디션이 필요로되며 이와같은 상황의 효율적 처리를 위해 PowerPC 에서는 8세트의 콘디션코드를 제공하며 SPARC V9 에서는 기존의 1세트에 3세트를 더하여 4세트를 제공한다.

Alpha 와 MIPS-III 에서는 분기 조건을 레지스터에 저장하는 구조를 제공함으로써 복수개 콘디션의 조작을 가능하게 한다.

5) 성능 향상용 명령어 세트

마이크로프로세서의 명령어 세트는 실제 프로그램의 실행과 컴파일러 최적화 결과에의해 영향을 받는다.

Alpha 와 SPARC V9 은 Conditional Branch 명령과 콘디션 확인 후 조건 만족시 소스 레지스터에서 결과 레지스터로의 이동 명령어를 혼합한 명령어를 추가하였다. 이 명령어 구조는 HP-PA 에서 이미 그 성능이 입증된 세트로서 실제 분기가 일어나지 않음으로 파이프라인의 사용 효율이 증가한다. MIPS-III 에서는 채택되지 않았으나 TFP 에는 사용 될 것으로 발표되었다.

슈퍼스칼라 타입의 마이크로프로세서에서 성능에 가장 악영향을 주는 것이 분기 명령어 처리이다. Intel P5는 분기 명령어 타겟 캐쉬를 두어 선행 예측

분기를 제공하며 대부분의 최신 마이크로프로세서들이 예측 분기를 사용한다. 즉 Predicted-Taken, Predicted-Untaken, Unpredicted-Taken, Unpredicted-Untaken 의 4가지 경우로 예측하여 분기 명령어 실행으로인한 손실을 최소화하고있다.

SPARC V9 에서는 새로운 타입의 분기 명령어를 첨가하여 레지스터와 0 값과 비교 혹은 32비트 / 64 비트 콘디션 코드 테스트 결과에의한 분기를 지원하며 static 분기 예측 비트가 추가되었다. PowerPC 도 비슷한 비트가 있으며 Alpha 에서는 HP 와 유사하고 P5 와 반대로 Forward는 비분기, Backward는 분기로 예측하는 기법을 적용하고있다.

또 다른 구조적 차이로서 지연 분기(Delayed-Branch) 채택 여부를 들수 있는데 단순 파이프라인에서는 성능 향상이 가능하나 슈퍼스칼라 타입의 파이프라인에서는 도리어 명령어 fetch 유니트의 구현 복잡도를 크게 증가시킨다. MIPS 와 SPARC에는 지연 분기가 있으며 Alpha와 PowerPC 에는 지원되지않는다.

Prefetch 와 힌트의 새로운 명령어들이 등장하였는데 프로그램에의해 메모리 계층 구조의 향 후 액세스될 어드레스에 대한 주의환기식인데 하드웨어는 prefetch 명령어의 권고를 무시할 수 도 있고 주어진 어드레스 데이터를 가장 빠른 메모리 계층(캐쉬) 으로 옮겨 놓을 수 도 있다.

SPARC V9 은 branch-never-predicted 명령어를 사용하여 곧 실행될 분기 명령어에대해 명령어 prefetch 유닛이 미리 분석, prefetch 할 수 있도록 도와준다.

Alpha 는 특별한 힌트 비트를 indirect 분기 명령어에 두어 명령어가 실행 개시되기전 필요한 타겟 어드레스로 캐쉬 액세스가 일어나도록 도와준다. Indirect Call 과 Return 에서 힌트 비트는 스택의 복귀 어드레스 해석을 유추 해 준다. 복귀 스택은 fetch 유닛에 복귀 어드레스를 미리 공급하여 줌으로서 명령어 prefetch 의 효율을 제고 시켜준다.

6) 메모리 및 예외 처리 모델

파이프라인의 구현이 점점 더 정교해 지며 메모리 와 예외 처리 모델도 복잡성이 증가되고있다.

슈퍼스칼라 슈퍼파이프라인상에서 예외 처리는 Early, Medium, Late 등 다단계로 나뉘어 사례별로 처리 방법과 시기가 틀려지게된다.

정상적인 프로그램 실행 의 파이프라인이 예외 상

황 처리를 위해 멈추어지는 데는 다음과 같은 경우들이 존재할 수 있다.

- Power-On-Reset
- Broadcast (in Multiprocessor)
- Store-Interlock (D-Cache Contention)
- Coprocessor Interlock
- TLB Miss
- Interruption
- D-Cache Miss
- I-Cache Miss

이들 예외 처리들은 파이프라인 구조상 선행 혹은 후행 명령어 처리 과정에 적절한 시기에 알려져 명령어 실행을 중단 혹은 그 결과의 저장 중단을 통한 명령어 무효화 절차가 따라야하며 예외 우선 순위에 따라 복수개 예외 상황의 동시 발생시 처리 절차, 올바른 프로그램 어드레스 및 데이터 어드레스등 파라미터 패싱이 정확히 규정되어야 한다. Alpha 와 SPARC V9 은 슈퍼스칼라의 구현을 위해 산술 연산에서 imprecise 예외 처리 모델을 제공한다.

7) S/W, ABI 및 API 에 대한 고려

C 프로그램 언어에서 정의된 int 는 머신의 레지스터 크기와 같은 사이즈로 정의되어 가장 빠른 연산을 하게된다. 그러나 64비트 구조에서는 32비트와 64비트의 처리속도 구분이 없어짐으로 모호한 상태가 발생한다.

이와같은 문제를 해결하기위해 DEC, HP, IBM, SGI, MIPS, IBM, SUN 의 아키텍트들이 모여 협의를 했다. 현재 C 에서는 세가지 혼합형이 있을 수 있는데 long 32, int 32; long 64, int 32; long 64, int64 들이다. 이의 새로운 데이터 타입 long-long을 64비트로 규정하는 안이 제안되어있다. 이 규정은 자칫하면 integer 와 pointer 의 사이즈를 순식간에 2배로 확장시키며 이 경우 기존의 네트워크가 무력화될 수 있다. 현재로서는 ANSI C 가 추천되고 있으나 64비트 컴파일러에서 32비트를 int 로 사용하는것은 무리라는 견해가 많다.

또 다른 이슈는 라이브러리와외 인터페이스로서 당분간 64비트 전 기능 구현형과 64비트 OS 와 32비트 응용프로그램상의 트랜스레이터 이용이 혼용될 것이다. 개발 환경의 목표는 프로그래머를 하나의 통일된 헤더 혹은 include file 등 definition file 을 제공함으로써 복수개 라이브러리 화일로부터 독립시키는것이다. POSIX UNIX 에서는 이미 32비트와 64

비트 컴파일시 크기를 선택하도록 되어있다. 네트워 크에서는 더욱 문제가 복잡해지는것이 비트 대 비트 로 호환성이 따라야하기때문이다.

MIPS 의 서브루틴-호출 기법은 최대 4개의 레지 스텐터를 파라미터 패스에 사용하는데 라이브러리들과 컴파일러들이 어느정도는 다시 쓰여져야 하기때문에 이러한 프로토콜들은 다시 조정될 것이다. 실제로는 8개의 파라미터 패싱 레지스터가 사용되는것이 성능 향상에 더 바람직하다.

VI. 마이크로프로세서 구현 VLSI 기술

IC 기술이 등장한 이래 설계 규칙(최소 디바이스 크기)은 매년 10% 비율로 축소되어왔고, 칩 사이즈 는 20% 비율로 증가하였으며, 디바이스 실장 효율 (packing efficiency)은 10년에 2배로 증가하였으며 위와같은 세가지 측면을 합하면 매 10년마다 단일칩 에 집적되는 트랜지스터의 수는 100배로 증가하여왔 다[7]. 실제 DRAM에서의 트랜지스터 크기 변화를 그림 4에 보였다.

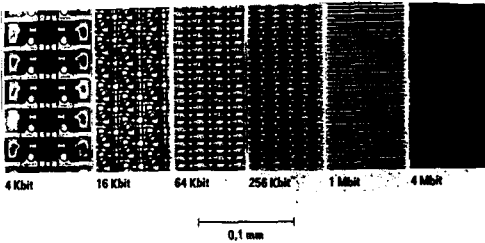


그림 4. 4K DRAM과 4M DRAM의 크기 비교

고밀도 실장, 저전력 소모, 높은 yield 등을 고려 하면 MOSFET, 그 중에서도 CMOS 가 가장 선호 되는 기술이다. 마이크로프로세서는 주로 CMOS VLSI 기술을 이용하여 구현된다. 최근의 Intel Pentium과 SUN SuperSPARC 은 BiCMOS 를 사용하였으나 DEC Alpha 에서 순수 CMOS를 이용 하여 200MHz급 마이크로 프로세서를 발표한 예를보 거나 향 후 공정 사용 계획을 고려하여도 대개 CMOS VLSI 를 지향함으로 여기서는 주로 CMOS VLSI 구현의 기술 현황과 전망, 한계에 대해 기술하 고자한다.

1. CMOS VLSI 기술 현황

1) 디바이스 기술

MOS 디바이스 크기를 축소시키면 회로 동작 속도 와 실장 밀도면에서 지속적인 개선이 가능하다. 가장 이상적인 축소 방식은 5가지 방면에서 선형 축소하는 것이다. Width(W), Length(L), Thickness(Tox) 혹은 Depth(Xj)의 물리적 축소는 1/S로, substrate doping은 S배로, Voltage(Vdd, Vtn, Vtp)는 1/S 로 스케일링 할 경우, 내부 전계 크기가 일정 비율로 유지됨으로서 velocity saturation, oxide break-down, carrier multiplication 등을 피하며 고속 고집적 저전력 소모 VLSI 구현이 가능해진다.

그러나 선형 스케일링을 할 수 없는 요소가있고 실 리콘의 스케일링되지않는 특성때문에 생기는 2차 적 인 효과들을 보상 해주기위해 별도의 기술적 보완책 이 필요로된다. 예를들어 velocity saturation, mobility degradatation, parasitic 소스/드레인 저항 들은 상대적으로 전류 구동 능력(transconduc- tance)을 감소시키며, 실리콘의 에너지 전위차 는 물 질내에 고정된 값으로서 스케일링 될 수 없으며 이러 한 요인들이 short channel effect 를 발생시켜 트 랜지스터 W/L 크기에 따른 threshold 전압 변화, subthreshold 에서의 특성 악화로 인한 누설 전류 증가등을 초래한다.

기존 시스템과의 보드상 호환성 문제로 공급 전압 은 스케일 되지 못했는데 velocity saturation만 문 제가 되지않는다면 전력소모는 증가하나 전류 구동 능력이 개선되어 속도는 빨라진다. 그러나 전압을 일 정하게 유지하며 디바이스만 스케일링 할 경우 전계 강도가 높아져 oxide breakdown, drain avalanche, 게이트 산화막 으로의 hot-electron injection 등 신 리되에 관계된 문제들이 발생한다.

스케일링에 따라 연결선의 RC 상수 의 상대적 증 가로 인한 지연이 회로 지연을 증가시키며 CMOS 디 바이스 크기가 작아질 수록 parasitic 바이폴라 트랜 지스터의 구성이 보다 용이해져 래치 없이 더 쉽게 일어난다.

(1) Short Channel Effect

트랜지스터의 채널길이가 짧아짐에따라 정도가 심 해 지는 Short Channel Effect 는 channel length modulation, velocity saturation, mobility degradatation, finite channel thickness, source/drain resistance, subthreshold current,

device 크기에 따른 threshold voltage 변화, punch through, drain-induced barrier lowering 등의 결과를 가져온다.

① Channel Length Modulation

단순한 MOS 동작 모델에서는 $V_{ds} = V_{gs} + V_t$ 의 포화전압 이 후에는 V_{ds} 를 증가시켜도 I_{ds} 는 증가 하지 않는다. 그러나 실제 MOS 디바이스에서는 V_{ds} 가 포화전압 이상 증가시 공핍층(depletion region) 의 경계면이 강한 전계로 인하여 소스방향으로 물러나 게되며, 결과적으로 채널 길이가 줄어드는 효과를 가져와 I_{ds} 가 약간의 경사를 갖고 증가한다. 이 효과는 그림 5와 같이 인버터 설계시 임출력 변환 커브를 완만하게 변화시켜 변환 특성을 악화시키며 오버 랩 전류를 증가시켜 전력 소모 낭비를 가져오게한다.

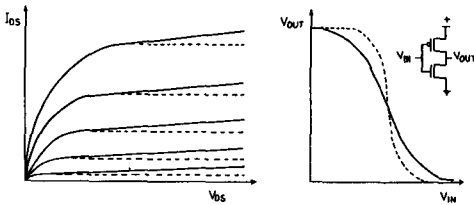


그림 5. Channel Length Modulation에 의한 인버터 특성 변화

② Velocity Saturation

채널길이가 길 경우 전자의 이동속도는 mobility 와 전계 크기의 곱에 비례하나 공급 전압이 스케일링 되지 않을 경우 채널을 따라 전계가 강해지며 이동 속도가 포화 상태에 이르게된다.

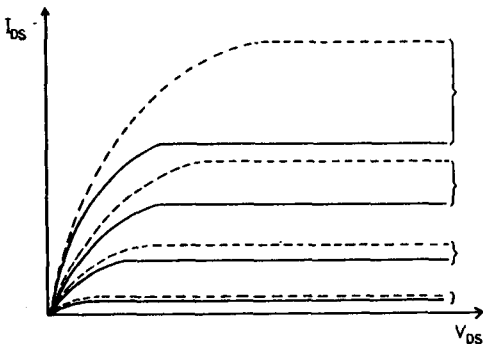


그림 6. Velocity Saturation에 의한 전류 구동 능력 감쇄(점선: 예측치, 실선: 실측지)

이때 I_{ds} 는 긴 채널 에서 $(V_{gs} - V_t)^2$ 에 비례하 던 값이 $(V_{gs} - V_t)$ 에 비례되어 그림 6과 같이 전류 구동 능력이 크게 감쇄되어 채널 길이가 감소된 만큼의 속도 향상을 기대할 수 없게된다. 최악의 경우 채널 길이가 전자의 포화 속도에 이미 도달한 정도가 되면 더 이상 채널 길이를 축소하여도 속도는 빨라질 수 없게된다. Velocity saturation은 공급 전압 크기를 줄임 으로서 완화시킬 수 있으며 서브마이크론 급에서 게이트 산화막 두께때문만이 아니라 회로 속도와의도 관련되어 5V에서 3.3V의 전원 전압이 요구 되어지는 원인이된다.

③ Mobility Degradation

평면 전계값이 한계값 이상이되면 캐리어의 이동속도가 포화된다. 이와 더불어 Si-SiO2 경계면에서의 캐리어 산란 확률이 채널에 직각인 전계치의 상승에 따라 증가하며 이동도가 감소되어 전류 구동 능력이 약해진다.

④ 유한한 채널 두께

이상적인 MOS 모델에서는 게이트 아래의 inversion 채널두께가 0으로 가정되었다. 게이트 산화막 두께가 감소될 수록 산화막과 inversion 두께가 비교될 정도가 되며 C_{gox} 와 C_{inv} 은 voltage divider 처럼 동작되어 채널 부하용량과 전하 밀도를 감소시킴으로서 전류 구동 능력을 예측치보다 감소시킨다.

⑤ 소스와 드레인 저항 성분

스케일 다운되며 접합 깊이도 낮아지고 콘택 크기도 작아지며 결과적으로 기생 저항 성분이 증가하여 전류 구동 능력을 저하시킨다. Short Channel Effect 중 hot-electron injection, breakdown voltage, gate-overlapping capacitance 영향을 감소시키기위해 사용되는 LDD(Lightly Doped source/Drain)는 소스와 드레인 저항을 더욱 증가시키는데 이 현상은 대부분의 diffusion 지역에서 접합 깊이가 깊고 heavily-doped 되는 모델과 titanium 이나 tungsten을 이용한 salicide(diffusion silicide)를 채택할 경우 최소화 할 수 있다.

⑥ Subthreshold 전류

$V_{gs} < V_t$ 에서 I_{ds} 는 0이어야하나 실제로는 바이폴라 트랜지스터와 같은 특성을 가지며 그림 7과 같이 누설 전류가 흐르게된다. 이 특성변화는 다이내믹 회로 설계시 보다 충분한 리프래쉬 사이클을 제공 해주어야 하는 근거가 된다.

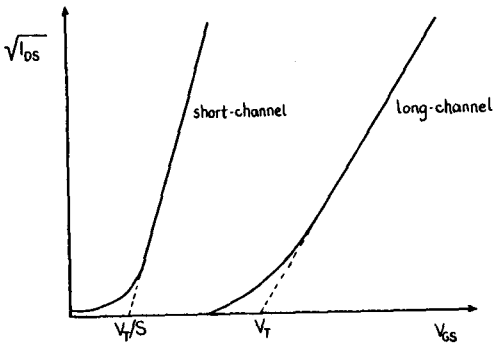


그림 7. Subthreshold 전류특성 ($V_{ds} = V_{dd}$)

⑦ 디바이스 크기 변화에 의한 V_t 변화

채널 길이가 길면 공핍층은 충분히 평평하다고 할 수 있으나 짧아짐에 따라 그림 8과같이 공핍층의 휘어지는 정도에 따라 전하량 변화가 발생하며 결과적으로 그림 9와같이 채널 길이가 짧아질 수록 V_t 는 일정 수준에서 감소하기 시작하며 채널 폭이 작아 질 수록 일정수준에서 증가하기 시작한다. 실제 회로에 사용되면 최소 채널 길이를 갖는 트랜지스터는 필요한 전류 구동 능력을 위해 채널 폭의 증대가 필요로 된다.

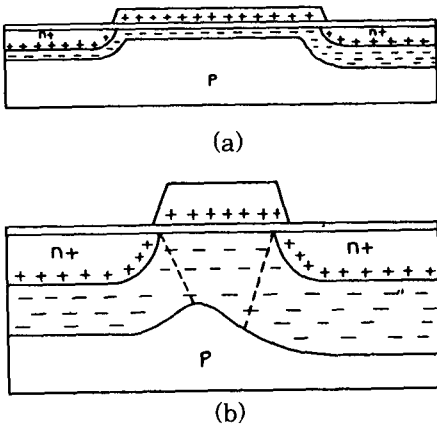


그림 8. (a) Long-Channel 트랜지스터 공핍층
(b) Short-Channel 트랜지스터 공핍층

⑧ Punchthrough 와 DIBL

소스와 드레인의 공핍층 폭이 스케일된 디바이스의 채널 길이보다 커지면 쇼트가 발생되어 punchthrough 현상이 나타난다. DIBL(Drain Induced Barrier Lowering)은 그림 10과 같이 short channel MOS에서 드레인 전압을 증가 시킬 경우 소스부분의 전압

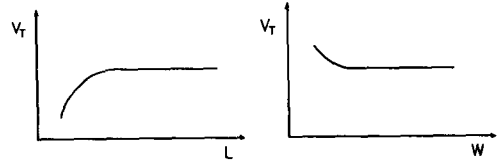


그림 9. 트랜지스터 W/L 에 따른 V_t 변화

장벽이 낮아져 결과적으로 subthreshold 지역에서의 누설 전류를 증가시킨다. 칩 내부 회로에 사용되는 트랜스퍼 게이트를 포함, 크리티컬 패스 에서 최소 채널 길이를 사용하지 말도록 권하는 이유가 된다.

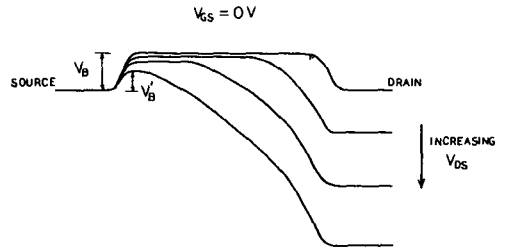


그림 10. DIBL

(2) 디바이스 신뢰성

디바이스의 신뢰도와 스케일링 측면에서는 hot-carrier effect, oxide breakdown, junction break down, ESD 및 electrical overstress, CMOS latch-up 문제들이 있다.

① Hot-Carrier Effects

트랜지스터 크기는 계속 감소하고 공급 전압은 줄어들지 않을 경우 채널의 전계가 강해져 전자를 게이트 산화막으로 가속, injection 시키게된다. 주입된 전자는 게이트 산화막에 갇히게되어 전하량을 증가시킴으로 flash memory 의 V_t 상승과 동일한 결과를 가져온다. 기능 시험에서 통과된 대부분의 정상 동작 칩이 신뢰도 시험에서 실패하는 주된 원인이 대개 시간이 경과됨에 따라 계속적으로 저하되는 전류 구동 능력에 기인한다. Hot carrier effect 를 최소화시키기 위하여 공급 전압을 낮추어야하며 LDD 구조를 사용하여 게이트 산화막과 밀접한 소스 드레인 지역의 캐리어 농도를 낮추어주며 게이트 산화막을 고온 고압에서 annealing 하여 결합 밀도를 낮추어야한다. 전체적으로 P-MOS가 N-MOS 에 비해 내구성이 더 좋다.

② Oxide Breakdown

산화막 두께가 얇아지며 C_{gox} 는 증가한다. 결과적으로 inversion 전하 밀도가 증가하며 전류 구동 능력이 향상된다. 공급 전압이 스케일 되지않고 일정 전계 이상에 도달되면 게이트 산화막에 전하 폭주가 발생하며 주변 물질들을 녹여내린다. 상대적으로 전원 공급 전압의 스케일 다운과 nitride와같은 새로운 절연 물질로의 기술 전환이 필요로 된다.

③ Junction Breakdown

PN 접합부에 충분히 큰 전계가 걸리면 갑작스러운 전류 증가가 발생하며 도핑 농도를 증가시키고 접합 깊이를 얇게하는 스케일 다운 디바이스에서는 각 경계면부분의 전계가 증가되어 보다 쉽게 junction breakdown 을 일으킨다. 공급 전압을 최소 크기, 접합 깊이, 도핑 수준에 맞추어 스케일 다운해야 될 필요성이 생긴다.

④ ESD / EOS

Electro Static Discharge 와 Electrical Overstress는 oxide breakdown 및 junction breakdown 과 밀접한 관계가 있다. 스케일 다운된 디바이스에서 산화막 두께가 얇아지고 접합부 깊이가 낮아지며 breakdown 전압이 더욱 낮아진 상태에서 더 작은 부하용량을 갖게되는데 이때 외부에서 약간의 전하가 주입되더라도 대단위 전계가 발생되어 파괴되는 원인이된다. 여러가지 형태의 입력 보호 회로를 사용하여 최소화시키게된다.

⑤ CMOS Latch Up

스케일 다운된 디바이스에서는 latch-up 발생 가능성이 더 커짐에따라 보다 철저한 래치 업 방지 레이어아웃이 필요로된다.

2) VLSI Interconnection

SSI 와 MSI 수준에서는 연결선이 큰 비중을 차지 않았으나 VLSI급에서는 내부 연결선이 회로 속도, 면적, 신뢰도, yield 에 미치는 영향이 더욱 커지고 있다.

7um NMOS 에서 트랜지스터 게이트의 입력 부하 용량(20fF/최소 게이트 사이즈)과 연결선(200fF/mm)의 부하 용량을 비교할 경우, $W/L=10$ 크기의 트랜지스터 입력 용량이 1,000um(1mm) 의 연결선과 동급으로 연결선에 대한 고려가 거의 무시되었다. 그러나 0.7um CMOS(2fF/최소 게이트 사이즈) 경우 $W/L=10$ 트랜지스터 부하용량이 20fF 임으로 상대적으로 스케일 된 비율만큼 속도 개선이 이루어 지

지 못한다. 연결선에서의 RC 지연은 버퍼를 일정 크기 이상으로 설계하여도 개선되기 어려우나 전체적으로 시스템 성능을 증가시키기위해 버퍼 크기를 크게 함으로서 전력 소모가 최적화 되지 못하는 경우가 발생한다.

실제 DEC Alpha 에서는 클럭 드라이버의 크기를 100,000um/0.75um 크기로 설계하여 200MHz 의 시스템 속도를 얻었으나 전력 소모면에서 30W 를 기록함으로써 패키지의 설계 및 가격 부담이 증대되었다. VLSI 화 되어가며 연결선의 저항 성분 영향도 점차 커지게되었다. RC 상수는 주어진 기술(연결선과 절연층 두께) 내에서 폭을 넓게하더라도 크게 줄이지 못한다. 그 이유는 폭을 넓힐 경우 저항은 감소하나 부하용량이 상대적으로 증가하기때문이다. 이것은 설계로서 극복될 수 없으며 공정 기술에 의존한다.

일반적으로 상층 연결선일 수록 넓고 두꺼워지는데 이것은 상층부로 갈수록 저항 성분이 더 중요시되고 하층부에서는 부하 용량이 더 중요시 되기때문이다.

사용되는 신호선의 파장이 연결선의 길이와 비교되기 시작하면 전송선(transmission line) 특성이 고려되어야한다. 불연속선 혹은 연결선 종단에서의 반사, 연결선간의 cross talk 잡음에 대한 대책이 필요로 된다. IC 연결선에서는 전계가 인접 연결선에 영향을 주어 cross talk 와 다중 모드 전송 특성이 기생하여 150ps 보다 더 빠른 신호에 대해 영향을 주기시작한다.⁽⁷⁾ 전송선의 영향을 최소화시키기위해서는 저항 성분을 최소화시키며 연결선의 두께가 충분히 두꺼워야 한다.⁽⁷⁾

3) 패키지 기술

패키지는 VLSI 칩에 신호선과 전력선을 공급하며 회로 에서 발생한 열을 외부로 방출시키며 물리적인 보호 기능을 갖는다. 일반적으로 패키지 기술은 전체 시스템의 속도, 가격, 신뢰성에 중요한 역할을 담당한다. 최근의 서브마이크론급 디바이스 사용과 동작 주파수의 고속화로 단일 칩 내에서의 신호 전달 속도가 시스템에 미치는 영향보다는 칩에서 패키지 외부로 전달되는 신호 전달 시간의 지연이 더 큰 영향을 주게된다. 현재 고성능 시스템에서는 패키지의 지연 시간 비중이 50%정도이나 2000년대에는 도리어 80%로 증가하여 칩 내부 속도와 시스템 속도의 심한 불균형이 예상된다. 486DX2 와 같이 시스템 패키지 속도는 33MHz, 칩 내부 동작 속도는 66MHz와 같

은 기법을 사용하여 어느정도 극복하기도하나 보다 근본적인 해결책은 패키지 기술의 고속화로 전체 시스템 속도를 향상시켜야 한다.

마이크로프로세서의 처리 속도가 100MHz 급 이상 고속이되면 설계자는 반드시 그림 11의 예와같은 패키지 모델을 HSPICE 모델화하여 입출력 회로 설계시 사용하여야한다. 또한 출력 핀의 갯수가 많은 경우 정해진 설계 규격내에서 VDD, VSS 핀을 첨가하여 잡음에 대한 대책을 마련해야한다. 예를들어 32개의 출력 버퍼가 있는 CMOS VLSI 칩에서 라인 임피던스가 50 ohm, 상승 시간 2n sec, 출력 스윙이 5V 일때 전원 공급 전압의 흔들림(fluctuation)을 0.25V 이내로 하고싶은 경우 다음과 같은 설계 기법이 사용된다. 출력 전압의 변화율은 $dV/dt = 80\% \cdot 5V/2nsec = 2V/nsec$, $I=V/Z_o$ 에서 출력 전류 변화율은 $dI/dt = (1/Z_o)(dV/dt) = 0.04A/nsec$ 로 얻어진다. 32개의 드라이버가 동시에 출력되면 1.28A/n sec 의 총 전류 변화율이 발생하며 패키지의 연결선 inductance 를 1nH 로 가정시 전압 흔들림 폭은 $L(dI/dt) = 1.28V$ 가 된다. 설계 규격 0.25V 를 만족시키기위해 L 은 0.2nH 가 되어야하며 VDD, GND 10쌍을 제공할 경우 만족된다.

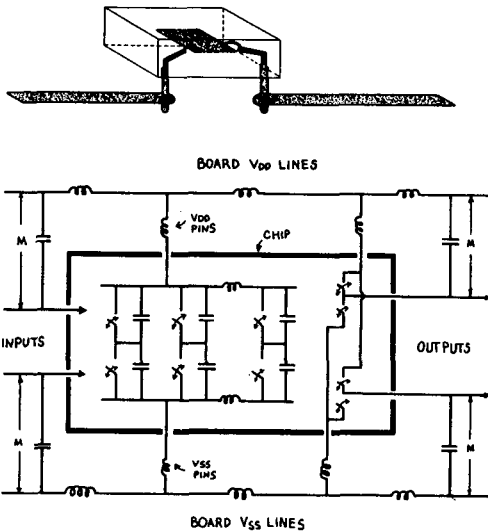


그림 11. IC Package 모델 예

전원 전압 파형을 안정화 시키는 또 다른 방식으로 decoupling capacitor를 패키지에 부착시키는 방법이 있다. 32비트 마이크로프로세서의 총 부하 용량을

14nF 정도로 가정하면 decoupling capacitor 는 약 10배, 0.14uF 이 필요하다. 여기에 100개의 출력 버퍼가 있어 각 40pF 의 부하를 구동한다면 4nF 이 되며 칩 자체 용량과 합하여져 0.2uF의 디커플링 캐파시터가 필요로된다. IBM은 자사의 마이크로프로세서에 그림 12와 같은 칩 내장형 디커플링 캐파시터를 사용하여 빈 공간마다 내장시킴으로서 그림 13과 같이 전원 전압의 흔들림 폭을 대폭 줄이고 있다.⁽⁸⁾

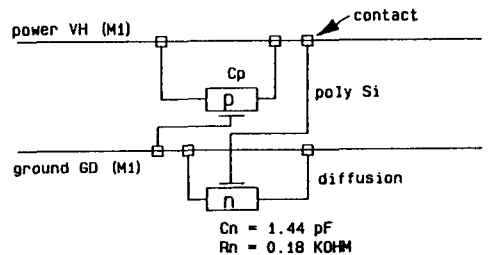
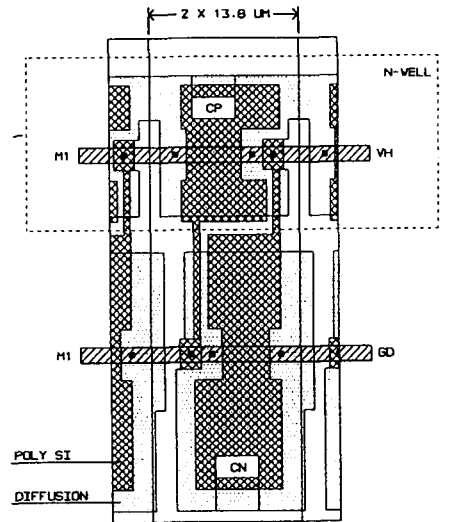


그림 12. On-Chip Decoupling 캐파시터

4) 고속 클럭 발생 및 분배 회로 기술

클럭 신호는 동기화 디지털 VLSI 칩에서 가장 중요한 신호선이다. 고속 VLSI 칩을 설계하는데는 각 회로 구성 요소(32-Bit Adder, Multiplier, Barrel Shifter, Latch, Flip-Flops etc.) 들도 빠르게 설계되어야하나 각 블럭간 동기 기준 신호인 클럭이

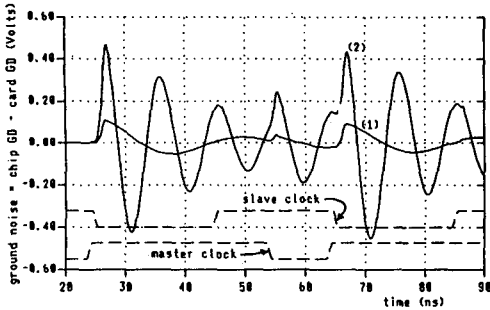


그림 13. On-Chip Decoupling Capacitor에 의한 개선전(2) 개선후(1) 전원 전압 파형

race-free 상태로 제공되어야한다. 이와함께 칩과 시스템에 걸쳐 클럭 스큐가 최소화 되어야하며 일반적으로 가장 빠른 클럭 신호의 10% 이내 값을 가져야 한다. 예를들어 250MHz의 마이크로프로세서에서는 4nsec의 사이클 타임을 가지며 전체 칩내의 모듈간 클럭 스큐는 최악의경우 0.4nsec 이내이어야한다.

칩 크기가 증가할 수록(거리 증가), 최소 디바이스 크기가 작아질 수록 (RC 상수 영향 증가) 클럭 스큐는 더욱 심각해지며 결국 마이크로프로세서의 사이클 타임 한계를 결정 할 단계까지 갈 것이다. 클럭 스큐를 상쇄, 완화시키기위해 PLL(Phase Locked Loop)을 사용하기도 하나 100MHz급 이상에서는 도리어 설계 부담만 가중되어 50,000um/1um~100,000um/0.75um 정도 크기의 초 대형 클럭 드라이버를 사용한다.

Non-Overlapping 클럭이 제공 되지 못할 경우 고속으로 갈 수록 동작 오류가 급증한다. Non-Overlapping 클럭 발생 회로는 기준 클럭과 3게이트 클럭정도의 지연 클럭을 이용하여 S-R Flip-Flop 형태의 국부 클럭을 발생시켜주는 회로로서 각 부하 조건에 맞추어 디바이스 사이클을 결정지워줌으로서 어느 경우에도 오버래핑이 안되도록 설계한다.

DEC Alpha(단일 클럭 사용)를 제외한 대부분의 마이크로프로세서는 2 phase non-overlapping 클럭을 사용한다. 이때 사이클 타임은 $T_{cycle} > T_{non-overlap,max} + T_{latch,max} + T_{logic,max} + T_{set-up,max} + T_{skew,max}$ 값으로 제한되며 여기서 $T_{setup} < T_{clk-width}$ 로서 데이터 캡처가 보장되도록 한다. Race Free 조건은 래치간 최소 지연

시간이 $T_{hold,max} < T_{nonoverlap,min} + T_{latch,min} + T_{logic,min} - T_{skew,max}$ 보다 커야 한다. 이 조건이 맞지않을 경우 래치의 결과가 다음 래치에 한 스테이지 빨리 도착하여 전 값을 파괴하는 오류가 발생하게된다.

클럭 분배 네트워크는 대규모의 클럭 트렁크를 사용하여 작은 분선으로 클럭 스큐를 최소화 시켜주는 방식이 있으며 클럭 트렁크의 형태로서 H 자 모양을 택할 경우 가장 고른 분배가 가능하다. 그러나 보다 고속의 논리회로 설계시에는 클럭을 보조 신호로 사용하는 비동기형 self-time 논리회로도 사용된다.

5) VLSI Noise

Off-Chip 드라이버와 칩 내부에서 발생하는 잡음은 VLSI 설계와 패키지에 주요 현안이다. 더 빠른 신호 상승시간, 더 많은 칩 전류, 더 큰 칩, 더 좁아지는 회로간 간격으로 인해 잡음의 근원이 증가하였다. 이전의 crosstalk 잡음은 보드 설계시에만 문제가 되었으나 이제 칩 설계에 문제가 되고있으며 동작 주파수가 증가 하고 신호선 파장이 신호선 길이와 비교되면서부터는 인접선간에 서로가 서로에대한 안테나 역할을 하게되며 문제를 악화시킨다. 디바이스의 스케일 다운과 함께 잡음 소스의 증가, 공급 전압의 저하는 상승작용으로서 기존의 디지털 VLSI 설계 방식을 계속 이용할 경우 심각한 S/N 감쇄가 예상되며 세가지 주요 설계 현안, 곧 전송선에서의 반사(reflection), 상호간섭(cross talk), 동시스윗치에 의한 잡음등을 해결해야 한다.

이러한 세가지 잡음 소스는 신호를 지연 시키거나 논리상 오동작을 야기시킨다. 반사로 인해 안정화 시간이 보다 많이 필요로되며 상호 간섭 부하 용량으로 인해 전달 시간이 지연될 수 있으며 동시 스윗치에 의한 일시적 전압 강하로인해 전류 구동 능력이 저하되어 회로 지연이 발생할 수있다. 지연과 오동작은 구분되어야하는데, 단순 지연의 경우 동작 주파수를 낮출경우 해결이 가능하다. 그러나 그림 14와 같이 잡음으로 야기되는 오동작은 단순히 동작 주파수를 낮춘다고하여 해결되지는 않는다.

상호간섭은 인접 연결선사이에 mutual capacitance, inductance 의 결과로서 선간 거리가 가까울 수록, 접지선에서 멀어떨어져있을 수록, 서로가 보다 긴 거리를 달릴수록 간섭이 심해지며 전압 파형의 변화율에도 비례한다. 상호간섭을 최소화하기위해 다음과 같은 설계 고려가 필요하다.

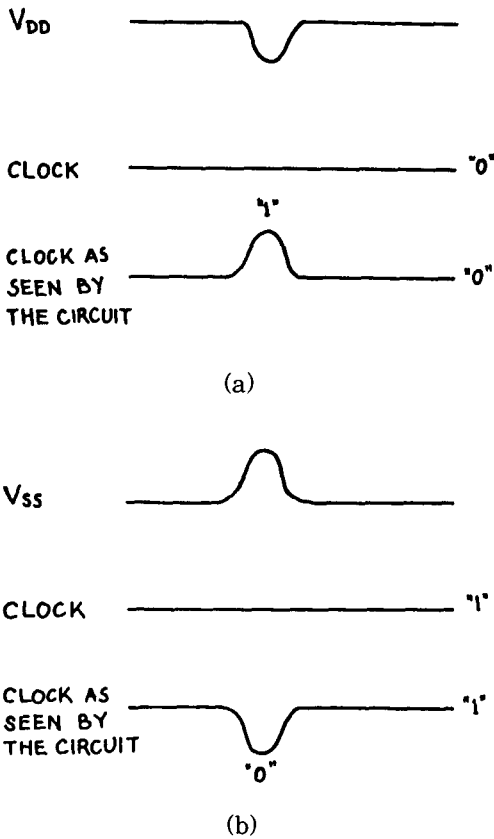


그림 14. (a) VDD에 의한 crosstalk 오동작
(b) VSS에 의한 crosstalk 오동작

- 레이아웃시 규정된 길이 이상의 두 라인이 평행하게 달리지 않도록 체크한다.
- 그라운드선을 바닥에 두어 간섭율을 낮춘다.
- 경우에 따라서는 상호 연결선 가운데에 그라운드선을 삽입한다.
- Noise Margin을 절대값으로 규격화하지 말고 신호전압의 % 수준으로 표현하고 관리하여야한다.
- 입력단에서 상호간섭으로 야기될 수 있는 오류펄스폭보다 충분히 긴 클럭 신호를 사용하여 데이터를 캡처한다.
- 주어진 클럭 폭 내에서 상승 시간과 하강 시간은 최대한 크도록 (slew rate control) 설계 여유를 둔다.

2. 새로운 CMOS VLSI 기술에의 도전

1993년 ISSCC 에서는 0.25um CMOS 256M

DRAM이 발표되었다. 온도 77° K에서 실리콘 MOSFET의 링 오실레이터 게이트 지연 시간이 10ps (100GHz) 로 발표되었으며 바이폴라의 경우 26ps/ECL gate 의 속도가 기록되었다.⁽⁹⁾

속도가 변화되면 그 양만이 아니라 질적인 변화도 가능하게된다. 예를들어 마라톤 선수는 10MPH, 자동차는 100MPH, 비행기는 1,000MPH 의 속도를 갖는데 자동차의 경우 사람이 발로 다닐 수 없는 멀리 떨어진 장소로 운전을 가능케해주며 비행기의 경우 사람의 능력을 벗어나 세계를 이주 가깝게 연결해 주고있다. VLSI 에서도 이전에 칩으로서는 불가능했던 멀티미디어 데이터 저장 혹은 처리가 가능해 지는 등 속도면 뿐이 아닌 마이크로프로세서의 기능과 처리 성능면에서 질적인 변화도 함께 진행되고있다.

VLSI 에는 물리적 설계복잡도, 새로운 fab. 건립 예산 (기술이 아무리 뛰어나도 수익성이 없을 경우 연구개발 비 투자가 불가능 해 지는)등의 한계를 갖고있다. 물리적 측면에서 실리콘의 신호처리능력의 한계는 200V*GHz 로서 아직도 큰 폭의 여유가 있다고 할 수있다. 전력 소모면에서는 예를들어 400,000게이트가 각 1ns 의 스위칭 시간에 0.1pJ 의 에너지를 소모하면 40W 의 전력이 사용된다. 물론 동시에 모든 디바이스가 동작하는것은 아님으로 실제로는 이보다 훨씬 더 많은 디바이스가 사용되고 있으나 분명한것은 한계가 있다는것이다.

1) 디바이스 스케일 다운

그림 15의 MOS 디바이스의 스케일 다운 그래프를 보면 2010년에는 0.01um~0.1um 채널길이와 수 Å의 산화막 두께를 갖게될 것으로 전망되며 이에 수반되는 제반 문제점들이 LDD, DDD(Double Diffused Drain) 등의 "Drain Engineering" 에서 GOLD(Gate-drain Over Lapped Device) 의 "Gate Engineering" 으로, 또 다시 LICT(Low Impurity Channel Transistor)의 "Substrate Engineering" 으로 점진적으로 해결되어가고있다. 그림 16에는 X-ray가 아닌 가시광을 사용하면서도 예리한 0.25um 패턴을 다층 감광막 기술로 시각한 결과를 보여주며, 패턴 형성 기술도 고도의 적정 가격 기술이 제공 되고있다.

Drain Engineering 은 0.3um~0.5um 의 디바이스에서 hot carrier effect 의 최소화와 breakdown voltage 개선을 위해 사용되었으며 단점으로 지적되었던 전류 구동 능력의 저하를 게이트 구조의

역 T 자 형으로 전환, Gate Engineering 으로 개선시켰다. (그림 17 참조)

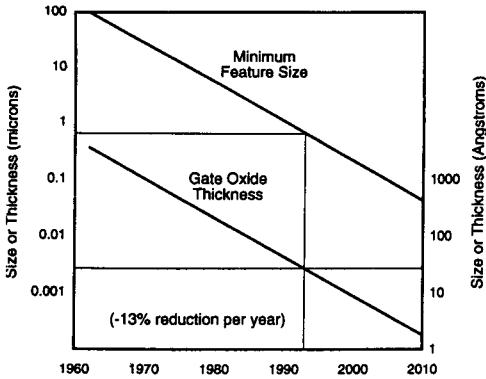


그림 15. MOS Device 축소 전망



그림 16. Carl 테크닉을 사용하여 가시광을 이용 제작된 0.25um 패턴

0.1um~0.3um 의 디바이스를 그림 18과 같이 저전압 (1.5V~3V) 에서 높은 속도를 얻을수 있게하기 위해 threshold 전압을 스케일링하는 Substrate Engineering 의 한 예로 그림 19에서 0.1um 1V 전원 0.1V Vth의 LICТ 구조단면도를 보였다.

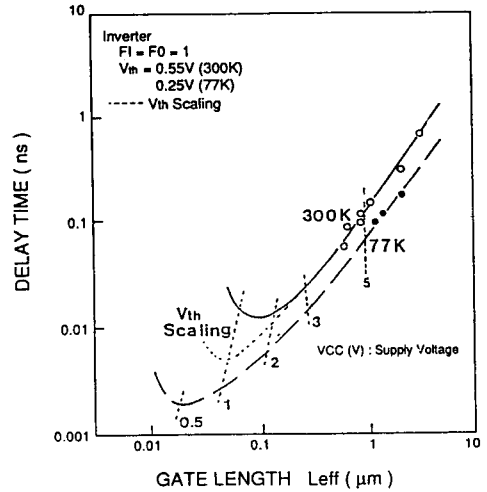


그림 18. 채널길이, 동작전압, 온도에 따른 지연시간

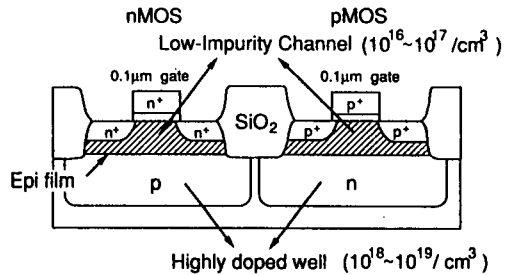


그림 19. 0.1um Low-Impueiry-Channel-Transistor 구조

디바이스 사이즈가 0.1um 이하로 내려가면 디바이스 isolation과 공핍층간의 간격을 유지하기 어려워짐에 따라 short channel effect 는 더욱 심각해지고 기생 용량에 의한 회로 특성 저하, 디바이스간 상호 간섭이 보다 큰 문제가 될 것이며, 해결책으로서 SOI (Silicon-On -Insulator), SOS (Silicon-On-Sapphire)의 활용, 혹은 디바이스의 두께를 공핍층보다 더 작게 만드는 그림 20과 같은 DELTA(DEpleted Lean-Channel TrAnsistor) 구조가 제안되어 있다.

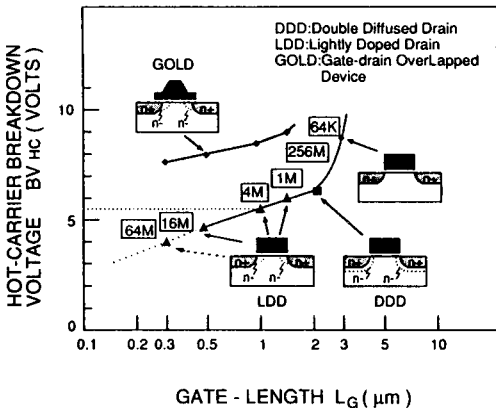


그림 17. LDD,DDD,GOLD 구조의 BVhc 특성

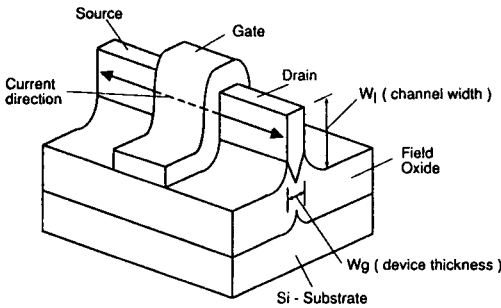


그림 20. DELTA 구조

2) VLSI 설계

그림 21에 의하면 마이크로프로세서의 트랜지스터 집적도는 2000년에 1억 이상 될것으로 전망되고있다.⁽¹⁰⁾ 수백 수천만개의 트랜지스터를 단일 칩에 집적, 상호 연결하여 성능 및 기능을 시뮬레이션 하고 시험하는 설계 분야의 복잡도 증가는 마이크로프로세서 구현의 병목 기술 중 하나이다.

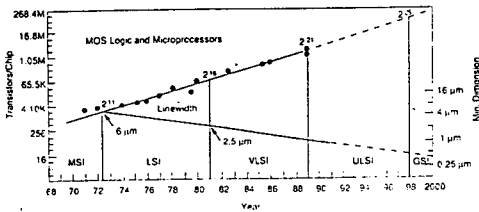


그림 21. Microprocessor 트랜지스터 채널 길이 및 집적도 전망

1970년대 초 레이아웃 설계자는 풀 커스텀 회로의 경우 하루 10 트랜지스터 비율로 설계했다. 486 프로세서에는 1.2M의 트랜지스터가 내장되어있으며 1970년대 비율로 설계하자면 한 설계자가 500년동안 일을 해야한다. 그러나 486 레이아웃에는 실제 15 man-year가 소요되었으며 이 중 9만개의 트랜지스터는 논리 합성으로 생성되어 단지 0.17 man-year 만이 소요되었다. 이외 실제 반복될 셀의 원형 트랜지스터 수는 모두 20,000개이었으며 이 비율은 하루에 디자인당 5개 트랜지스터로 도리어 감소된 결과를 가져왔다. 이것은 그만큼 배치 및 배선, 검증을 고려한 레이아웃 최적화에 더 많은 시간이 소요된 결과로 유추할 수 있다. 또 다른 예로 MCNC에서 개발한 68만 8천개의 트랜지스터를 갖는 풀 커스텀 칩은 1.5 man-year만이 소요되어 5,900개의 개별 트랜지스

터에 대해 하루 16개의 생산성을 가졌다. 최근의 개선된 CAD tool 들은 5만개 수준의 회로 합성 및 레이아웃 생성을 수시간 이내에 완료하는 빠른 결과를 보여주고있다. 결국 설계 복잡도의 증가로 인해 칩의 기능, 경제성, 스케줄등에 따라 설계 초기 단계에 가장 적합한 VLSI CAD 및 Design Methodology 선택이 보다 더 중요해진다.

회로 설계 기술에서는 0.5um 급부터 당장 5V 에서 3.3V로 동작 전압이 낮아지는데 따른 속도 저하 문제를 극복해야한다. 포화 영역에서의 전류가 전압의 제곱에 비례하므로 60% 이상의 속도저하가 예상되나 실제로는 동작전압이 감소됨에 따라 velocity saturation이 완화되어 그림 22에 보인바와같이 25% 정도만의 속도저하 결과를 보여주고있다.⁽¹¹⁾ 또 다른 고무적인 실험 결과는 그림 23에 보인바와 같이 직렬 연결된 트랜지스터들의 성능이 마찬가지로 이유로 개선된 결과, 보다 컴팩트한 회로 사용이 가능해진 것이다.⁽¹²⁾

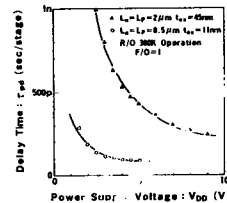


그림 22. 2um 디바이스와 0.5um 디바이스의 전압변동에 따른 지연 시간 변화

BiCMOS는 full-swing시 CMOS에 비해 고속 동작이 가능하나 디바이스 스케일 다운으로인한 공급 전압, Vth, 트랜지스터 크기의 감축과 함께 Vbe의 Vdd에 대한 비중이 더 커짐에 따른 성능저하를 포함하여 설계과정 중 별도의 시뮬레이션 tool 필요, 공정 복잡도 증가등의 현안에대한 극복이 필요하다. (그림 24와 25 참조)

테스트 복잡도도 설계 복잡도와 유사하게 다루어져야 하는데 가장 이상적인것은 칩의 규격에서 바로 테스트 벡터를 자동으로 생성할 수 있는 소프트웨어의 개발 및 활용이다. 현재로서는 각 기능 블럭별로 특화된 scan path 를 활용하여 기능 오류 추적은 물론 스크린 후 기능 테스트를 하는 방법으로서 불량칩 시험에 소요되는 시간을 크게 절약하고있다. 시스템 복잡도 증가에 따라 설계 검증에 소요되는 시뮬레이션

의 시간이 길어지며 H/W 에뮬레이터와 S/W 시뮬레이터를 복합적으로 활용하는 검증 체계가 널리 사용되고 있다.

MCM(Multi-Chip Module) 과 3차원 IC등 보다 개선된 패키징 기술의 적정 가격 공급으로 시스템 설계 복잡도는 계속 증가할 것이나 시스템의 크기는 지속적으로 스케일 다운 될 것이다.

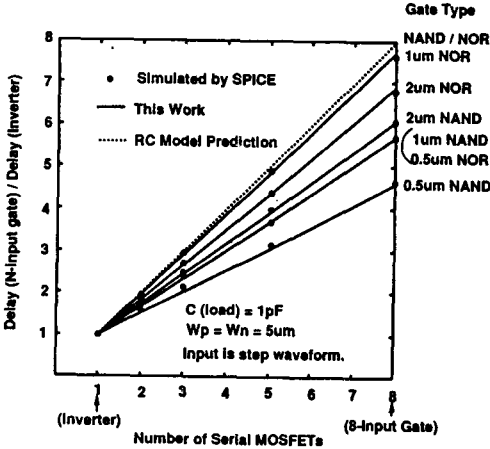


그림 23. 직렬연결 트랜지스터 특성 비교

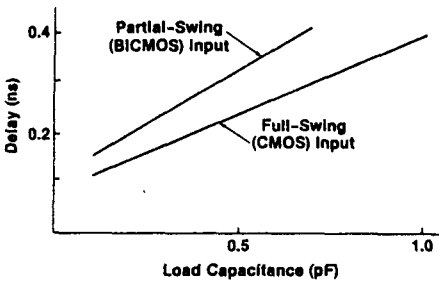


그림 24. 입력과형에 의한 CMOS/BiCMOS 회로 지연

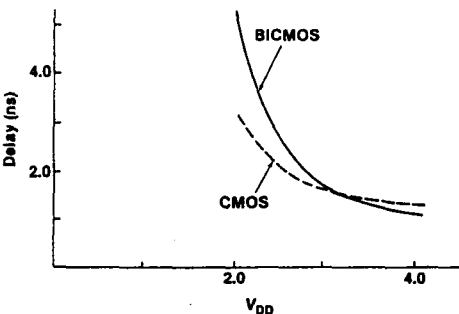


그림 25. 공급전형에 의한 CMOS/BiCMOS 회로 지연

VII. 결론

1995년 이후의 High-End 마이크로프로세서는 슈퍼스칼라 형식에서 4-웨이 이상 Out-of-Order Issue, single thread 보다는 multi-thread 지향 구조를 갖게 될 것이며 최소 200MHz, 최대 500 MHz 의 동작주파수에 64K~256K 바이트 캐쉬를 내장하고 300SPECint92, 500SPECfp92 수준의 평균 성능을 가지며 기능면에서도 범용의 일반 프로그램 지원의 멀티미디어를 지원하기위한 Video, Speech, Sound, Image, Graphics 하드웨어가 내장된 모습이 될 것으로 예상되며 High-End PC, WS, 메인프레임, 슈퍼컴퓨터까지 교류 사용 될 것으로 기대된다.

이와 대조적으로 초저전력 소모를 특징으로하는 Deep Low-End 마이크로프로세서들은 휴대용 종합 정보 통신 가전 (Computer, Communication & Consumer) 기구에 사용 되어 1980년대 PC 와 WS 을 중심으로 발전되어 온 마이크로프로세서의 구조에 새로운 방향을 제시 해 줄 것이다.

WindowsNT 의 등장에따라 x86 계열과 RISC 연합 계열(WindowsNT 기체택 혹은 예정인 DEC Alpha, MIPS, IBM PowerPC, HP-PA)의 성능 및 S/W 호환성면에서 일대접전이 예상되나 현재로서는 당분간 x86 계열의 지속적인 우세속에 RISC 가 수 %의 점유율만을 기록하여도 만족한 입장이 유지 될 것으로 전망된다.

개발 투자 측면에서는, IBM/Motorola/Apple의 3사가 공동으로 개발 중인 PowerPC와 같은 새로운 마이크로프로세서 구조의 개발 및 S/W 포함, 시장 개척에는 5년에 걸친 10억달러의 개발비와 300여명의 설계 기술 인력등 거대한 투자가 필요로되나, HP-PA7100, Cyrix 486, Am386/486, IIT 486의 예와같이 기투자된 설계 및 S/W 자원의 최대 활용을 통해 기존의 구조를 개선하고 구현하는데는 10~15 명의 설계 인력, 2~3년의 설계 기간, 1,000만 달러

내외의 투자로 개발이 가능하다.

향 후 마이크로프로세서분야의 경쟁은 반도체 기술을 주도하는 회사가 궁극적으로 최종 승자가 될 것으로 전망된다. 예를들어 Cyrix 와 같이 단시간에 우수한 설계 능력을 과시하며 486칩을 개발했음에도 자체 내 fab. 이 없어 사업에 어려움을 겪고있으며, SUN SuperSPARC의 경우도 반도체 회사인 TI 와의 공동 개발 형태를 취함에 따라 구조면에서 3-웨이 슈퍼스칼라의 월등한 장점을 갖고서도 성능 경쟁에서 낙오된 경우들이 있다. DEC, IBM, HP, Intel 4개 회사 모두 차세대 마이크로프로세서 개발에 막대한 투자를 하며 앞서 갈 수 있는것은 이를 뒷받침 할 수 있는 자체내 반도체 fab. 을 갖고있기 때문이다.

설계 기술에 대한 투자비는 반도체 fab. 투자 비용에 비교하여 상대적으로 적으며, deep 서브마이크론 급으로 갈 수록 fab. 투자 비용은 그림 26과 같이 급속하게 증가된다. 메모리 전문 회사들은 이러한 경쟁에서 우위에 있게되는데 마이크로프로세서가 메모리를 항상 1~2세대 뒤에서 따라가는 입장으로 구세대 메모리 라인을 마이크로프로세서 라인으로 변환, 운영함으로써 보다 경제적인 공장 운영이 가능하며 이러한 관점에서 볼때 설계에 투자되는 비용은 장기적인 안목으로 평가되어야 한다.

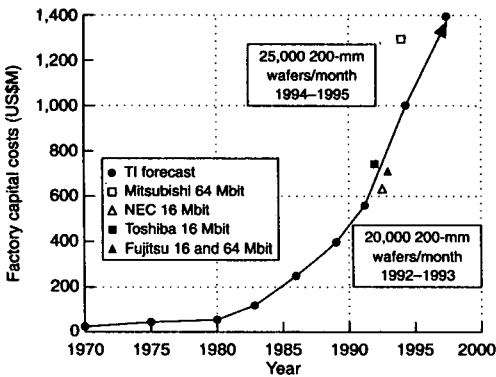


그림 26. Fab. 투자 비용 전망

삼성전자에서는 이와같은 장점을 충분히 활용하며 High-End 분야에서 100MHz 120SPEC mark 의 성능을 갖는 32/64비트 마이크로프로세서와 Deep-Low-End 분야의 초저전력 소모형 32 비트 마이크로프로세서 개발을 계획 하고있다.

1990년대 후반기에는 컴퓨터 구조의 획기적인 개

선 보다는 현존하는 컴퓨터 시스템과 마이크로프로세서의 구조를 개선하고, 초미세화되는 VLSI 반도체 구현을 통하여 High-End 마이크로프로세서의 개발이 지속될 것이며, 고속, 고집적, 저전력, 가격면에서 업체들간에 극심한 경쟁이 펼쳐질것으로 전망된다.

參考文獻

- [1] Don Lindsay, "The Limits of Chip Technology," *MICROPROCESSOR REPORT*, Jan. 25, 1993.
- [2] Kaivalya M. Dixit, "New CPU Benchmark suites from SPEC," *IEEE Proc. of COMPCON*, Mar. 1992.
- [3] Linley Gwennap, "1992 in Review: The Top RISC Processors," *MICROPROCESSOR REPORT*, DEC. 30, 1992.
- [4] Larry McMahn and Ruby Lee, "Pathlengths of SPEC Benchmark for PA-RISC, MIPS, SPARC," *IEEE Proc. of COMPCON*, Mar. 1993.
- [5] Joseph A. Lukes, "HP Precision Architecture Performance Analysis," *HEWLETT-PACKARD Journal*, Aug. 1986.
- [6] Brian Case, "Comparing the New 64-Bit RISCs," *MICROPROCESSOR REPORT*, Mar. 8, 1993.
- [7] H.B Bakoglu, *Circuits, Interconnections, and Packaging for VLSI*, Addison-Wesley, 1990.
- [8] Helmut Schettler et al., "A CMOS Mainframe Processor with 0.5um Channel Length," *IEEE J. Solid-State Circuits*, vol. SC-25, pp1166-1177, Oct. 1990.
- [9] Minoru Nagata, "Limitations, Innovations, and Challenges of Circuits and Devices into a Half Micrometer and Beyond," *IEEE J. Solid-State Circuits*,

vol. SC-27, pp465-472, Apr. 1992.

[10] Richard B. Fair, "Challenges to Manufacturing Submicron Ultra-Large Scale Integrated Circuits," *Proc. of IEEE*, vol. 78, pp1687-1703, Nov. 1990

[11] M. Kakumu and M. Kinugawa, "Power-supply voltage impact on circuit performance for half and lower submicrometer CMOS VLSI," *IEEE Trans. Electron Devices*, vol. 37, no. 8, pp.1902-1908, Aug. 1990.

[12] Takayasu Sakurai and A. Richard Newton, "Delay Analysis of Series-Connected MOSFET Circuits," *IEEE J. Solid-State Circuits*, vol. SC-26, pp123-131, Feb. 1991. Ⓢ

筆者紹介



盧 亨 來

1952年 9月 3日生
 1974年 2月 서울대학교 공과대학 전자공학과 졸업
 1981年 12月 미 Rensselaer Polytechnic Institute 대학원 졸업
 1987年 ~ 1989年 미 Arizona State University 대학원 수학

1982年 3月 ~1990年 1月 Intel Corporation, Microcontroller Divison, Project Leader
 1990年 1月 ~현재 삼성전자(주) MICOM 사업담당 이사

주관심분야: VLSI Processor 설계



朴 星 培

1958年 8月 12日生
 1981年 2月 고려대학교 공과대학 전자공학과 졸업
 1989年 8月 고려대학교 대학원 전자공학과 졸업(공학석사)
 1988年 8月 전자계산기분야 기술사

1982年 3月 ~1991年 2月 한국전자통신연구소 선임연구원
 1991年 3月 ~현재 삼성전자(주) MICOM 사업담당 수석연구원

주관심분야: VLSI Processor 설계