

Buffer 회로를 이용한 SCI의 오차 보상에 관한 연구

正會員 吳 成 根* 正會員 金 東 龍**

A Study on Compensating the Errors of SCI using the Buffer Circuit

Sung Keun Oh*, Dong Yong Kim** *Regular Members*

要 約

스윗치드-캐패시터 적분기(SCI)는 스윗치드-캐패시터 필터(SCF)를 구성하기 위한 기본 블록이다. SCI에 사용된 op-amp의 유한이득과 유한대역폭으로 인하여 발생하는 오차때문에 많은 SCF가 사용에 제한을 받는다. 물론 능동 RC 필터를 위한 여러가지 보상법을 직접적으로 SCF에 적용시킬 수는 있지만, 이 방법은 필터 응답에 미치는 op-amp의 동특성에 대한 영향을 해석하는데는 적합치 않다. Op-amp의 유한이득에 의한 영향은 능동 RC 필터와 유사하지만 유한 대역폭에 의한 영향은 SCF가 더욱 견실성이 있다.

본 논문에서는 SCI에 사용된 op-amp의 유한 이득과 대역폭으로 인한 오차를 고찰하고 버퍼회로를 이용하여 이를 보상할 수 있는 간단하고 효과적인 방법을 제시한다.

ABSTRACT

The Switched-Capacitor Integrator(SCI) is a basic building block of Switched-Scpacitor Filter (SCF). But owing to the errors from the finite gain and bandwidth of op-amp on SCI, the most of SCF are limited to their applications.

Although many of the compensation methods developed for active RC filters can be directly adapted to SCF, this is not true for the analysis of the effects of the op-amp dynamics on the filter response. The effect of finite op-amp gain is similar to the active RC filters. But SCF is more tolerant of the finite op-amp bandwidth.

In this paper, we have considered the errors of the finite gain and bandwidth of op-amp on SCI, and presented the simple and effective methods of compensating the errors of SCI due to the finite op-amp gain using the buffer circuit.

I. 서 론

반도체의 기술 발달로 모든 회로를 집적화하는 경향이나 RC회로는 RC적을 집적화하기가 어렵기 때문에 이를 모의하기 위한 스윗치드 캐패시터 회로(switched-capacitor circuit)를 연구하고 있다. SC회로를

*全州工業專門大學 電氣科
**全北大學校 電氣工學科
Dept. of Electrical Engineering, Chonbuk Nat'l Univ.
論文番號 : 93-119

설계하는데는 스위치드 캐패시터 적분기(switched-capacitor integrator ; SCI)를 기본 블록으로 이용하지만 SCI에 사용된 op-amp의 비이상성에 기인한 오차가 문제로 제기된다. 그래서 아날로그 적분기와 마찬가지로 SCI도 op-amp의 유한이득과 유한대역폭에 기인한 오차는 적절한 보상을 해주어야 한다.

그러나 능동 RC회로와는 달리 SC회로에서는 op-amp의 유한대역폭에 의한 오차는 대역폭의 증가에 따라 지수함수적으로 감소하기 때문에 유한이득에 의한 오차만큼 크게 문제되지 않는다.

최근 E.A.Talkhan, M.Sasikumar, M.A.Reddy 등에 의해 SCI의 보상법이 발표되었으나 이는 능동 RC회로에 적용한 방법과 비슷한 것이었다.^[1,2] 능동 RC회로에 맞게 개발된 보상법이 그대로 SCI에서도 적용되기는 하지만 이 방법은 SC회로를 분석하는데는 이산시간(discrete-time)이 적용되는 반면 op-amp 동작특성은 연속시간(continuous-time)이기 때문에 SC회로에서의 op-amp 동작특성을 정확하게 분석하는데는 적합치 않다. 뿐만 아니라 또 다른 op-amp나 캐패시터같은 소자가 추가되기 때문에 집적화하기도 어렵다.

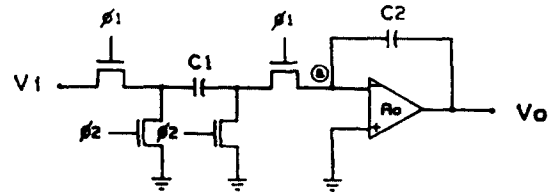
따라서 본 논문에서는 SC회로 설계에 가장 널리 사용되는 기생캐패시턴스에 불감인 SCI(stray-insensitive SCI)를 이용하여 op-amp의 유한이득과 유한대역폭에 기인한 전달함수상의 오차를 고찰하고 유한이득에 의한 영향이 크므로 이를 보상할 수 있는 새로운 방법을 제시하였다. 이 방법은 좁은 대역폭과 높은 이득을 갖는 다단증폭기를 넓은 대역폭과 적당한 이득을 갖는 일단증폭기로 대체할 수 있기 때문에 집적화도 용이하고 사용 주파수대역도 넓힐 수 있는 장점이 있다.

II. SCI의 기본 동작 원리

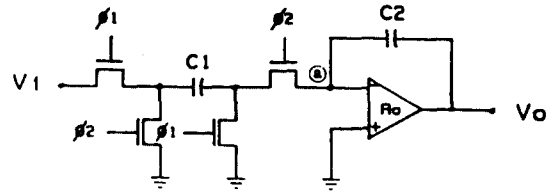
2.1 기본 동작 원리

SC회로를 설계할때는 SCI를 기본 블록으로 사용하는데 SCI에는 반전 SCI와 비반전 SCI가 있다. 그 중 기생캐패시턴스에 가장 영향이 적은 SCI가 널리 사용되며 그 기본 블록은 그림1과 같다. SCI를 동작시키기 위해서는 통상 2상의 비중첩 클럭을 사용하며 그림1의 반전과 비반전 SCI에 있어서 클럭 주기에 따른 동작원리는 그림2, 그림3과 같다.^[3-10]

그림 2에서 FET(ϕ_1)이 ON되면 캐패시터 C_1 은 입

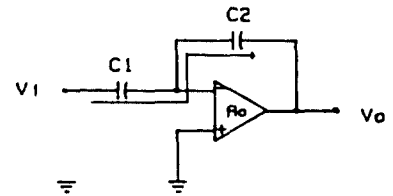


(a)반 전

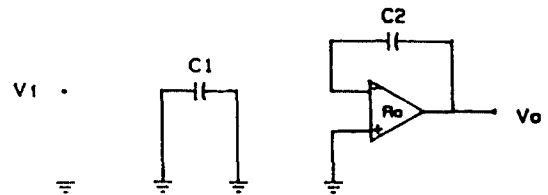


(b)비반전

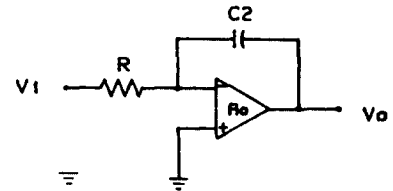
그림 1. 기생 캐패시턴스에 영향이 없는 SCI
Fig. 1. Stray-insensitive SCI



(a)FET(ϕ_1)가 ON 일때



(b)FET(ϕ_2)가 ON 일때

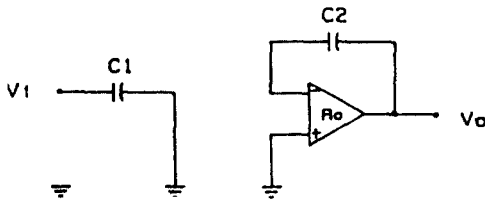


(c)Continuous-time 동가회로

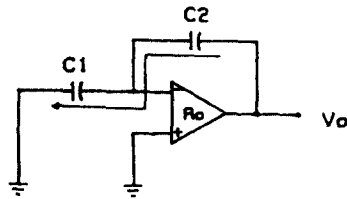
그림 2. 반전 SCI의 동작원리
Fig. 2. Operational principle of inverting SCI

력전압 V_i 에 접속되고 op-amp의 입력단은 접지상태로 되며 전류는 (a)의 화살표 방향으로 흐르면서 C_1 은 V_i 에 의해 충전된다. 캐패시터 C_2 를 통해서 전류가 흐르기 때문에 C_2 의 전하는 C_1 에 충전되었던 전하량에 의해 변한다. 그래서 클럭 주기 T 동안에 $C_1 V_i$ 의 전하량이 C_2 에 전달된다. 다음 FET(ϕ_2)가 ON 되는 동안 캐패시터 C_1 은 접지되면서 충전 전하가 완전하게 방전하는 것이다.

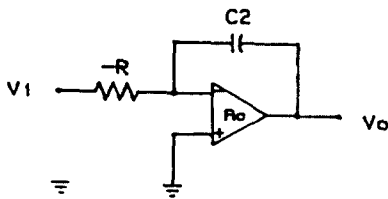
그림 3에서 FET(ϕ_1)이 ON되는 동안 캐패시터 C_1 은 입력전압 V_i 에 의해 충전되고 FET(ϕ_2)가 ON되는 동안 C_1 의 전하량 $C_1 V_i$ 가 C_2 를 통해서 (b)의 화살표 방향으로 완전하게 방전한다. 반전, 비반전 모두 클럭주기 T 가 입력신호의 주기보다 훨씬 높으면 전하의 이동 과정이 거의 연속적으로 이루어져서 아나로그 등가 적분기로 대체시킬 수가 있다.



(a) FET(ϕ_1)이 ON 일때



(b) FET(ϕ_2)가 ON 일때



(c) Continuous-time 등가회로

그림 3. 비반전 SCI의 동작원리

Fig. 3. Operational principle of non-inverting SCI

그림2 (c)에서

$$R = \frac{V_i}{I} = \frac{T}{C_1} \quad (2.1)$$

로 되며 전달함수 $H(\omega)$ 는

$$H(\omega) = \frac{V_o(\omega)}{V_i(\omega)} = \frac{1}{j\omega RC_2} \quad (2.2)$$

로 된다. 식(2.1)을 (2.2)에 대입하면 식(2.3)을 얻을 수 있다.

$$H(\omega) = \frac{V_o(\omega)}{V_i(\omega)} = \frac{C_1/C_2}{j\omega T} \quad (2.3)$$

2.2 SCI의 전달함수

반전 SCI의 전달함수를 구하기 위하여 그림1(a)에서 클럭 주파수가 신호 주파수 보다 훨씬 높다고 가정하면 출력 전압은

$$V_o(nT) = V_o(nT - T/2) - (C_1/C_2)V_i(nT) \quad (2.4)$$

가 되며 ϕ_2 가 ON되는 동안 캐패시터 C_2 의 전하는 변함이 없으므로 식(2.5)가 된다.

$$V_o(nT - T/2) = V_o(nT - T) \quad (2.5)$$

식(2.4), (2.5)에서 전달함수 $H(Z)$ 를 구하고 $Z = e^{j\omega T}$ 를 대입하면 식(2.6)이 된다.

$$H(e^{j\omega T}) = \frac{V_o(\omega)}{V_i(\omega)} = \frac{-(C_1/C_2)e^{j\omega T}}{j2\sin(\omega T/2)} \quad (2.6)$$

클럭 주파수가 신호 주파수 보다 훨씬 높기 때문에 $(\omega T/2) \ll 1$ 이 되어 $\sin(\omega T/2) \cong \omega T/2$ 가 되므로 식(2.6)이 식(2.3)과 같게 된다. 비반전 SCI도 같은 절차로 구할 수 있으며 그 결과는 식(2.7)이 된다.

$$H(e^{j\omega T}) = \frac{V_o(\omega)}{V_i(\omega)} = \frac{(C_1/C_2)}{j\sin(\omega T/2)} \quad (2.7)$$

이상적인 경우에 있어서 반전과 비반전 SCI의 크기 및 위상특성은 식(2.6), (2.7)이 된다.

III. Op-amp의 비이상성에 기인한 SCI의 오차

3.1 유한이득에 의한 오차

유한이득에 의한 오차를 고찰하기 위하여 그림1

(a) 반전 SCI에서 유한대역폭 B는 클럭 주파수 f_c 보다 훨씬 크다고 가정한다. 즉 $B/f_c \gg 4$ 이고 op-amp의 유한이득을 A_0 라 하면 op-amp의 차입력 전압은 $-V_o/A_0$ 가 된다. $t = nT$ 인 순간에 출력전압 $V_o(nT)$ 는

$$V_o(nT) = V_{c2}(nT) - V_o(nT)/A_0 \quad (3.1)$$

이 되며 절점 ㉔에서는 식(3.2)가 성립한다.

$$C_2[V_{c2}(nT) - V_{c2}(nT - T)] + C_1[V_i(nT) + V_o(nT)/A_0] = 0 \quad (3.2)$$

식(3.1)과 (3.2)에서 전달함수를 구하면 식(3.3)이 된다.

$$H(Z) = \frac{V_o(Z)}{V_i(Z)} = \frac{-(C_1/C_2)[(1+C_1/C_2)/A_0]^{-1}Z}{Z - (1+A_0)/[1+(1+C_1/C_2)/A_0]} \\ = \frac{-(C_1/C_2)}{(1+1/A_0)[1+(1+C_1/C_2)/(1+A_0)] - Z^{-1}} \quad (3.3)$$

식(3.3)에 $Z = e^{j\omega T}$ 를 대입하여 주파수 응답을 구하면 식(3.4)가 된다.

$$H(e^{j\omega T}) = \frac{-(C_1/C_2)e^{j\omega T}}{j2\sin(\omega T/2)} \\ = \frac{1}{1+1/A_0(1+C_1/2C_2) - j[(C_1/C_2)/2A_0 \tan(\omega T/2)]} \\ = \frac{H_1(e^{j\omega T})}{1 - m_{A_0}(\omega) - j\theta_{A_0}(\omega)} \quad (3.4) \\ = H_1(e^{j\omega T})E_{A_0}(\omega)$$

여기서 $H_1(e^{j\omega T})$ 는 반전 SCI의 이상적인 전달함수이며 $m_{A_0}(\omega)$ 와 $\theta_{A_0}(\omega)$ 는 유한이득 A_0 로 야기되는 크기 및 위상 오차이다.^[5,10]

3.2 유한대역폭에 의한 오차

Op-amp의 유한대역폭 B에 의해 SCI에서 발생하는 오차들은 op-amp의 소신호 안정 동작과 관계가 있기 때문에 이 오차들은 op-amp가 안정되는 최대시간과 관계가 있다.

그림1(a)에서 FET(ϕ_1)이 ON되는 동안 입력전압 V_i 는 일정하고 클럭 끝단에서 샘플링 된다고 가정하여 실제의 전달함수를 구해보면 다음과 같다.^[5,10] FET

(ϕ_1)이 ON되는 동안 입력전압 $V_i(t)$ 는 일정하므로 식(3.5)로 되며 $t = nT$ 인 순간에 미분하면 식(3.6)이 된다.

$$V_o(nT) - V_o(nT - T/2) \\ = [(C_1 + C_2)/C_2][V_i(nT) - V_i(nT - T/2)^+] \quad (3.5)$$

$$\frac{dV_o(t)}{dt} = \left(\frac{C_1 + C_2}{C_2} \right) \frac{dV_i(t)}{dt} \quad (3.6)$$

$t = nT$ 인 순간에 V_i 값을 구하면 식(3.7)이 된다.

$$V_i(nT) = V_i(nT - T/2)^+ e^{-K_1} \quad (3.7)$$

여기서 $K_1 = [\omega_1 C_2 / (C_1 + C_2)](T/2)$ 이다. 식(3.7)을 식(3.5)에 대입하면 식(3.8)이 된다.

$$V_o(nT) = V_o(nT - T/2) - [(C_1 + C_2)/C_2] \\ (1 - e^{-K_1})V_i(nT - T/2) \quad (3.8)$$

같은 방식으로 FET(ϕ_2)가 ON되는 동안은 식(3.9), (3.10)이 된다.

$$V_i(nT - T/2)^- = V_i(nT - T)e^{-K_2} \quad (3.9)$$

$$V_o(nT - T/2) = V_o(nT - T) - (1 - e^{-K_2})V_i(nT - T) \quad (3.10)$$

여기서 $K_2 = (\omega_1 T/2)$ 이다. 즉 $t = (nT - T/2)$ 인 순간에 캐패시터 C_1 은 op-amp의 반전 입력단에 접속되기 때문에 C_1 의 전하는 순간적으로 C_1 과 C_2 로 분산되어 식(3.11)이 성립한다.

$$V_i(nT - T/2) = [C_2 / (C_1 + C_2)]V_i(nT - T/2) \\ + [C_1 / (C_1 + C_2)]V_i(nT - T/2) \quad (3.11)$$

식(3.9), (3.10), (3.11)을 식(3.8)에 대입하면

$$V_o(nT) = V_o(nT - T) - (C_1/C_2)(1 - e^{-K_1})V_i(nT - T/2) \\ - [1 - e^{-(K_1 + K_2)}]V_i(nT - T) \quad (3.12)$$

로 되며 식(3.9), (3.11)을 식(3.7)에 대입하면 식(3.13)이 된다.

$$V_o(nT) = [C_2/(C_1 + C_2)] e^{-(K_1+K_2)} V_i(nT-T) + [C_1/(C_1 + C_2)] e^{-K_1} V_i(nT-T/2) \quad (3.13)$$

여기서 FET(ϕ_1)이 ON되는 동안 입력은 일정하기 때문에 식(3.14)가 성립된다.

$$V_i(nT-T/2) = V_i(nT) \quad (3.14)$$

식(3.12), (3.13), (3.14)로 부터 전달함수를 구하면 식(3.15)가 된다.

$$H(Z) = \frac{V_o(Z)}{V_i(Z)} = \frac{-(C_1/C_2)}{1-Z^{-1}} \left[1 - e^{-K_1} + e^{-K_1} \left(\frac{C_2}{C_1 + C_2} \right) Z^{-1} \cdot \frac{\{1 - e^{-(K_1+K_2)}\}}{\{1 - Z^{-1}(C_2/(C_1 + C_2)) e^{-(K_1+K_2)}\}} \right] \quad (3.15)$$

$e^{-(K_1+K_2)} \ll 1$ 이므로 식(3.15)를 간략화하고 주파수 응답을 구하면 식(3.16)이 된다.

$$H(e^{j\omega T}) = \frac{V_o(\omega)}{V_i(\omega)} \cong \frac{-(C_1/C_2)e^{j\omega T/2}}{j2\sin(\omega T/2)} \cdot [1 + e^{-K_1}\{(C_2/(C_1 + C_2))\cos\omega T - 1 - j(C_2/(C_1 + C_2))\sin\omega T\}] \quad (3.16)$$

비반전 SCI의 경우도 전달함수의 유도과정은 같다. 그러나 비반전의 경우 FET(ϕ_2)가 ON되는 동안에 캐패시터 C_1 의 전압이 op-amp의 반전 입력단에 걸리게 된다. 결과적인 전달함수는 식(3.17)이 된다.

$$H(Z) = \frac{V_o(Z)}{V_i(Z)} = \frac{(C_1/C_2)Z^{-1}}{1-Z^{-1}} \cdot [1 - e^{-K_1}\{C_1/(C_1 + C_2)\} - e^{-(K_1+K_2)}\{C_2/(C_1 + C_2)\}] \cdot [1 + \{C_2/(C_1 + C_2)\}e^{-(K_1+K_2)}Z^{-1} / \{1 - e^{-(K_1+K_2)}\{C_2/(C_1 + C_2)\}Z^{-1}\}] \quad (3.17)$$

통상 $e^{-K_2} \ll 1$ 이므로 식(3.17)을 간략화하고 주파수 응답을 구하면 식(3.18)이 된다.

$$H(e^{j\omega T}) = \frac{V_o(\omega)}{V_i(\omega)} \cong \frac{(C_1/C_2)e^{-j\omega T/2}}{j2\sin(\omega T/2)} \cdot [1 - e^{-K_1}\{C_1/(C_1 + C_2)\}] \quad (3.18)$$

식(3.4), (3.16), (3.18)로 부터 유한대역폭과 유한이득으로 인한 오차를 정리하면 표 1과 같으며 (B/f_c) 값에 따른 각 오차값을 실제 계산한 결과는 표 2와 같다.

표 1. Op-amp의 유한이득과 유한대역폭에 기인한 SCI의 오차

Table 1. SCI errors due to the finite gain and bandwidth of op-amp

유한이득 A_0 에 의한 오차	반전, 비반전 공통 $m_{A_0}(\omega) = \frac{1}{A_0} (1 + \frac{C_1}{2C_2})$ $\theta_{A_0}(\omega) = \frac{C_1/C_2}{2A_0 \tan(\omega T/2)}$
유한대역폭 B에 의한 오차	반전 SCI $m^-_B(\omega) = -e^{-K_1} [1 - (C_2/(C_1 + C_2)) \cos\omega T]$ $\theta_B(\omega) = -e^{-K_1} (C_2/(C_1 + C_2)) \sin\omega T$
	비반전 SCI $m^+_B(\omega) = -e^{-K_1} (C_1/(C_1 + C_2))$ $\theta_B(\omega) = 0$
$K_1 = \pi(C_2/(C_1 + C_2))(B/f_c)$ $f_c = \text{clock 주파수}$	

표 2. 유한대역폭에 의한 오차

Table 2. Errors due to the finite bandwidth

- SCI의 캐패시터비 : $C_1/C_2 = 0.5$
- 클럭주파수에 대한 신호비 : $f/f_c = 0.1$

B/f_c	e^{-K_1}	$m^+_B(\omega)$	$m^-_B(\omega)$	$\theta_B(\omega)$
1	1.237 E-1	5.671 E-2	4.103 E-2	4.824 E-2
2	1.516 E-2	6.984 E-3	5.053 E-3	5.941 E-3
4	2.300 E-4	1.060 E-4	7.667 E-5	9.013 E-5
8	5.288 E-8	2.436 E-8	1.763 E-8	2.072 E-8

IV. SCI의 오차 보상회로 설계

4.1 비반전 SCI의 오차 보상 회로

그림2(a)에서 op-amp의 유한이득을 A_0 라 하고 $B/f_c \gg 4$ 라 하면 유한대역폭에 의한 오차의 영향은 무시할 수 있다. Op-amp의 이득이 A_0 로 유한하기 때문에 그 차입력 전압은 $-V_0/A_0$ 가 되며 2상 클럭을 가정

하면 전하 보존의 법칙(principle of charge conservation)에 의하여 식(4.1), (4.2)가 된다.

$$\begin{aligned}
 V_i(nT+T/2)C_1 + [V_o(nT+T/2) + V_o(nT+T/2)/A_o]C_2 \\
 = [V_o(nT+T) + V_o(nT+T)/A_o]C_2 \\
 + V_o(nT+T)/A_oC_1 \quad (4.1)
 \end{aligned}$$

$$V_o(nT) = V_o(nT+T/2) \quad (4.2)$$

식(4.1)과 (4.2)에서 전달함수를 구하면 식(4.3)이 된다.

$$H(Z) = \frac{V_o(Z)}{V_i(Z)} = \frac{C_1/C_2}{(1+1/A_o)} \frac{Z^{-1/2}}{1 + \frac{(C_1/C_2)}{(1+A_o)} - Z^{-1}} \quad (4.3)$$

(방법 1: 잔류전하 첨가법)

식(4.1)의 좌변에 $V_o(nT+T)/A_oC_1$ 항을 더해준다. 이 방법의 물리적 의미는 FET(ϕ_1)이 ON되는 동안에 캐패시터 C_1 에 op-amp의 유한이득 A_o 에 의해 발생하는 차입력 전압을 가해 줌으로써 $V_o(nT+T)/A_oC_1$ 의 전하를 더해주는 것과 같다. 이렇게 함으로써 FET(ϕ_2)가 ON되는 동안에 C_1 의 충전 전하를 완전하게 방전시킬 수가 있다. 그림 4의 Buffer를 이용한 케환회로(Feedback circuit)로써 수행할 수가 있으며 수식적인 전개를 행하면 식(4.4)가 된다.

$$\begin{aligned}
 V_i(nT+T/2)C_1 + [V_o(nT+T/2) + V_o(nT+T/2)/A_o] \\
 C_2 + V_o(nT+T)/A_oC_1 \\
 = [V_o(nT+T) + V_o(nT+T)/A_o]C_2 \\
 + V_o(nT+T)/A_oC_1 \quad (4.4)
 \end{aligned}$$

식(4.2)를 식(4.4)에 대입하고 Z-변환을 행한후 전달함수 H(Z)를 구하면 식(4.5)가 된다.

$$H(Z) = \frac{V_o(Z)}{V_i(Z)} = \frac{C_1/C_2}{[1+(1+C_1/C_2)/A_o]} \frac{Z^{-1/2}}{1-Z^{-1}} \quad (4.5)$$

식(4.5)에서 분모항이 $(1-Z^{-1})$ 로 이상적인 경우와 같아져 오차가 보상됨을 알 수 있다.

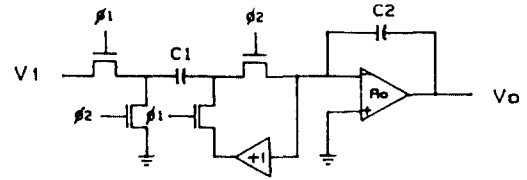


그림 4. 잔류전하 첨가법에 의한 오차 보상 회로
Fig. 4. Error compensating circuit by addition of residual charge

(방법 2: 잔류전하 삭감법)

식(4.1)의 우변에서 $V_o(nT+T)/A_oC_1$ 항을 빼준다. 이 방법의 물리적 의미는 방법1과 같으나 FET(ϕ_2)가 ON되는 동안에 캐패시터 C_1 의 충전 전하가 완전하게 방전할 수 있도록 C_1 에 $V_o(nT+T)/C_1$ 의 전하를 가해주는 것이다. 그림 5의 Buffer를 이용한 케환 회로로써 행할 수 있으며 수식적인 전개를 행하면 식(4.6)이 된다.

$$\begin{aligned}
 V_i(nT+T/2)C_1 + [V_o(nT+T/2) + V_o(nT+T/2)/A_o]C_2 \\
 = [V_o(nT+T) + V_o(nT+T)/A_o]C_2 \quad (4.6)
 \end{aligned}$$

식(4.2)를 식(4.6)에 대입하고 Z-변환을 한 전달함수 H(Z)를 구하면 식(4.7)이 된다.

$$H(Z) = \frac{V_o(Z)}{V_i(Z)} = \frac{C_1/C_2}{(1+1/A_o)} \frac{Z^{-1/2}}{1-Z^{-1}} \quad (4.7)$$

여기서 분모항이 $(1-Z^{-1})$ 로써 이상적인 경우와 같아져 오차가 보상됨을 알 수 있다.

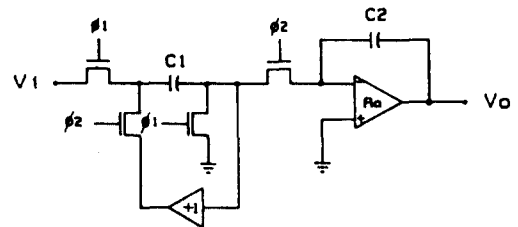


그림 5. 잔류전하 삭감법에 의한 오차 보상 회로
Fig. 5. Error compensating circuit by subtraction of residual charge

그러나 식(4.7)에서 보면 위상차는 완전하게 보상이 되었으나 크기오차는 완전하게 보상 되지 않았음

을 알 수 있다. SCI의 전달함수상에서 출력전압이 op-amp의 차입력 전압 $-V_o/A_o$ 만큼 강하함으로써 $-1/A_o$ 만큼의 크기오차를 발생하게 된다. 이 크기오차는 SC회로의 2차나 제자형회로망(ladder network)의 전형적 구조인 반전과 비반전 SCI를 종속연결(cascade connection)함으로써 보상해 줄 수가 있다. 비반전 SCI의 경우 캐패시터 C_K 를 종속연결단 중간에 추가하여 뒷단의 입력 캐패시터에 해당 전하를 가해줌으로써 나머지 크기오차 $-1/A_o$ 을 보상해 줄 수 있다. 비반전 SCI의 나머지 크기오차를 보상하기 위한 회로는 그림 6과 같다.

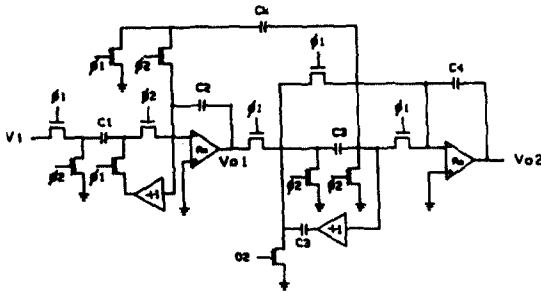


그림 6. 나머지 크기 오차 보상회로(비반전)
Fig. 6. Compensating circuit for remaining magnitude error (non-inverting)

그림 6에서 FET(ϕ_2)가 ON될때 캐패시터 C_K 에서는 앞단 비반전 SCI의 op-amp 차입력 전압에 해당되는 $-V_{o1}(nT+T/2)/A_o C_K$ 의 전하가 충전된다. 이와 같이 캐패시터 C_K 에서는 $-V_{o1}/A_o C_K$ 의 전하가 충전과 방전을 반복한다. 따라서 위상보상이 완전하게 실시된 식(4.6)의 좌변에 충전 전하량 $-V_{o1}(nT+T/2)/A_o C_K$ 를, 우변에 방전 전하량 $-V_{o1}(nT+T)/A_o C_K$ 를 더해주면 식(4.8)이 된다.

$$\begin{aligned} &V_i(nT+T/2)C_1 + [V_o(nT+T/2) + V_o(nT+T/2)/A_o]C_2 \\ &\quad - V_{o1}(nT+T/2)/A_o C_K \\ &= [V_o(nT+T) + V_o(nT+T)/A_o]C_2 \\ &\quad - V_{o1}(nT+T)/A_o C_K \end{aligned} \quad (4.8)$$

앞단 비반전 SCI에서 $V_{o1} = V_o$ 이며 식(4.2)를 식(4.8)에 대입하고 Z-변환을 행한후 전달함수를 구하면 식(4.9)가 된다.

$$H(Z) = \frac{V_o(Z)}{V_i(Z)} = \frac{(C_1/C_2)Z^{1/2}}{Z-1} = \frac{(C_1/C_2)Z^{-1/2}}{1-Z^{-1}} \quad (4.9)$$

식(4.9)는 식(4.7)의 분모에서 $(1+1/A_o)$ 항이 소거됨으로써 나머지 크기오차가 보상되어 이상적인 비반전 SCI의 전달함수식과 같게 된다.

4.2 반전 SCI의 오차보상 회로

반전 SCI의 오차 보상도 비반전 SCI와 같은 방법으로 행할 수 있다. 식(3.3)의 분모항에서 $(1+C_1/C_2)/(1+A_o)$ 항을 소거하기 위하여 식(3.2)의 우변에 $V_o(nT)/A_o C_1$ 항을 더해준다. 이 방법의 물리적 의미는 FET(ϕ_2)가 ON되는 동안에 C_1 에 충전되어 있던 전하를 완전하게 방전할 수 있도록 C_1 의 잔류전하를 다른 입력 캐패시터 C_2 에 더해주는 것이다. 그래서 C_1 이 완전하게 방전되고 충전되기 때문에 캐패시터 C_2 에서의 전압이 이상적인 경우와 같아져 오차가 보상되는 것이다. 오차 보상회로는 그림 7과 같으며 수식적인 전개를 행하면 식(4.10)이 된다.

$$\begin{aligned} &[V_{c2}(nT) - V_{c2}(nT-T)]C_2 + [V_i(nT) + V_o(nT)/A_o]C_1 \\ &= V_o(nT)/A_o K C_1 \end{aligned} \quad (4.10)$$

식(4.10)에서 $K=1$ 로 놓고 Z-변환을 행한후 전달함수 $H(Z)$ 를 구하면 식(4.11)이 된다.

$$H(Z) = \frac{V_o(Z)}{V_i(Z)} = \frac{-(C_1/C_2)}{(1+1/A_o)} \frac{1}{1-Z^{-1}} \quad (4.11)$$

식(4.11)에서 분모항이 $(1-Z^{-1})$ 로 이상적인 경우와 같아져 오차가 보상 된다.

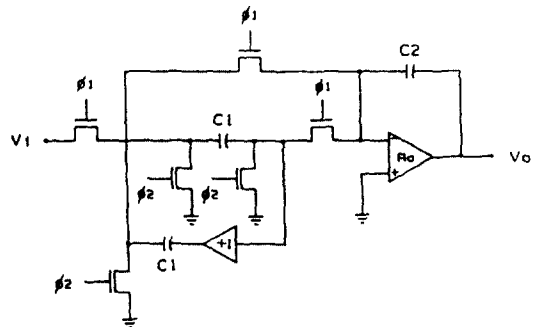


그림 7. 반전 SCI의 오차 보상 회로
Fig. 7. Error compensating circuit for inverting SCI

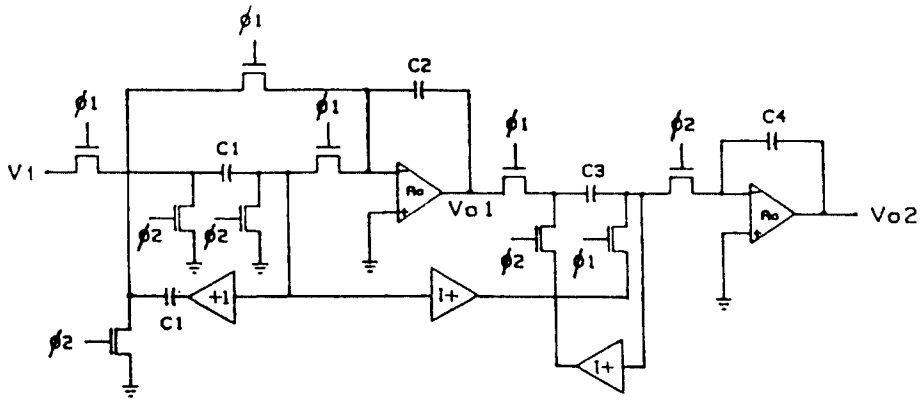


그림 8. 나머지 크기 오차 보상 회로 (반전 SCI)
 Fig. 8. Compensating circuit for remaining magnitude error (inverting SCI)

비반전 SCI와 같은 방법으로 반전 SCI의 나머지 크기 오차를 보상하기 위한 회로는 그림 8과 같다. 위상 보상이 완전하게 실시된 식(4.11)의 출력 전압 $V_o(Z)$ 에 $V_{o1}(Z) + V_{o1}(Z)/A_0$ 를 대입하면 식(4.12)로 되어 이상적인 반전 SCI의 전달함수식과 같게 된다.

$$H(Z) = \frac{V_{o1}(Z)}{V_i(Z)} = \frac{-(C_1/C_2)}{1-Z^{-1}} \quad (4.12)$$

V. 시뮬레이션 및 고찰

지금까지 고찰한 SCI의 오차 및 그 보상법을 시뮬레이션하기 위하여 다음과 같은 조건을 제시한다.

- SCI의 캐패시턴스비 : $C_1/C_2 = 0.5$
- SCI를 작동시키기 위한 클럭 주파수 : 128 KHz
- Op-amp의 유한이득 : $A_0 = 50, 100, 500$
- Op-amp의 대역폭과 클럭 주파수비 : $B/f_c \gg 4$

위와같은 조건으로 SCI의 실제적인 경우에 op-amp의 유한이득 A_0 값에 따른 크기 및 위상특성을 식(3.3), (4.3)에 의해 그림 9와 그림 10에 나타내었다. Op-amp의 유한이득이 A_0 인 SCI의 전달함수를 본 논문에서 제시한 보상회로에 의해 보상한 후의 크기 및 위상특성을 식(4.5), (4.7), (4.11)에 의해 시뮬레이션한 결과를 그림 11, 12에 나타냈다.

그림 9, 10의 실제적인 경우에 op-amp의 유한 이득 A_0 에 따른 SCI의 크기 및 위상 오차는 A_0 값이 작을 경우 심하게 나타나며 A_0 값이 커짐에 따라 이상적인

경우에 접근해감을 알 수 있다. 제시된 방법에 의해 보상된 결과는 그림 11, 12에서와 같이 A_0 값을 변화시켜도 위상은 이상적인 경우와 완전 일치하며 크기도 이상적인 경우에 접근함을 확인하였다.

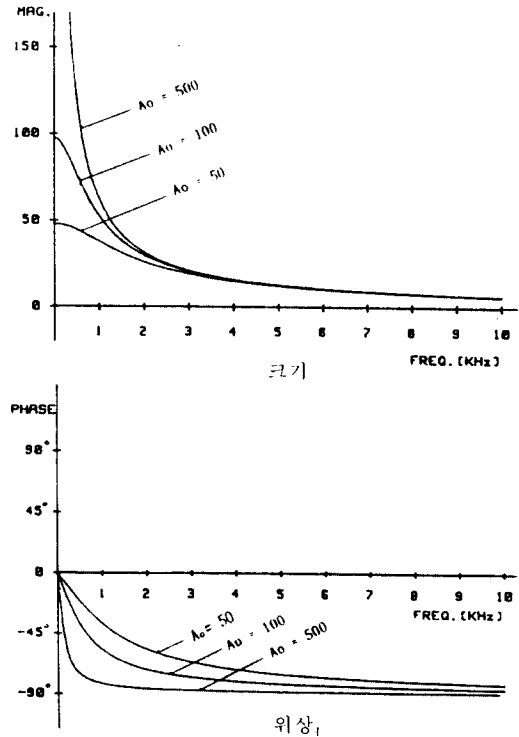


그림 9. 비반전 SCI의 크기 및 위상특성
 Fig. 9. Magnitude and phase characteristics of non-inverting SCI

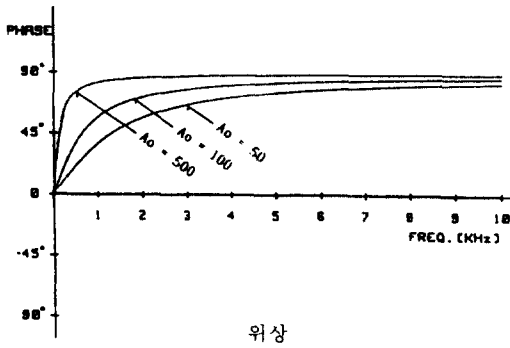
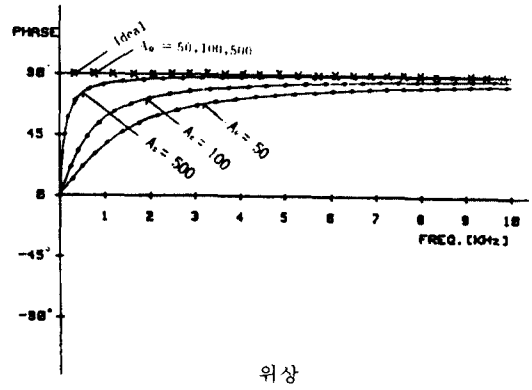
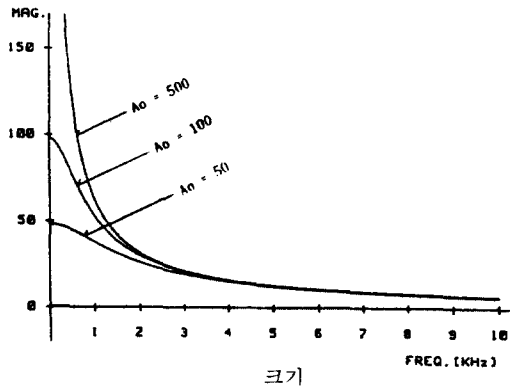


그림 11. 보상전, 후의 크기 및 위상특성 (비반전 SCI)
 Fig. 11. Magnitude and phase of non-inverting SCI after/before compensation

그림 10. 반전 SCI의 크기 및 위상특성
 Fig. 10. Magnitude and phase characteristics of inverting SCI

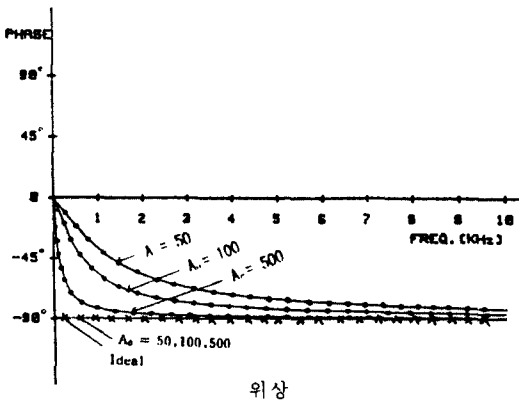
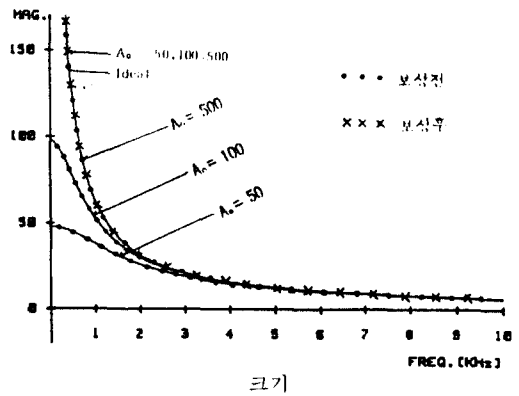


그림 12. 보상전, 후의 크기 및 위상특성 (반전 SCI)
 Fig. 12. Magnitude and phase of inverting SCI after/before compensation

VI. 결 론

SC회로의 기본 블록인 SCI에서 op-amp의 유한이득으로 인한 크기 및 위상오차를 보상하기 위하여 종래의 op-amp와 캐패시터 대신 buffer 소자를 이용한 케환 회로 및 하나의 캐패시터만을 이용한 보상회로를 설계한 결과 크기 및 위상특성이 이상적인 경우와 완전히 일치함을 그림 11, 그림 12에 의해 확인하였다.

본 논문에 제시된 보상법은 SCI를 기본 블록으로 사용하는 고차의 SCF나 제자형 구조에도 쉽게 적용할 수가 있으며 회로가 간단하기 때문에 집적화 하는데 전체적인 칩 면적과 전력 소모를 줄일 수 있으며 사용 주파수 대역도 확장시킬 수가 있다.

향후 과제는 본 논문에서 제시한 보상회로를 집적회로로써 제조하여 실험적 증명을 실시하는 것이다.

참 고 문 헌

1. E.A. Talkhan, "Compensation of the Switched-Capacitor Integrator," IEEE ISCAS, vol.1, pp. 33-36, 1981.
2. M.Sasikumar, K.Radhakrishna Rao, M.A.Reddy, "A General Compensation for a Switched-Capacitor Double-Integrator Biquad," IEEE Circuits and Systems Magazine, pp.4-6, March, 1984.
3. Roubik Gregorian, Gabor C. Tems, *Analog MOS Integrated Circuits for Signal processing*, John Wiley and Sons, Chapter 7, 1986.

4. Phillip E.Allen, Edgar Sanchez-Sinencio, *Switched-Capacitor Circuits*, Van Nostrand Reinhold, Chapter 2, 1984.
5. K. Martin, A.S.Sedra, "Effects of op-amp finite gain and bandwidth on the performance of Switched-Capacitor Filters," IEEE Trans. Circuits and Systems, vol.CAS-28, pp.822-829, Aug., 1981.
6. G. Fischer, G. S.Moschytz, "SC Integrator for high-frequency applications," Electronics Lett. 23rd vol.19, No.13, June, 1983.
7. Randall L.Geiger, Edgar Sanchez-Sinencio, "Operational amplifier gain-bandwidth product effects on the performance of Switched-Capacitor networks," IEEE Trans. Circuits and Systems, vol.CAS-29, No.2, pp.99-106, Feb., 1982.
8. T.C.Choi, R.T.Kaneshiro, R. W. Brodersen, "High frequency CMOS Switched-Capacitor filters for communications application," IEEE Journal of Solid-State Circuits, vol.SC-18, No. 6, pp.652-664, Dec., 1983.
9. G. Fischer, G. S. Moschytz, "On the frequency limitations of SC filters," IEEE Journal of Solid-State Circuits, vol.SC-19, No.4, pp.510-518, Aug., 1984.
10. G. Fischer, G. S. Moschytz, "SC filters for high-frequencies with compensation for finite gain amplifiers," IEEE Trans. Circuits and Systems, vol.CAS-32, No.10, pp.1050-1056, Oct., 1985.



吳 成 根(Sung Keun Oh) 正會員
1960年 2月 18日生
1981年 2月: 全北大學校 電氣工學
科(工學士)
1988年 2月: 全北大學校 電氣工學
科(工學碩士)
1993年 8月: 全北大學校 電氣工學
科(工學博士)

1992年 9月~現在: 全州工業專門大學 電氣科 專任講師

金 東 龍(Dong Yong Kim) 正會員
1945年 7月 31日生
1967年 2月: 全北大學校 電氣工學
科(工學士)
1973年 8月: 全北大學校 電氣工學
科(工學碩士)
1984年 5月: 캐나다 마니토바대학
교 電氣工學科(工學博
士)

1979年~1984年: 캐나다 마니토바대학교 電氣工學科 研究員
1973年~現在: 全北大學校 電氣工學科 教授
1992年~現在: 全北大學校 附屬 電氣電子回路合成研究所
所長