

IEEE 802.6 MAN을 위한 효율적 대역폭 사용 메카니즘

正會員 姜 文 植* 正會員 柳 時 勳** 正會員 趙 明 石* 正會員 李 相 培**

An Efficient Bandwidth Utilization Mechanism for the IEEE 802.6 MAN

Moon Sik Kang*, Si Hoon Yoo,** Myung Suk Jo*, Sang Bae Lee** *Regular Members*

要 約

본 논문에서는 이중버스 구조의 고속 통신망인 IEEE 802.6 MAN에서 나타나는 대역폭 사용의 비효율성을 해결하여 성능을 향상시키는 메카니즘을 제시한다. MAN 프로토콜은 기존의 LAN보다 다양한 수용 능력 및 전송속도 측면에서 우수하나 단방향 버스 구조와 예약비트의 전파지연으로 인하여 상위스테이션일수록 보다 많은 대역폭을 사용하게 되는 불공정성 문제가 발생하며, 이는 스테이션 수가 늘어나거나 스테이션간의 거리가 커질수록 심각하게 나타난다.

이의 해결을 위해 각 스테이션에 슬롯의 사용 여부를 구별할 수 있도록 하고, 특별한 스테이션에 목적지 소거기능을 주어, 슬롯의 재사용을 가능케한다. 이와같이 하여 네트워크의 대역폭을 효율적으로 사용할 수 있으며, 제안된 메카니즘을 사용한 네트워크를 모델링하고, 각 스테이션에서의 카운터값을 상태변수로 하여 해석적 방법으로 처리율과 지연시간을 분석하고, 모의실험을 통하여 성능이 향상됨을 보인다.

ABSTRACT

This paper present a mechanism for improving performance of the IEEE 802.6 MAN(Metropolitan Area Network), a dual-bus structured high-speed communication network, by a more efficient use of bandwidth. The MAN protocol is able to handle various traffic and offers better transmission speed than the conventional LAN, but the unidirectional bus structure and propagation delay of request bits results in unfairness since higher nodes use more bandwidth. As the number of stations and the distances between them are increased, the problem becomes more serious.

As a solution, this paper presents a method that every station enables to identify the used slots, and that a specified class denoted "eraser station" has with the functions of destination release, slot reuse. As a result, it is expected to improve network bandwidth utilization. The network with proposed mechanism is modelled by setting state variables as the counter values of each station and the throughput and delay time was analytically analyzed, and it is shown that according to computer simulation results, this mechanism improves the network performance.

*江陵大學校 電子工學科

**延世大學校 電子工學科

Dept. of Electronics Engineering, Yonsei University

論文番號 : 93-33

I. 서 론

근거리 통신망의 보급 확대와 컴퓨터 성능의 급속한 향상 그리고 다양한 응용 프로그램의 개발로 기존의 통신망으로는 처리하기 곤란한 원거리, 고속통신의 필요성이 날로 증가 추세에 있으며, 이에 따라 고속통신 환경에 적합한 단방향 버스 구조의 프로토콜들이 제안되고 있다. 이러한 프로토콜로서 Fasnet, Expressnet, D-net 등이 있는데, 이들은 전송 데이터를 상위스테이션으로부터 사이클 형태로 순서적으로 전송한다는 공통점을 가지고 있다. 그러나 이러한 순차적 방식의 전송은 망의 거리가 커질수록 망의 전송속도가 높아질수록 전파지연으로 인하여 망의 이용률을 저하시킨다는 단점을 내포하고 있다.^[1,2]

이러한 단점을 극복하기 위하여, 최근에는 각 스테이션에서 일정한 제어방식에 의해 비순차적으로 데이터 전송을 결정하도록 하는 DQDB 프로토콜이 제안되었다. 이는 기존의 LAN보다 다양한 수용능력 및 전송속도 측면에서 우수하나, 근본적으로 전송매체가 모든 스테이션들에 의해 시분할 다중화되어 공유된다는 특성으로 인해 그 성능이 제한된다. 또한, 각 슬롯은 한번 밖에 사용되지 않으므로 전체 네트워크의 성능은 버스의 전송속도를 벗어나지 못한다. 특히, 망의 속도가 증가할수록, 망의 크기가 커질수록 과부하상태에서 스테이션의 위치에 따른 불균형성 문제가 심화되어 지연시간의 예측을 요구하는 데이터 서비스에 부적합한 성격을 보인다.^[3,5]

본 논문에서는 각 스테이션에 슬롯의 사용 여부를 구별하고 소거기능을 주어 네트워크의 대역폭을 효율적으로 사용하는 방법을 제시하였고, 그 성능을 분석하였다.

II. IEEE 802.6 MAN구조 및 동작^[6]

최근, 고속통신의 필요성이 폭발적으로 증가함에 따라 IEEE 802.6 분과에서는 통신망의 지름이 50KM 이상이고 전송 속도가 20 Mbps보다 훨씬 빠른 지역통신망의 표준화에 착수하였고, 고속통신망 중 링구조를 갖는 FDDI에 의해 10 Mbps급 기존의 패킷통신은 100 Mbps급으로 발전 하였으며, 버스구조의 Fasnet에서 발전한 DQDB에 의해 150 Mbps급으로 향상되어 1990년 12월 DQDB가 표준으로 정식

채택되었다.

DQDB 통신망은 두개의 서로 전송 방향이 다른 단방향 버스와 다수의 스테이션으로 구성되어 있으며 각 버스에는 빈 슬롯 또는 통신망 관리 정보(Network Management Information)를 내보내는 슬롯 발생기(Slot Generator)가 있다. 각 버스의 끝은 마지막 스테이션에서 끝나게 되므로 의도적으로 버스에 전송되는 데이터를 지울 필요는 없으며 각 스테이션은 두개의 단방향 버스에 각각 읽기와 쓰기선으로 접속되어 있어, 버스로의 데이터 전송은 버스를 지나가는 데이터와 스테이션에서 나오는 데이터의 OR 동작으로 이루어 진다.

동작 원리를 살펴보면 다음과 같다.

DQDB 프로토콜이 지원할 수 있는 서비스는 DQDB 계층내에 있는 QA(Queued Arbitrated)와 PA(Pre-Arbitrated) 기능에 의해 지원을 한다. QA 기능의 동작 원리는 분산큐(Distributed Queue) 원리에 따르며 PA 기능은 채널 할당(Channel Allocation) 방식에 의해 동작한다. QA 기능은 분산큐 원리에 따라 버스에 데이터를 송신할 각각의 스테이션을 통제하며 두개의 단 방향 버스에서 동작하는 각 스테이션의 큐가 분산되어 이들 큐가 마치 하나의 큐와 같이 동작을 한다. 각 스테이션의 동작 상태는 전송할 슬롯의 유무에 따라 달라진다.

먼저 전송해야 할 슬롯이 없는 경우, 각 스테이션은 Request 카운터와 Countdown 카운터중 Request 카운터만 동작한다. 여기서 두개의 카운터는 한 버스 동작에 필요한 것이며 두개의 버스 제어를 위해서는 두쌍의 카운터가 필요하다. 다음 어떤 스테이션이 버스 A로 슬롯을 전송할 경우, Local Request 카운터에 의해 버스 B로 지나가는 슬롯의 예약 비트를 1로 하여 상위 스테이션에게 알리고 Request 카운터의 값을 Countdown 카운터로 복사한 다음 0으로 리셋한다. 그후 버스 B로 예약 비트가 오면 Request 카운터의 값을 하나씩 증가시키고 버스 A에 빈 슬롯이 올때마다 Countdown 카운터의 값을 하나씩 감소하며 Countdown 카운터의 값은, 스테이션 K를 기준으로 봤을 때 버스 A의 하위에 있는 스테이션들이 먼저 분산 큐에 등록시킨 슬롯의 총 갯수이고, Request 카운터의 값이 0으로 된 이후의 값은 버스 A의 하위에 있는 스테이션들이 K 스테이션보다 늦게 분산큐에 등록시킨 슬롯의 갯수이다. 따라서 이와 같은 알고리즘은 분산 큐가 하나의 큐와 같이 작동하

며, 선입 선출 방식으로 동작할 때 순환 (Round-Robin) 방식에 의해 A 버스상의 전 스테이션의 큐에 등록시킨 순서로 슬롯을 전송한다.

PA 기능은 회선교환을 위해 정의된 ICF를 지원한다. 슬롯 발생기가 정기적으로 빈 PA 슬롯을 만들어 버스에 보내면 각 스테이션이 등시성 슬롯을 전송하며, PA 슬롯에는 VCI(Virtual Channel Identifier)가 있어 이 VCI로 각 슬롯을 구별한다. 각 스테이션은 회선교환에 의해 접속될 때 이미 어떤 VCI를 사용할 것인가를 약속하며 약속된 PA 슬롯중 데이터의 사용위치를 결정하게 된다. 각 버스의 슬롯발생기는 구조통제와 슬롯 발생기능에 의해 125 μ sec 간격의 프레임을 생성하며 각 프레임은 다수의 QA와 PA 슬롯으로 구성된다. 최소 전송단위는 슬롯이며, 사용자 데이터는 채널상에 53 bytes의 슬롯으로 분할되며 전송된다.

III. 효율적 대역폭 사용 메카니즘

1. 개요

네트워크상의 두 스테이션 사이에 정보를 전송하기 위해 슬롯을 한번만 사용하게 될 경우, 네트워크 대역폭을 비효율적으로 사용하게 된다. 따라서 목적지에 도달한 슬롯을 빈 슬롯으로 만들어 하위 스테이션이 이를 재사용 할 수 있도록 한다. 각 스테이션이 한 슬롯 타임내에 복사한 패킷이 자기것인지를 판별하고, 다음 슬롯의 헤더에 있는 PSR(Previous Slot Received)비트에 이를 표시 한다. 소거스테이션은 스트림을 한 슬롯타임 지연시켜, 다음 슬롯의 PSR비트가 세트되었으면 현재의 슬롯을 빈 슬롯으로 만든다. 이렇게하여 망의 전송용량보다 큰 대역폭을 얻을 수 있고 늘어난 대역폭을 목적지 스테이션으로부터 하위에 있는 스테이션들이 사용하게 되므로 망 전체의 효율을 증가시킬수 있다.

2. 소거스테이션의 구조^[4]

기 사용된 슬롯의 소거에 의해 재생된 슬롯을 하위 스테이션에서 사용한 만큼의 예약비트가 증가됨으로써, 상위 스테이션들에게는 도착되는 예약비트의 갯수가 늘어나므로 빈 슬롯의 사용횟수가 줄어들어 액세스지연이 커지고, 하위스테이션들은 빈 슬롯의 사용이 늘어나서 액세스지연이 줄어드는 불공정성이 나타나게 된다. 즉 재생된 슬롯에 의해 늘어난 대역폭 사용이 비효율적이 되며, 고부하 상태에서 더욱

심해지게 된다. 따라서 증가된 대역폭을 망 내에서 효과적으로 사용하기 위해서는 슬롯을 소거할 때 마다 하위스테이션에서 도착되는 예약비트를 취소해야 한다. 재생된 슬롯을 하위스테이션에서 사용한 갯수 만큼 가장 빠른 시간내에 예약비트를 취소해야 슬롯 소거 효과가 극대화 될 수 있다. 각 소거스테이션은 각 우선 순위의 REQUEST와 COUNTDOWN 카운터를 가지고 있다. 우선순위를 0,1,2의 3단계로 하고, 2가 우선순위가 가장 높다고 가정한다. $C_r(i)$ 와 $C_d(i)$ 를 각 소거스테이션의 우선순위 i 에서의 REQUEST와 COUNTDOWN카운터의 값을 나타낸다. α 는 REQUEST와 COUNTDOWN카운터의 합이 양인 가장 높은 우선순위를 나타낸다. α 는 다음과 같이 표현된다.

$$\alpha = \max\{i ; C_r(i) + C_d(i) > 0\} \quad (1)$$

만약 모든 우선순위에서 REQUEST와 COUNTDOWN카운터의 합이 0이면 $\alpha = -1$ 로 한다. 모든 i 에서의 $C_r(i)$ 의 값은 빈 슬롯이 지나갈때 마다 하나씩 감소되고, $C_r(i)$ 는 $i < j$ 인 우선순위 j 의 REQUEST가 B버스로 오면 하나씩 증가된다. β 는 전송을 기다리는 슬롯을 가진 소거스테이션의 가장 높은 우선순위를 나타낸다. 어떤 우선순위에도 전송을 위해 큐에 슬롯이 없을 때 $\beta = -1$ 로 정의 한다. 소거스테이션에 있는 각 우선순위의 REQUEST 카운터는 그 우선순위에서의 전송을 요청한 REQUEST의 수를 나타낸다. 소거스테이션은 소거된 슬롯수 만큼의 REQUEST를 제거하는 기능을 갖는다. 이를위해 ERASED SLOT COUNTER를 사용한다.

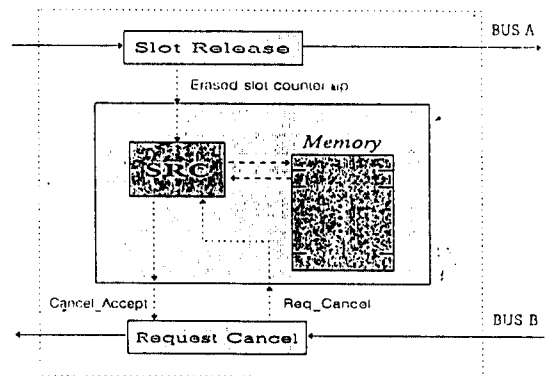


그림 1. 소거스테이션의 구성
Fig 1. The structure of erasure station

제거된 슬롯을 사용할 우선순위는 위에서 정의된 α 와 β 의 값으로부터 결정될 수 있다. 만약 $\alpha > \beta$ 이면 지워진 슬롯은 우선순위의 α 의 슬롯을 가진 하위 스테이션에 의해 쓰여진다. $\beta > \alpha$ 이면 슬롯을 우선 순위의 β 를 가진 소거스테이션에 의해 쓰여진다. $\beta = \alpha$ 이면 소거스테이션나 우선 순위 β 의 하위스테이션에 의해 모두 쓰여질 수 있다. 따라서 지워진 슬롯은 다음과 같은 우선순위 γ 에 의해 쓰여진다.

$$\gamma = \max\{\alpha, \beta\} \quad (2)$$

지운 슬롯을 기록하여 그 수 만큼의 REQUEST를 지우기 위해서는 ERASED SLOT 카운터라는 각 우선순위에서의 새로운 카운터가 필요하다. $C_e(i)$ 를 우선순위 i 에서의 REASED SLOT 카운터의 값으로 한다. 슬롯을 지운후에 $\gamma > 0$ 인 경우 우선순위 γ 의 REASED SLOT 카운터의 값을 하나 증가시킨다. REASED SLOT 카운터의 기능은 REQUEST가 올 때 이를 지울것인지 아닌지를 결정하는 것이다. 만약 우선순위 k 의 REQUEST가 버스 B에 도착하면 $C_e(k) > 0$ 정하는 것이다. 만약 우선순위 k 의 REQUEST가 버스 B에 도착하면 $C_e(k) > 0$ 일때 그 REQUEST는 제거되고, 우선순위 k 의 ERASED SLOT 카운터는 1만큼 감소된다.

소거스테이션의 동작을 정리하면 다음과 같다.[4]

IV. 네트워크 모델링 및 해석

소거스테이션을 포함한 이중버스 네트워크를 해석하기 위해 먼저 기본 모델을 잡은 다음 각 스테이션에서의 카운터의 값을 변수로 하여 상태변화를 기술하고, 각 스테이션에서의 처리율과 패킷지연시간을 구한다. 이 방법은 이중버스 구조뿐 아니라 슬롯화된 링구조에도 확장될 수 있다.

1. 기본모델

해석의 편의를 위해서, 네트워크가 3개의 스테이션으로 구성되고, 세번째 스테이션에 소거기능이 있는 네트워크를 기본모델로 가정하여 해석하자. 이때 버스 A상으로 정보를 전송한다고 가정한다. 스테이션 3은 가장 하위스테이션이므로 Request나 Countdown 카운터가 필요하다. 네트워크를 단순화하기 위하여 다음과 같은 가정을 한다.

- 각 스테이션에는 하나의 패킷 버퍼가 있다.
- 버퍼는 패킷이 전송되기 시작하자마자 소거된다.
- 스테이션간의 거리는 1슬롯타임으로 한다.
- 1 슬롯타임동안 i 스테이션에 패킷이 도착할 확률은 r_i 이다.

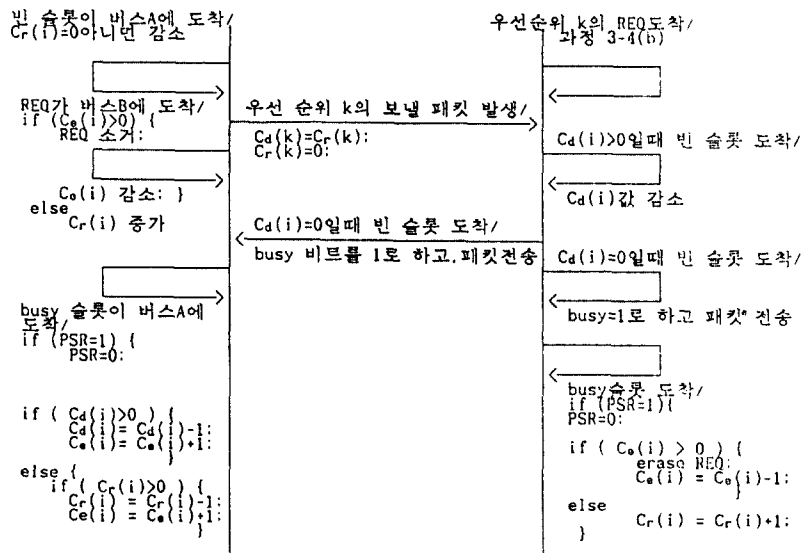


그림 2. 소거스테이션의 동작 상태
Fig 2. Operating status in erasure station

-BWB 구조를 사용할 경우를 고려하여 스테이션 i 가 빈슬롯에 자신의 패킷을 전송할 확률은 a_i 이다. 이러한 모델은 상태전이 확률행렬에서 일어나는 Markov chain으로 간주할 수 있다. 위와같은 가정하에 네트워크는 스테이션 i 에서 Request 카운터의 값 (RQ_i), 스테이션 i 에서 Countdown 카운터의 값 (CD_i), 스테이션 i 에서의 버퍼가 empty/full ($Q_i = 0/1$), 스테이션 i 와 스테이션 $i+1$ 사이의 버스 A의 busy비트 상태 (B_i), 스테이션 i 와 스테이션 $i+1$ 사이의 버스 B의 request비트 상태 (R_i), 스테이션 i 와 스테이션 $i+1$ 사이의 버스 A의 PSR비트 상태 (P_i), 등과 같은 값들에 의해 기술될 수 있다.

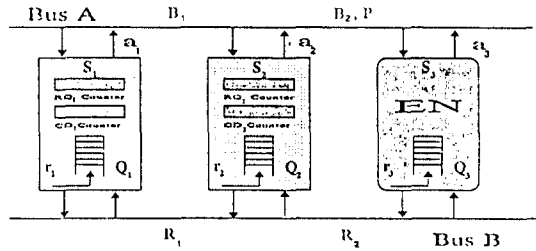


그림 3. 해석을 위한 모델
Fig 3. Model for analysis

2. 해석적 모델링^[6,9]

각 스테이션이 가지고 있는 카운터의 값을 상태변수로 하여 상태전이 확률의 행렬을 구하기 위해서는 먼저 적당한 상태를 결정하고, 그에 상응하는 전이 확률을 구해야 한다. 이 모델은 정확하지만 스테이션의 수가 많아지면 상태 공간이 커지게 된다. 모든 경우를 계산하려면 상태공간이 커서 복잡하므로 다음과 같이 타당한 일련의 경우만을 선택하여 구한다. 먼저 초기상태부터 시작하여 그 상태에서부터 가능한 모든 경우를 생각한다. 어떤 상태에서 어떤 사건은 부적절할 수 있고, 적절한 사건만이 다음상태로 이끌게 된다. 현재상태에서 일어날 수 있는 모든 사건의 조합을 생각하므로써, 가능한 다음상태뿐만 아니라 그에 상응하는 상태전이 확률도 구할 수 있다. 이과정은 더이상 다음상태가 없을때까지 계속된다. 어느 한 스테이션에서 처리율과 평균 패킷 지연시간을 구하기 위하여 q_{ij} , Q_i , π_i 를 다음과 같이 정의한다. 즉, q_{ij} 는 한 슬롯타임동안 상태 i 로 가는 확률을, $Q = [q_{ij}]$ 는 상태전이 확률행렬을 π 는 상태 i 에 있을 정상상태

확률을 의미한다. 그러면 정상상태 확률행렬 $\Pi = [\pi]$ 는 다음식을 풀어서 구할 수 있다.

$$\Pi Q = \Pi \tag{3}$$

$$\sum_i \pi_i = 1 \tag{4}$$

2.1 Throughput

먼저 기본모델을 생각하자. 상태 i 에서의 B와 R의 값을 각각 B_i , R_i 라 한다. 그러면 상태 1의 throughput은 다음과 같이 주어진다.

$$s_1 = \sum_i \pi_i B_i \tag{5}$$

여기서 버스 A의 busy비트가 1인 것은 스테이션 1이 패킷을 전송함을 의미한다. 마찬가지로 스테이션 2에서의 throughput은 다음과 같다.

$$s_2 = \sum_i \pi_i R_i \tag{6}$$

버스 B에 request가 올때마다 스테이션 2는 패킷을 전송하기 때문이다.

스테이션 2와 스테이션 3 사이의 PSR이 세트될 확률이 p 일때 스테이션 3에서의 throughput은 다음과 같다.

$$s_3 = \sum_i \pi_i (B_i + P) \tag{7}$$

이러한 과정을 확장하면 S_n 을 구할 수 있다.

2.2 Mean Packet Delay(D_j)

이제 단일 패킷 버퍼인 경우 한 스테이션의 패킷 지연시간은 버퍼에서 패킷이 출발하는 시간간격과 한패킷이 출발한 후 다음 패킷이 도착하는 시간과의 차이에 한 패킷의 전송시간을 더해서 나타낼 수 있다. 또한, 스테이션에서의 평균 패킷의 출발시간은 그 스테이션에서의 정규화된 처리율의 역수이다. 스테이션 i 에서 한 패킷이 떠나고 다음 패킷이 도착할 때까지는 평균 $1/r_i$ 슬롯타임이 걸린다. 따라서 한 패킷의 전송시간을 t_p 로 표시하면, 스테이션 j 에서의 평균 패킷지연 시간은 다음과 같다.

$$D_j = 1/s_j - 1/r_j + t_p \quad (j=1,2,\dots,n) \tag{8}$$

위식에서 계산된 결과를 시뮬레이션 모델에 적용하여 슬롯의 지연시간을 구하고, 이에대한 비교는 다음 장에서 언급한다.

V. 시뮬레이션 및 결과 고찰

1. 시뮬레이션 모델

시뮬레이션을 수행하기 위하여 사용된 파라미터의 값은 다음과 같다. IEEE 802.6 MAN Standard를 참조하여 통신망의 전송속도는 150Mbps, 슬롯의 크기는 53슬롯, 전송시간은 2,827sec로 가정 하였으며, 또한 시뮬레이션의 편이상 버스의 길이를 90 슬롯타임, 버퍼의 크기는 무한, 스테이션간의 거리는 10슬롯으로 가정하였다.

또한 제안한 알고리즘에 의한 시스템의 성능을 분석하기 위하여 다음과 같이 가정하였다.

- 각 스테이션에 도착하는 패킷은 1에서 200슬롯 사이에 균일하게 분포하면서 포아송 분포를 따른다.
- 통신망의 상태는 정상상태를 가정한다.
- 스테이션간의 거리는 동일하다.
- 각 스테이션은 단일버퍼를 갖는다.
- 단일버스와 세 단계의 우선순위의 데이터를 고려하였다.
- 우선순위 0,1,2의 비율은 각각 3,3,4로 한다.
- 소거스테이션의 위치는 4번째와 7번째의 스테이션으로 한다.

2. 결과 및 고찰

우선순위 0의 각 스테이션에서 처리율은 그림 4와 같다. 그림에서 특별한 스테이션에 소거기능이 있는 경우를 EN으로 표시하였고, 없는 경우를 DQDB로, ENall은 소거기능이 모든 스테이션에 있는 경우이다. 이 결과로부터 소거스테이션이 없는 경우 상위 스테이션에서 멀어질수록 처리율이 계속 감소함을 볼 수 있다. 이것은 슬롯화 전송 방식으로 기존의 프로토콜과 달리 접할때 전파지연이 발생하며 이 시간 동안 전송할 슬롯이 생성된 상위 스테이션은 빈 슬롯을 먼저 사용하게 되기 때문이다. 결국 슬롯발생기에 가까운 스테이션일수록 보다 많은 전송 기회를 얻게되고 이로 인한 각 스테이션의 슬롯 처리일수록 보다 많은 전송 기회를 얻게되고 이로 인한 각 스테이션의 슬롯 처리율에 불공평성 문제가 발생한다. 이러한 현상은 통신망의 크기와 전송 속도가 커질수록 심화되며 특히 과부하 상태(각 스테이션의 부하량의 합이

Throughput

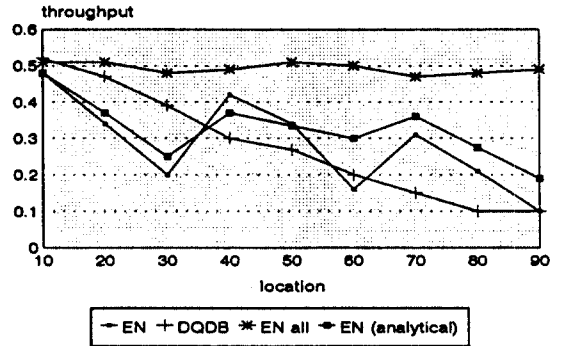


그림 4. 각 스테이션에서의 throughput
Fig 4. Throughput in each station

Average access delay (priority 2)

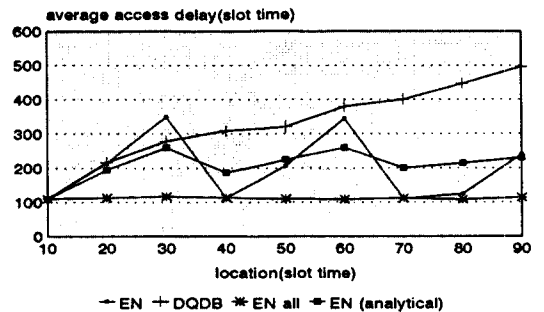


그림 5. 우선순위 2 에서의 평균 지연시간
Fig 5. Mean delay time for priority level 2

Average access delay (priority 1)

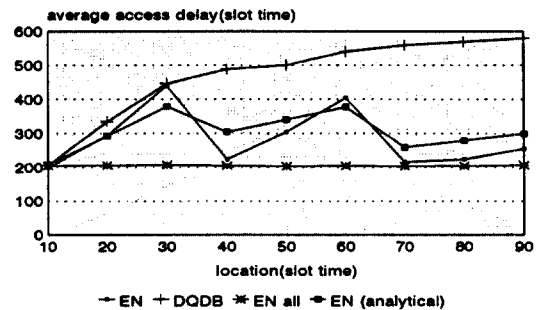


그림 6. 우선순위 1 에서의 평균 지연시간
Fig 6. Mean delay time for priority level 1

Average access delay (priority 0)

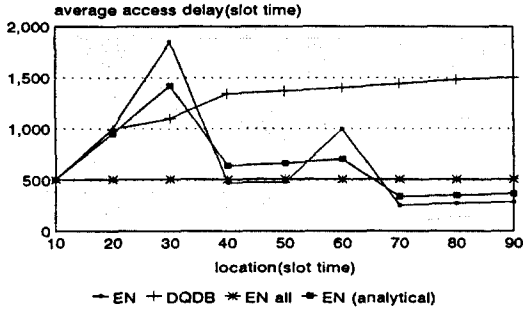


그림 7. 우선순위 0 에서의 평균 지연시간

Fig 7. Mean delay time for priority level 0

버스와 전송용량을 초과하고 부하의 특성이 무한한 경우)에서는 심각한 문제로 남아있게 된다.

소거스테이션이 있는 경우 소거 스테이션을 기점으로 처리율이 증가함을 알 수 있다. 이것은 이미 쓰인 슬롯은 소거스테이션에 의해 재사용 가능한 상태가 되므로써 그만큼 하위 스테이션에서 사용할 수 있는 대역폭이 많아지기 때문이다. 시스템의 효율을 개선하기 위해서는 자원의 낭비를 피하는 방법을 찾아야 한다. 다중 접근망에서는 한 스테이션에서 목적 스테이션에 정보를 전송하기 위해서 통신선로를 공통으로 이용하게 된다. 그러나 이미 목적지에 도착한 슬롯은 더이상 선로상에서의 전파가 불필요하다. 소거스테이션이 있는 경우 각 스테이션에서의 처리율을 합한 전체 처리율은 2.559가 되어 소거스테이션이 없는 경우보다 3배정도 성능이 좋아짐을 볼 수 있다.

다음으로 각 우선순위에서의 평균 패킷지연시간을 소거스테이션이 있는 경우와 없는 경우를 비교하여 그림 5에서 그림 7까지 나타내었다. 한 패킷이 평균 100개의 슬롯을 갖는다고 가정하였으므로 한 패킷의 최소 평균지연 시간은 100슬롯 타임이 된다. 우선순위 2의 패킷의 경우 평균지연시간이 100에 가까와 거의 기다리지 않고 서비스되는 것을 볼 수 있다. DQDB의 경우 상위 스테이션에서 멀어질수록 지연시간이 커지나, 소거스테이션이 있는 경우 소거스테이션을 기점으로 지연시간이 작아졌다가 다시 커짐을 알 수 있다. 따라서 소거스테이션을 쓸 경우 DQDB에서 나타나는 스테이션간의 불균형이 시정됨을 알 수 있다. 그러나 소거스테이션 사이에 있는 스테이션

간에는 여전히 평균지연시간이 증가하여 불균형이 존재한다.

그림 6과 7에서 우선순위가 낮은 경우 우선순위가 높은 경우와 같은 경향을 보이나, 평균지연시간이 전체적으로 크다. 또한 우선순위가 높은 경우에 비해 상위스테이션에 가까울수록 지연시간이 큰 것을 볼 수 있는데 상위스테이션일수록 하위스테이션이 많아서 그만큼 REQ가 많이 도착하기 때문이다. 패킷 지연시간 측면에서 볼때 우선순위가 높을수록 성능이 향상됨을 알 수 있다.

VI. 결 론

본 연구에서는 모든 스테이션이 한 슬롯 타임내에 복사한 패킷이 자기것인지를 판별하고, 다음 슬롯의 헤더에 있는 PSR비트에 이를 표시하도록 하고, 중간에 소거스테이션을 두어 스트림을 한 슬롯타임 지연시켜, 다음 슬롯의 PSR 비트가 세트되었으면 현재의 슬롯을 빈 슬롯으로 만들어 하위 스테이션이 이를 재사용할 수 있도록 하였다. PSR비트를 검사하여 슬롯의 소거여부를 결정하고 다른 스테이션에서와 달리 지워진 슬롯의 수를 기록하여 지워진 수 만큼 REQ를 제거하기 위한 Erased slot 카운터를 둬으로써 소거스테이션의 삽입으로 인한 망의 불공정한 동작을 해결하였다.

이와같이 하여 IEEE 표준의 슬롯형태를 그대로 유지하였으므로 IEEE 802.6 MAN 표준과의 호환이 가능하다. 소거스테이션을 포함한 이중버스 다중 접근망에 대한 기본모델을 잡은 다음, 각 스테이션이 가지고 있는 카운터의 값을 변수로 하여 상태의 변화를 기술하고, 각 스테이션에서의 처리율과 패킷지연시간을 구하였다. 제안한 알고리즘의 우수성을 입증하기 위하여 해석적인 방법에 의해 분석하였으며, SIMAN 패키지를 이용한 시뮬레이션 결과를 제시하였다. 10개의 스테이션중 4번째와 7번째의 스테이션에 소거기능을 주고 각 구간에서의 트래픽을 0.82로 했을 경우 처리율면에서 3배정도 성능이 향상되었다. 또 패킷지연시간 측면에서 볼때 우선순위가 높을수록 성능이 향상되었다. 스테이션간의 거리를 10배로 했을때 소거스테이션이 없는 경우 전파지연으로 인하여 스테이션간의 불공정한 대역폭 사용이 심각해지는데 소거스테이션을 사용하므로써 패킷지연시간이 감소되고 불공정이 많이 해소되었다. 그러나 소거

스테이션이 이러한 기능을 수행하기 위해서는 다른 스테이션에 비해 처리시간이 길어지고 구조가 복잡해지는 단점이 있다. 따라서 소거스테이션에서의 지연을 줄이기 위한 하드웨어의 설계가 필요하고 소거스테이션을 사용하므로써 얻어지는 효과를 극대화시키는 연구가 지속되어야 할 것이다.

참 고 문 헌

1. C.F.Hemrick, R.W.Klessig, J.M.Mcroberts, "Switched Multi-megabit Data Serve and Early Availability via MAN Technology," IEEE Comm. Magazine, pp.9-14, April.1988.
2. F.E.Ross, "An Overview of FDDI : The Fiber Distributed Data Interface," IEEE J.Select, Areas Comm, vol.SAC-7, no. 7, pp.1043-1051, Sep. 1989.
3. Harbos Kaur, Graham Campbell, "DQDB-An Access Delay analysis," IEEE Infocom, pp. 630-635. 1990.
4. Manoel A.Rodrigues, "Erasure Node : Performance Improvements for the IEEE 802.6 MAN," IEEE Infocom, pp.636-643, 1990.
5. B.G.Kim, "Packet Delays in the IEEE 802.6 DQDB Protocol," International Conference on Communication, pp.346.4.1-346.4.5, 1990.
6. Chatschik Bisdikian, "Waiting Time analysis in a single Buffer DQDB(802.6) Network," IEEE Infocom, pp.610-614, 1990.
7. H.L.Pasch, I.G.Niemigeers, "Performace analysis of a High-Speed Slotted-Ring Access Mechaism with Dynamically Adaptive Slot Sizes," IEEE Globecom,pp.31B.1
8. P.C.Wong, "A Dynamic Frame-Based DQDB Protocol for Gbit/s Local and Metropolitan Area Networks," IEEE Globecom,pp.31B.2, 1991.
9. E.Hahne and N.Maxemchuk, AT&T, "Fair Access of Multi-Priority Traffic to Distributed-Queue Dual Bus Networks," IEEE Infocom, 889-900, 1991.



姜 文 植(Moon-Sik Kang) 正會員
 1961年 1月 13日生
 1985年 2月 : 延世大學校 工科大學 電子工學科(工學士)
 1988年 2月 : 延世大學校 大學院 電子工學科(工學碩士)
 1986年 3月 ~ 1993年 2月 : 延世大學校 産業技術研究所 研究員

1989年 3月 ~ 1993年 2月 : 延世大學校 大學院 電子工學科 (工學博士)
 1993年 3月 1日 ~ 現在 : 國立江陵大學校 電子工學科 專任



趙 明 石(Myung Suk Jo) 正會員
 1954年 12월 31일생
 1982년 2월 : 연세대학교 전기공학과(공학사)
 1989년 12월 : 미국 University of Florida 전기공학과(공학박사)
 1990년 ~ 1991년 : 현대전자 반도체 연구소 책임연구원

1991년 ~ 현재 : 국립강릉대학교 전자공학과

柳 時 勳(Si-Hoon Yoo) 正會員
 1966년 9월 9일생
 1990年 2月 : 延世大學校 工科大學 電子工學科(工學士)
 1992年 8月 : 延世大學校 大學院 電子工學科(工學碩士)
 1992年 9月 ~ 現在 : 延世大學校 大學院 電子工學科 博士課程

李 相 培(Sang-Bae Lee) 正會員
 1935年 1月 15日生
 (1991, 9월호)제 16권 제 9호 참조