

연속시간의 MOSFET-C 필터 설계

正會員 崔 碩 佑* 正會員 尹 暢 焄* 正會員 趙 成 翊* 正會員 曹 海 豊*
正會員 李 鍾 寅** 正會員 金 東 龍*

The Design of Continuous-Time MOSFET-C Filter

Seok Woo Choi,* Chang Hun Yun,* Seong Ik Cho,* Hai Poong Cho,*
Chong In Lee,** Dong Yong Kim* *Regular Members*

• 본 연구는 서울대학교 반도체 공동연구소 지원하에 이루어진 것임.

要 約

최근 MOS 공정기술로 집적화된 연속시간 필터 연구가 주목을 받고 있다. 본 논문에서는 차단주파수 3,400Hz를 갖는 연속시간 5차 타원 저역통과 MOSFET-C 필터를 실현하기 위하여, 먼저 각 블럭을 동조할 수 있는 능동연결법으로 능동 RC 필터를 설계하였다. 그리고 능동 RC 회로의 저항들을 triode 영역에서 작동하는 NMOS depletion mode 트랜지스터 선형저항으로 실현하였다. 이러한 연속시간 MOSFET-C 필터는 스위치드 커패시터 필터에 비하여 구조가 간단하여 칩의 면적을 줄일 수 있다. 설계된 MOSFET-C 필터 특성을 PSPICE 프로그램으로 시뮬레이션 하였다.

ABSTRACT

Continuous-time integrated filters, implemented in MOS VLSI technology, have been receiving considerable attention. In this paper, a continuous-time fifth order elliptic low-pass MOSFET-C filter has been designed with a cutoff frequency 3,400Hz. First an active RC filter is designed using cascade method which each block can be tunable. And then the resistors of an active RC network are replaced by a linear resistor using NMOS depletion transistors operated in the triode region. This continuous-time MOSFET filter have simpler structure than switched-capacitor filter, so reduce the chip area. The designed MOSFET-C filter characteristics are simulated by PSPICE program.

I. 서 론

신호처리용 필터는 최근 집적회로(IC) 공정기술의 발달로 아날로그 회로와 디지털 회로를 MOS 공정 기술로 하나의 칩(chip) 속에 집적화하려는 추세이다.

필터 설계시 사용하는 함수중 Butterworth, Chebyshev, Bessel 함수등은 전극점 함수(all pole function)로 저지대역에서 단조롭게 감소한다. 그러나 타원(Elliptic) 함수는 유리(rational) 함수의 형태로 다른 필터 함수와 비교하여 천이 영역이 좁고, 주파수 차단특성이 우수하여 정밀한 필터 설계에 사용된다.

주어진 설계명세조건으로 필터를 설계할 때 능동 RC 필터는 수동 RLC 필터에 비해 감도 특성이 나쁘

*全北大學校 電氣工學科
Dept. of Electrical Engineering, Chonbuk Nat'l Univ.
**群山大學校 電子工學科
Dept. of Electronics Eng., Kunsan National Univ.
論文番號 : 93-20

지만 인덕터 L이 제거되어 집적화하기에 유리하다. ^{a)} 능동 RC 필터를 집적화 하려면 저항 R을 전기적으로 등가인 다른 회로로 대체해야 하는데 이러한 설계 방법으로는 스위치드 커패시터 (switched-capacitor) 필터와 연속시간(continuous-time)의 MOSFET-C 필터 설계법이 있다.

스위치드 커패시터 필터는 저항을 MOS 트랜지스터와 커패시터로 모의하여 정확한 RC 적(product)을 유지할 수 있지만 sampled-data 시스템이기 때문에 필터의 동작 범위가 감소되고, 연속시간 필터를 설계하는데 입력단에 anti-aliasing 필터와 출력단에 smoothing 필터가 필요하여 회로를 집적화 하였을 때 칩 면적이 커진다.^(3),4)

이러한 문제점을 제거하기 위하여 Tsividis와 Banu는 능동 RC 회로를 완전대칭 구조로 변환하여 MOS 트랜지스터의 비선형 저항 성분을 제거하였으나 대칭구조로 인하여 회로가 복잡하고, 저항을 블럭별로 모의해야 하므로 개별의 저항을 모의하기 힘들다.^(5,6) 그러나 2개의 NMOS depletion mode 트랜지스터를 이용하여 선형저항을 구성하면 저항의 구조가 간단하고 저항값을 제어 전압 V_c 로 조절할 수 있다.^(7,8) 본 논문에서는 연속시간의 능동 RC 타원 필터를 동조(tuning)가 용이한 종속연결(cascade)법으로 설계한 후 저항을 구조가 간단한 MOSFET 선형저항으로 모의하였다. 그리고 필터의 집적화를 위하여 연산증폭기를 설계하고 아날로그 시뮬레이션 프로그램인 PSPICE를 이용하여 MOSFET-C 필터를 시뮬레이션하였다.

II. 종속연결법에 의한 타원 저역통과 필터

II-1. 타원 저역통과 필터 함수

PCM 통신시스템의 수신단에서는 디지털 신호를 아날로그 신호로 변환시킬 때 발생하는 고주파 성분을 제거하기 위한 저역통과 필터가 필요하다. 본 연구에서는 PCM 통신 시스템의 수신단 등에 필요한 음성대역(차단 주파수=3,400Hz)용 저역통과 필터를 표 1과 같은 설계명세조건으로 부터 설계하였다. 또한 필터함수는 유리 함수중에서 천이 영역(transition region)이 좁고 고주파 차단특성이 우수한 타원 필터함수를 사용하였다.

표 1의 설계명세조건에 의한 타원 저역통과 필터함수는 식 (1)과 같고, 식 (1)의 계수값 및 극점, 영점

표 1. 저역통과 필터 설계명세조건
Low-pass filter specification

| | |
|------------------------------|-----------|
| 통과대역 감쇄율 | 0.5[dB] |
| 저지대역 차단주파수(cutoff frequency) | 3,400[Hz] |
| 이득(gain) | 1 |
| 필터 type | 저역 통과 |

과 quality factor Q는 표 2와 같다.⁽⁹⁾

$$H(s) = \frac{K}{s+\sigma} \prod_{i=1}^{(n-1)/2} \frac{s^2 + c_i}{s^2 + a_i s + b_i}$$

$$= \frac{K}{s+\sigma} \prod_{i=1}^{(n-1)/2} \frac{s^2 + c_i}{s - (P_i)(s - \bar{P}_i)} \quad (1)$$

표 2. 타원 함수의 계수값 및 극점, 영점(차수=5차)
Pole, zero and coefficient values of elliptic function (order=5)

| a_i | b_i | c_i | P_i | Q_i |
|-----------|-----------|-----------|-----------------------|-----------|
| 0.5551546 | 0.6282699 | 1.8017262 | -0.2775773±j0.7424424 | 1.4277732 |
| 0.1372581 | 1.0295169 | 3.7515494 | -0.0686291±j1.0123275 | 7.3922847 |
| | | | -0.4621179 | |

고차 필터함수를 s평면에서 능동 RC 회로로 실현하는 방법으로는 수동 RLC 제자형 실현법(passive RLC ladder realization)과 종속연결법(cascade realization) 등이 있다. 전자는 감도가 낮은 수동 필터의 특성을 능동 RC회로상에서도 그대로 유지하지만 소자 변환시 R, C 및 연산증폭기가 많이 필요하다는 단점을 갖는다.

후자는 고차함수를 1차 함수와 2차 함수로 분해하여 각 블럭별로 회로를 설계한 후 종속 연결하는 것으로 동조가 용이하고 소자가 적게 필요하지만, 각 블럭간의 상호불결합(decoupling)에 의하여 감도가 높아진다는 단점을 갖는다.

본 연구에서는 종속연결법의 단점인 감도 문제를 상태변수법으로 설계한 능동 RC 회로로 감도문제를 해결하면서⁽⁹⁾ 5차 타원 필터함수를 1차 함수와 2개의 2차 함수로 분해하여 그림 1과 같이 종속연결 하였다.

그러나 표 2에서 구한 함수의 계수값으로는 극점과 영점이 어떻게 결합하는지 알 수 없다. 따라서 설계하는 필터가 최대동적범위를 갖도록 극점-영점

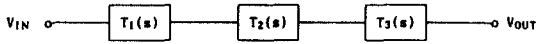


그림 1. 5차 타원 필터 함수의 종속연결
Cascade of 5th order elliptic filter function

결합(pole-zero pairing)을 결정 한 후, 각 블록의 전달 함수 최대값이 전체 전달함수의 최대값과 일치하도록 이득을 분배하여 종속연결하였다.⁽⁴⁰⁾ 각 블록별 전달함수는 식(2), (3), (4)와 같고 그림 2는 $T_1(s)$, $T_2(s)$, $T_3(s)$ 블록의 손실특성이다.

$$T_1(s) = \frac{s^2 + 3.751549}{s^2 + 0.555154s + 0.628270} \quad (2)$$

$$T_2(s) = \frac{s^2 + 1.801726}{s^2 + 0.137258s + 1.029517} \quad (3)$$

$$T_3(s) = \frac{1}{s + 0.462118} \quad (4)$$

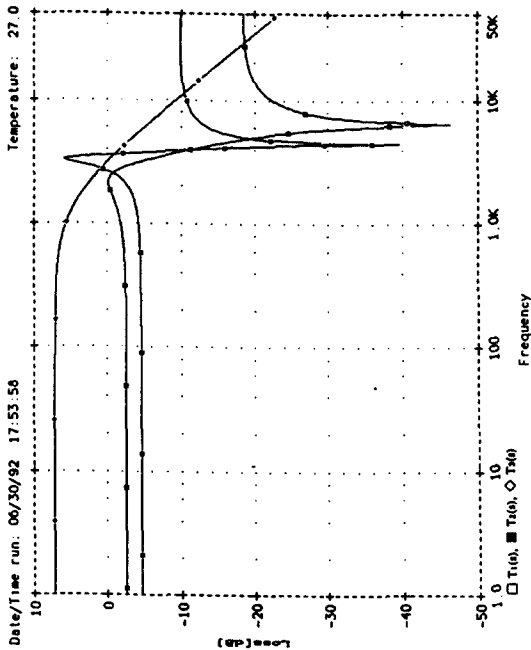


그림 2. 각 블록별 손실특성
Loss characteristics of each block

3개의 블록을 종속연결하는 순서는 각 블록들이 연결될 때 통과대역에서 최대평탄하도록 순서를

정해야하기 때문에 그림 2에서 손실특성이 우수한 $T_1(s)-T_2(s)-T_3(s)$ 순으로 배열하고 전체 전달함수는 식 (5)와 같다.

$$T(s) = \frac{s^2 + 3.751549}{s^2 + 0.555154s + 0.628270} \cdot \frac{s^2 + 1.801726}{s^2 + 0.137258s + 1.029517} \cdot \frac{1}{s + 0.462118} \quad (5)$$

II-2. 5차 능동 RC 타원 필터 설계

$T_1(s)$, $T_2(s)$, $T_3(s)$ 블록의 전달함수식 중에서 2차 함수인 $T_1(s)$, $T_2(s)$ 는 저역통과 노치(notch) 필터의 형태이고 1차 함수는 저역통과 필터 형태이다. $T_1(s)$, $T_2(s)$ 노치 필터는 Single Amplifier Biquad (SAB)로 설계하면 분자항에 존재하는 영점이 허축상에 존재하지 않기 때문에 허축상에 영점이 존재하도록 회로 설계가 필요하다. 그러나 이러한 회로는 일반적으로 계수들이 곱들의 합으로 되어 있기 때문에 동조하기가 힘들고, 소자 계수를 구하는

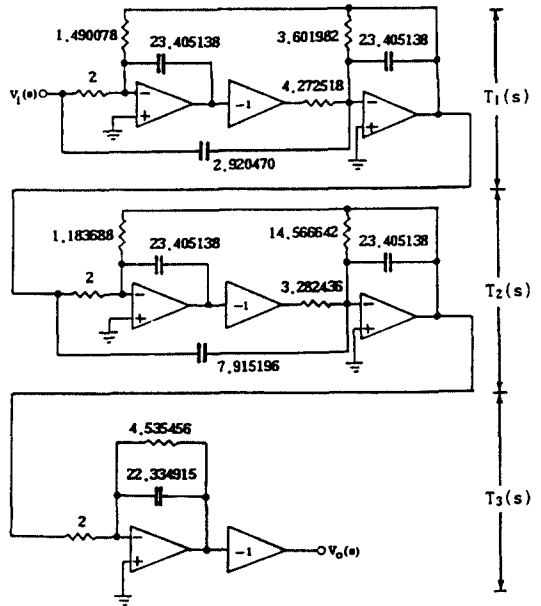


그림 3. 5차 능동 RC 타원 저역통과 필터 회로 [단위: MΩ, pF]
Circuit of 5th order active RC elliptic low-pass filter [unit: MΩ, pF]

데 많은 시간이 요구되므로 식 (2), (3)은 그림 3의 $T_1(s)$, $T_2(s)$ 블럭과 같이 상태변수법에 의해 설계된 회로로 실현하였다. 또한 1차 저역통과 필터 형태인 식 (4)는 그림 3의 $T_3(s)$ 회로로 설계하였다. 그림 3의 소자값들은 규준화(normalized)된 소자값을 먼저 구한 후 표 1의 설계명세조건인 차단주파수 3,400 Hz를 만족하기 위하여 주파수 스케일링 계수 $K_f=3,400$ 으로 하였고, 임피던스 스케일링 계수는 회로를 집적화할 때 칩의 면적을 고려하여 $K_i=2 \times 10^6$ 으로 스케일링하였다.

III. MOSFET를 이용한 선형저항 모의

MOS 트랜지스터가 triode 영역에서 동작될 때의 등가회로는 그림 4와 같고, 식 (6)은 드레인 전류 I_{DS} 이다.

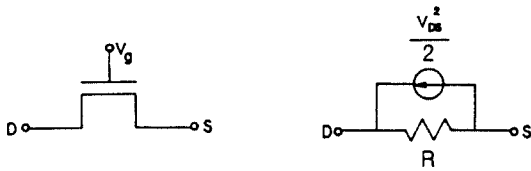


그림 4. triode 영역에서 MOSFET 등가회로
MOSFET equivalent circuit in the triode region

$$I_{DS} = \frac{\mu_n C_{ox} W}{L} \left[(V_{GS} - V_{Th}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (6)$$

Triode 영역에서 MOS 트랜지스터는 식(6)의 $V_{DS}^2 / 2$ 항 때문에 선형 저항으로 사용하지 못한다. 따라서 비선형 성분항을 제거하기 위하여 그림 5와 같이 2개의 NMOS depletion mode 트랜지스터를 병렬 연결하면 저항의 구조가 간단하고, 저항값을 전압 V_C 로 조절할 수 있다. (7,8)

따라서 그림 5와 같이 트랜지스터를 연결하면 비선형 성분인 $V_{DS}^2 / 2$ 항이 제거되어 전압제어 선형저항 R은 식 (7)과 같다.

$$R = \frac{L}{\mu_n C_{ox} W (V_{GS} - 2V_{Th})} \quad (7)$$

MOSFET를 이용한 선형저항은 body effect 항인

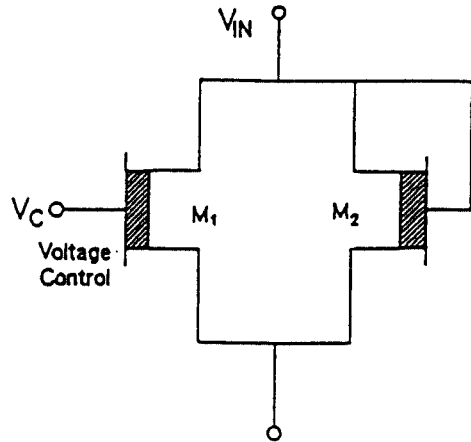


그림 5. MOSFET 선형저항
MOSFET linear resistor

$\gamma \sqrt{2\Phi_F - V_{BS}}$ 에 의해 선형성이 저하되므로 NMOS 인 경우 큰값의 $-V_B$ 가 substrate에 가해져야 한다. (9) 그림 6은 표 3의 NMOS depletion mode 트랜지스터 파라미터를 이용하여 V_B 가 각각 $-5V$, $-10V$ 일때의 저항값을 비교한 것으로, $-V_B$ 가 클수록 선형성이 증가되고 저항값이 커짐을 알 수 있다. 그러나 회로를 집적화할 때 substrate에 $-10V$ 를 인가할 경우 MOSFET 선형저항 부분을 다른 소자와 분리시켜 전압을 인가해야 하므로 칩이 twin tube 형태가 되어 구조가 복잡해 진다. 그러나 4장에서 설계하는 연산증폭기의 $V_{ss}(-5V)$ 전압을 substrate에 인가하면 저항값은 적지만 별도의 전압원이 필요치 않아 필터 layout 및 집적화가 용이하다.

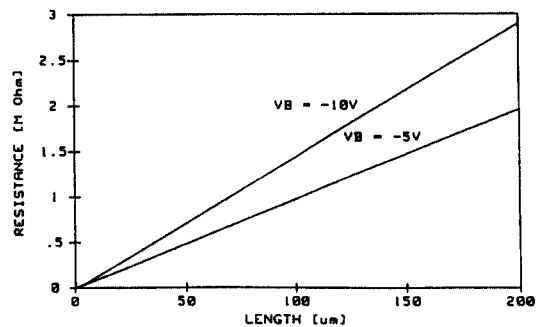


그림 6. substrate 전압- V_B 값 변화에 의한 저항값의 비교
Comparison of resistor values by substrate voltage
- V_B variable

표 3. NMOS depletion mode 트랜지스터 파라미터
NMOS depletion mode transistor parameter

```
.MODEL ND NMOS(VTO=-2.7V TOX=90N NSUB=1.5E16 AJ=0.4U LU=0.32U
+UO=200 UCRIT=8.0E4 UEXP=0.15 MJ=0.5 MJSW=0.3 CGBO=3.5E-10
+CGSO=2.5E-10 CGDO=2.5E-10 RSH=30 CJSW=2.0E-9 VMAX=5.0E4
+NEFF=6.0 GAMMA=0.9 CJ=2.5E-4 LEVEL=2)
```

표 4에서는 트랜지스터의 폭을 최소 크기인 $3\mu\text{m}$ 로 하였을 때 각 저항별 트랜지스터 길이와, MOS-FET 선형저항에 의해 구해진 저항값을 능동 RC 회로에서 구한 이론값과 비교하였다. 이때 $2\text{M}\Omega$ 이상의 저항값은 트랜지스터의 길이가 길어지므로 직렬로 연결하였고 이론값과 측정값의 오차는 트랜지스터 길이의 최소 단위가 $0.5\mu\text{m}$ 이기 때문이다.

표 4. 각 저항별 트랜지스터 길이와 저항값
The transistor length and resistor values of each resistor

| 저항 | L [μm] | 갯수 | 이론값 [$\text{M}\Omega$] | 실제값 [$\text{M}\Omega$] |
|----|---------------------|----|--------------------------|--------------------------|
| M1 | 204 | 1개 | 2 | 1.997204 |
| M2 | 152.5 | 1개 | 1.490078 | 1.490312 |
| M3 | 217.5 | 2개 | 4.272518 | 4.271678 |
| M4 | 181 | 2개 | 3.601982 | 3.601008 |
| M5 | 121 | 1개 | 1.183688 | 1.180498 |
| M6 | 167.5 | 2개 | 3.282436 | 3.284072 |
| M7 | 212 | 7개 | 14.566642 | 14.570887 |
| M8 | 231 | 2개 | 4.535456 | 4.537205 |

모의된 전압제어 선형저항을 2장에서 설계한 능동 RC 타원 필터 회로에 적용하여 그림 7에 나타냈다. 이때 트랜지스터의 gate 제어 전압 $V_c=2\text{V}$, substrate 에 $V_B=-5\text{V}$ 를 인가하였다.

IV. MOSFET-C 필터 시뮬레이션

IV-1. CMOS 연산증폭기 설계

음성대역용 MOSFET-C 필터에 적용시킬 수 있는 연산증폭기의 설계가 필요하다. CMOS 연산증폭기는 소비전력이 적고 NMOS 연산증폭기에서 필요로 하는 level shift 회로와 differential-to-single 변환 회로를 CMOS의 상보적인 특성으로 대신할 수 있어 아날로그 회로 설계가 용이하다는 특징을 가지고

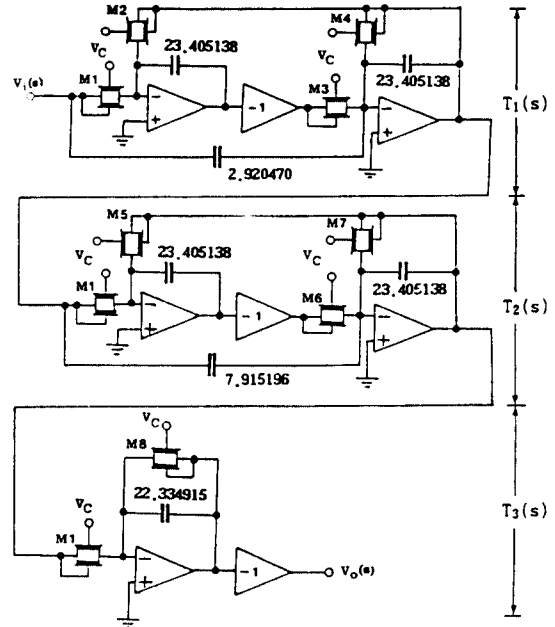


그림 7. MOSFET-C 타원 저역통과 필터
MOSFET-C elliptic low-pass filter

있다. 또한 연산증폭기가 스위치드 커패시터 필터에 사용되는 경우 칩내의 부하가 용량성 부하이기 때문에 출력단에 버퍼단이 필요하지 않으나, MOSFET-C 필터의 칩내 부하는 저항성 부하이므로 연산증폭기의 출력단에 source-follower 형태의 버퍼단을 삽입하였다. 표 5는 CMOS 연산증폭기의 일반적인 설계조건이고, 회로는 그림 8과 같다.

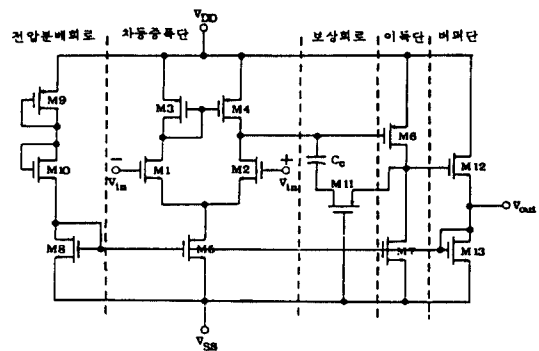


그림 8. CMOS 연산증폭기 회로
CMOS operational amplifier circuit

표 5. CMOS 연산증폭기의 일반적인 설계조건
General specifications of CMOS operational amplifier

| | | | |
|----------------|-------------------|--------------|-----------|
| 전원 V_{DD} | +5V | 소비전력 | 0.25~10mW |
| V_{SS} | -5V | | |
| open loop gain | 60~90dB | phase margin | 60°~85° |
| slew rate | 1~12V / μ sec | offset 전압 | 1~10mV |
| PSRR | 80dB 이상 | CMRR | 80dB 이상 |

표 5의 설계조건을 만족하는 그림 8회로의 MOS 트랜지스터의 채널 폭과 길이를 구하면 표 6과 같은 연산증폭기의 보상 커패시터 C_c 는 칩의 면적을 고려하여 5pF로 하였다.

표 6. 트랜지스터의 채널 폭과 길이
Channel width and length of transistor

| | W(μ m) | L(μ m) | | W(μ m) | L(μ m) |
|-----|-------------|-------------|-----|-------------|-------------|
| M1 | 117 | 7 | M2 | 117 | 7 |
| M3 | 50 | 10 | M4 | 50 | 10 |
| M5 | 15 | 12.5 | M6 | 150 | 10 |
| M7 | 18 | 10 | M8 | 15 | 13 |
| M9 | 3 | 9 | M10 | 3 | 9 |
| M11 | 27 | 10 | M12 | 19.5 | 5 |
| M13 | 5 | 20 | | | |

그림 9와 표 7은 설계된 CMOS 연산증폭기를 서울대학교 반도체공동연구소 3 μ m CMOS 공정기술 파라미터 값을 이용하여 PSPICE 프로그램으로 시뮬레이션한 주파수 특성과 동작 특성이다.

IV-2. 시뮬레이션 및 고찰

그림 7의 회로를 3, 4장에서 설계한 MOSFET 선형저항과 CMOS 연산증폭기를 이용하여 PSPICE 시뮬레이션한 결과 특히 저주파 영역에서 감쇄율이 40dB 이상이 되어 고주파 차단 특성이 우수하였다. 그림 10은 MOSFET-C 5차 타원 저역통과 필터의 손실특성을 능동 RC 필터와 비교한 것으로 필터특성이 설계명세조건에 거의 일치함을 확인하였다. 이때 발생하는 오차의 주요 원인은 능동 RC 회로 상태에서 저항이 MOSFET 선형저항으로 변환될 때 저항값의 오차로 인하여 RC 적이 정확하지 않고, 연산증폭기의 비이상성(nonideal) 때문에 발생함을 고찰하였다. 그림 11은 필터의 위상 특성을 조사한 것으로 통과대역에서는 비교적 선형 특성을 갖지만 저주파

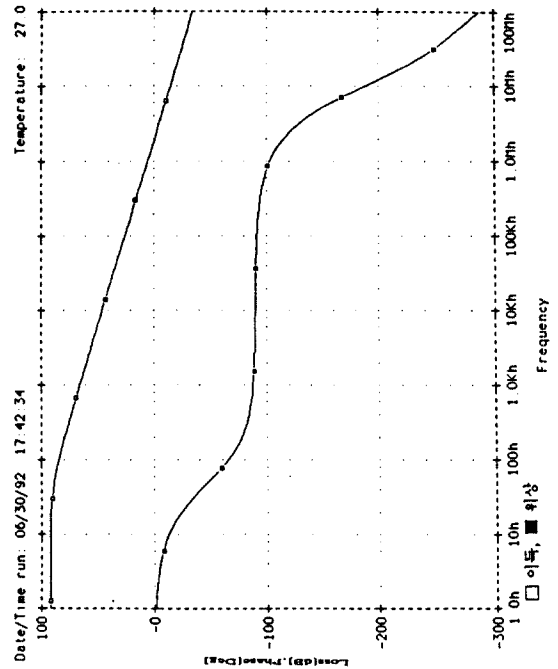


그림 9. 연산증폭기의 주파수 특성
Frequency characteristics of operational amplifier

표 7. 연산증폭기 동작특성
Performance characteristics of operational amplifier

| | | | |
|------------------|------------------|--------------|---------|
| 전원 V_{DD} | +5V | 소비전력 | 0.7mW |
| V_{SS} | -5V | | |
| open loop gain | 92.3dB | phase margin | 66° |
| slew rate | 3.7V / μ sec | offset 전압 | 2mV |
| PSRR(V_{DD}) | 97.8dB | CMRR | 102.9dB |
| PSRR(V_{SS}) | 107.6dB | | |

역에서는 ripple의 영향으로 바람직하지 못한 특성을 갖는다.

V. 결 론

본 연구에서는 PCM 통신의 수신단에 필요로 하는 저역통과 필터를 차단 특성이 우수한 타원필터 함수로 동조가 용이한 종속연결법으로 설계하면서 필터가 최대동적범위를 갖도록 극점-영점결합과 이득분배를 수행하였다. 또한 설계된 능동 RC 필터를 집적화하기 위하여 저항을 병렬 연결된 NMOS 트랜지스

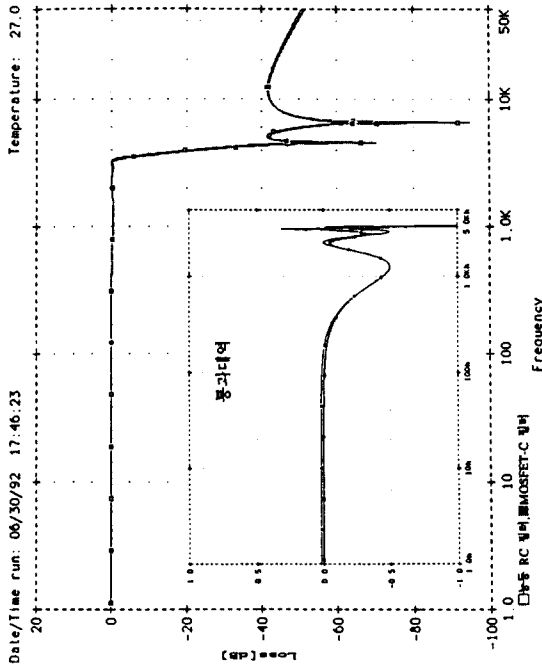


그림 10. MOSFET-C 필터의 손실 특성
Loss characteristics of MOSFET-C filter

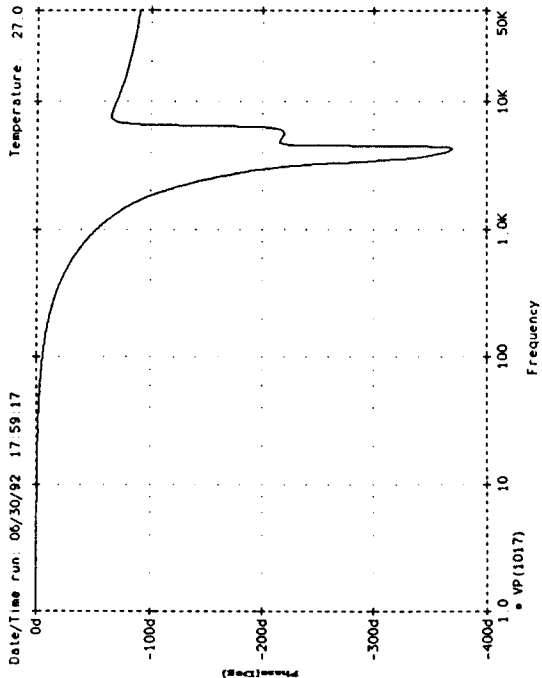


그림 11. MOSFET-C 필터의 위상 특성
Phase characteristics of MOSFET-C filter

터로 모의하여 연속시간 MOSFET-C 필터로 실현한 결과, 연속시간 필터 설계시 스위치드 커패시터 필터가 필요로 하는 anti-aliasing 필터와 smoothing 필터가 제거되어 회로 설계가 간단하고 칩의 면적도 줄일 수 있었다. 그리고 필터를 집적화 할 때 필수적인 연산증폭기는 MOSFET-C 필터 칩내의 저항성 부하를 구동하기 위하여 출력단에 버퍼단을 삽입하였다.

PSPICE 시뮬레이션 결과 MOSFET-C 필터 특성이 설계명세조건에 일치하였고, 특히 저지대역에서의 손실특성이 40dB 이상이 되어 고주파 잡음제거 성능이 우수하므로 본 논문에서 제시한 방법으로 연속시간의 필터를 설계하면 아날로그 신호 처리용 필터의 집적화에 유용하게 사용될 수 있을 것이다. 차후에는 본 논문에서 사용한 NMOS depletion 트랜지스터로 인하여 표준 CMOS 공정기술로는 집적화가 어려워 단독으로 공정을 수행해야 하는 경제적인 문제점이 뒤따라므로 이에 대한 연구가 계속되어야 할 것이다.

참 고 문 헌

1. L. P. Huelsman and P. E. Allen, Introduction to the Theory and Design of Active Filters, McGraw-Hill, Y. N., 1980.
2. 김형갑, 회로망합성론과 필터설계, 사단법인 대한전기협회, 1983.
3. Y. Tsividis and P. Antognetti, Design of MOS VLSI Circuits for Telecommunications, Prentice-Hall, 1985.
4. R. Unbehauen and A. Cichocki, MOS Switched-Capacitor and Continuous-Time Integrated Circuits and Systems, Springer-Verlag, 1989.
5. M. Banu and Y. Tsividis, "Fully Integrated Active RC Filters in MOS Technology," IEEE Journal of Solid-State Circuits, vol. SC-18, no. 6, pp. 644-651, Dec. 1983.
6. M. Banu, J. Khoary and Y. Tsividis, "Continuous-Time MOSFET-C Filters in VLSI," IEEE Journal of Solid-State Circuits, vol. SC-21, no. 1, pp.15-30, Feb. 1986.
7. I. S. Han and S. B. Park, "Voltage-Controlled Linear Resistor by Two MOS Transistors and

Its Application to Active RC Filter MOS Integration," Pro. of IEEE, vol. 72, no. 11, pp. 1655-1657, Nov. 1984.

8. J. N. Babanezhad and G. C. Temes, "A Linear NMOS Depletion Resistor and Its Application in an Integrated Amplifier," IEEE Journal of Solid-State Circuits, vol. SC-19, no. 6, pp. 932-938, Dec. 1984.

9. P. R. Gray and R. G. Meyer, "MOS Operational Amplifier Design-A Tutorial Overview," IEEE Journal of Solid-State Circuits, vol. SC-17, no. 6, pp. 969-982, Dec. 1982.

10. D. Y. Kim, "A New Approach in the Synthesis and Analysis of Elliptic Filters," Ph. D. Thesis, Univ. of Manitoba, Canada, 1984.



崔 碩 佑 (Seok Woo Choi) 正會員
1962年 3月 14日生
1988年 2月: 全北大學校 電氣工學科(工學士)
1990年 2月: 全北大學校 電氣工學科(工學碩士)
1990年 3月~現在: 全北大學校 電氣工學科 博士課程



尹 暢 熾 (Chang Hun Yun) 正會員
1962年 7月 8日生
1985年 2月: 全北大學校 電氣工學科(工學士)
1987年 2月: 全北大學校 電氣工學科(工學碩士)
1990年 3月~現在: 全北大學校 電氣工學科 博士課程



趙 成 翊 (Seong Ik Cho) 正會員
1961年 2月 10日生
1987年 2月: 全北大學校 電氣工學科(工學士)
1989年 2月: 全北大學校 電氣工學科(工學碩士)
1989年 3月~現在: 全北大學校 電氣工學科 博士課程



曹 海 豐 (Hai Poong Cho) 正會員
1955年 5月 10日生
1979年 2月: 全北大學校 物理學科(理學士)
1986年 2月: 全北大學校 電氣工學科(工學碩士)
1992年 8月: 全北大學校 電氣工學科(工學博士)



李 鍾 寅 (Chong In Lee) 正會員
1949年 9月 27日生
1979年 2月: 蔚山大學校 電子工學科(工學士)
1983年 2月: 全北大學校 電氣工學科(工學碩士)
1987年 2月: 全北大學校 電氣工學科(工學博士)

1988年~現在: 群山大學校 電子工學科 助教授



金 東 龍 (Dong Yong Kim) 正會員
1945年 7月 31日生
1967年 2月: 全北大學校 電氣工學科(工學士)
1973年 8月: 全北大學校 電氣工學科(工學碩士)
1984年 5月: 캐나다 마니토바대학교 電氣工學科(工學博士)

1979年~1984年: 캐나다 마니토바대학교 電氣工學科 研究員
1973年~現在: 全北大學校 電氣工學科 教授
1992年~現在: 全北大學校 附屬 電氣電子回路合成研究所 所長