Journal of the Korean Vacuum Society
Vol. 2, No. 4, December 1993, pp. 501-506

〈연구논문〉

초고진공 전자 사이클로트론 화학 기상 증착 장치에 의한 저온 실리콘 에피 성장에 기판 DC 바이어스가 미치는 영향

태흥식 · 황석희 · 박상준* · 윤의준* · 황기웅 · 송세안**

서울대학교 전기공학과, *서울대학교 무기재료공학과
**삼성종합기술원

(1993년 11월 2일 접수)

The Effect of Substrate DC Bias on the Low-Temperature Si Homoepitaxy in a Ultrahigh Vacuum Electron Cyclotron Resonance Chemical Vapor Deposition

Heung-Sik Tae, Seok-Hee Hwang, Sang-June Park*, Euijoon Joon*, Ki-Woong Whang and Se Ahn Song**

Department of Electric, Seoul National University, Seoul
**Department of Inorganic Materials, Seoul National University, Seoul*
***Samsung Advanced Institute of Technology, Suwon*

(Received December 2, 1993)

요 약 – Langmuir probe를 사용하여 UHV-ECRCVD 장치에서 기판에 가해진 DC 바이어스에 따른 플라즈마내의 공간적 전위 분포를 측정하였다. 양의 바이어스를 기판에 가하는 경우 플라즈마내의 공간적 전위 분포는 B-field를 따라 cavity로부터 기판으로 down-stream되는 이온의 flux 및 에너지를 감소시키는 오르막의 전위 분포를 갖게 되며 음의 바이어스를 가하는 경우는 down-stream되는 이온의 flux 및 에너지를 증가시키는 내리막의 전위 분포를 갖게 된다. DC 바이어스가 저온 실리콘 에피탁시(560℃ 이하)에 미치는 영향을 in situ reflection high energy electron diffraction(RHEED), cross-section transmission electron microscopy(XTEM), plan-view TEM 및 high resolution TEM(HRTEM)으로 고찰하였다. 음의 바이어스를 가한 기판에는 다결정 실리콘이 성장되고 양의 바이어스를 가한 기판에는 단결정 실리콘이 성장되며 다결정 실리콘의 성장 속도보다 단결정 실리콘의 성장속도가 낮은 것으로 관찰되었다. 플라즈마 증착 중 DC 바이어스에 의한 이온 에너지의 조절은 UHV-ECRCVD에 의한 저온 실리콘 에피탁시에 있어서 중요한 역할을 한다.

Abstract – The spatial potential distribution of electron cyclotron resonance plasma is measured as a function of the substrate DC bias by Langmuir probe method. It is observed that the substrate DC bias changes the slope of the plasma potential near the substrate, resulting in changes in flux and energy of the impinging ions across plasma/substrate boundary along the magnetic field. The effect of the substrate DC bias on the low-temperature silicon homoepitaxy (below 560℃) is examined by in situ reflection high energy electron diffraction (RHEED), cross-section transmission electron microscopy (XTEM), plan-view TEM and high resolution transmission electron microscopy (HRTEM). While the polycrystalline silicon layers are grown with negative substrate biases, the single crystalline silicon layers are grown with positive subatrate biases. As the substrate bias changes from negative to positive values, the growth rate decreases. It is concluded that the control of the ion energy during plasma deposition is very important in silicon epitaxy at low temperatures below 560℃ by UHV-ECRCVD.

1. 서 론

저온 실리콘 에피 공정은 고속 고밀도를 갖는 실리콘 소자들의 제작을 위한 가장 중요한 공정 기법들 중의 하나이다. 600℃ 이하의 저온에서 양질의 단결정 실리콘 에피막을 성장시키기 위해서는 초고진공 분위기하에서 자연 산화막이 완전히 제거된 실리콘 기판 위에 에피 공정 조건의 최적화[1]가 이루어져야 하며, 특히 플라즈마를 이용한 실리콘 저온 에피 공정에서 Si 에피막의 단결정성을 향상시키기 위해서는 플라즈마에 의해서 생성되는 이온의 에너지를 최적화함으로써 에피 증착 중 이온에 의한 손상을 최소화하는 것이 중요하다. 이러한 관점에서 플라즈마에 의한 손상을 최소화하기 위하여 remote기법을 사용한 Remote Plasma-enhanced Chemical Vapor Deposition (RPCVD)[2], 압력을 조절하여 플라즈마에 의한 손상을 최소화한 Electron Cyclotron Resonance Plasma-enhanced Chemical Vapor Deposition(ECR PECVD)[3] 등이 연구되고 있다. 본 연구에서는 Langmuir probe를 사용하여 기판에 가해지는 DC 바이어스에 따른 플라즈마내의 공간적 전위 분포의 변화를 고찰하였고 RHEED, XTEM 및 HRTEM을 사용하여 기판에 가해지는 DC 바이어스가 UHV-ECRCVD 장치에서 SiH_4/H_2 플라즈마에 의한 저온 실리콘 에피 성장(560℃ 이하)에 미치는 영향을 고찰하였다.

2. 실험장치 및 실험과정

그림 1은 UHV-ECRCVD 장치의 개략도이다. 본 장치는 기저압력이 1×10^{-9} torr의 초고진공 장치로 기저 상태의 잔류기체 성분을 분석할 수 있도록 Quadrupole Mass Spectrometer(QMS)가 장착되어 있다. 기판은 900℃까지 가열이 가능하며 기판에 입사되는 이온의 에너지를 조절하기 위하여 DC 바이어스 전압을 기판에 가할 수 있도록 되어 있으며 실리콘 기판의 표면 온도는 IR Laser(1.15 μm)와 저온용 pyrometer($\lambda=8\sim12$ μm, $\varepsilon=0.375$)를 사용하여 보정하였다[4]. HF 용액에 담근 후의 실리콘 기판의 H termination 효과, in situ 세정 후의 실리콘 기판의 세정 상태 및 에피 증착 후의 실리콘 에피막의 특성을 in situ로 분석하기 위한 RHEED가 장착되어 있다.

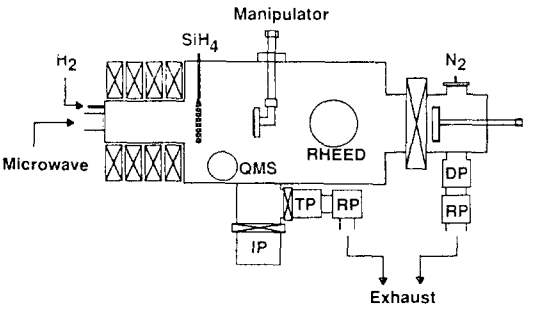

그림 1. UHV-ECRCVD 장치의 개략도.

사용한 시편은 직경 10 cm의 n-type(100) 실리콘 웨이퍼(10~20 Ωcm)이다. 실리콘 웨이퍼를 4 : 1의 $H_2SO_4 : H_2O_2$ 용액에 10분 담근 후 deionized water로 세척하여 유기 오염물을 제거하고 10 : 1의 HF 용액에 약 30초간 담가(이하 HF dip이라 함) 자연 산화막을 제거함과 동시에 H termination에 의한 passivation층[5]을 만들어 준다. 산화막의 재성장을 최소화하기 위하여 HF dip 후 즉시 load-lock을 통하여 UHV-ECRCVD 장치의 성장실로 도입된다. 그림 2는 HF dip에 의한 H termination 효과 및 H_2 플라즈마에 의한 세정 효과를 보여주는 RHEED 패턴이다. 그림 2(a)는 HF dip 후 260℃에서 H가 실리콘 기판의 표면에 termination되어 있음을 나타내는 1×1 구조를 보여주고 있으며 기판의 온도가 560℃로 heat-up되면 수소가 탈착함으로써[6] 희미한 half-order streak을 갖는 2×1 구조의 RHEED 패턴이 그림 2(b)에 보여진다. 이어 H_2 플라즈마에 의해 in situ cleaning을 수행한 후 그림 2(c)에 보이는 것처럼 선명한 half-order streak을 갖는 2×1의 재배열이 확인되어 실리콘 기판의 표면에 잔존하던 자연 산화막이 완전히 제거되었음이 확인되면 DC 바이어스를 가변하여 SiH_4/H_2 플라즈마에 의한 실리콘 에피막 성장 실험을 수행한다.

3. 결과 및 토론

ECR 플라즈마내의 이온의 에너지는 비교적 낮기 때문에 손상(damage)에 민감한 저온 에피 공정에 유리한 것으로 알려져 있으나 통상적으로 ECR 플라즈마내의 플라즈마 전위(약 20 eV 안팎)가 실리콘의 결합에너지(2.4 eV)보다 높고 또한 온도가 낮아질 수록

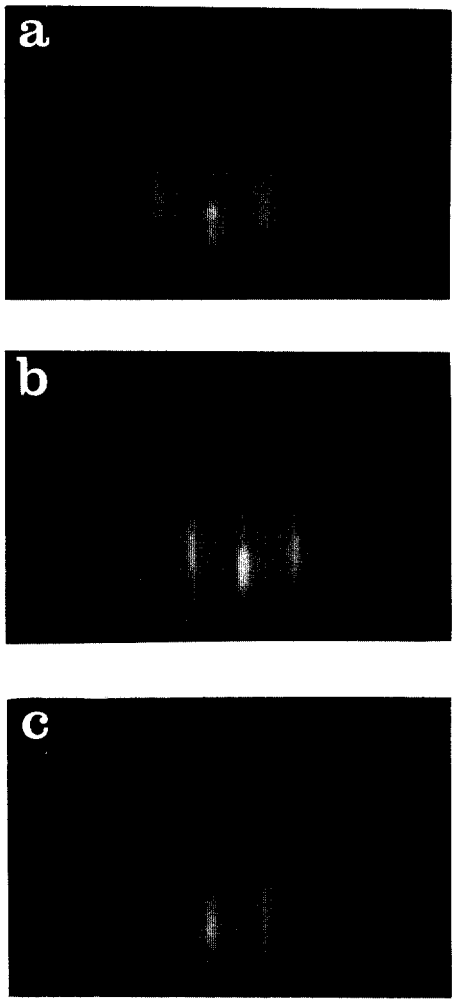

그림 2. HF dip 및 *in situ* 수소 플라즈마 세정 후의 RHEED 패턴의 변화. (a) T_s=260℃(HF dip 후), (b) T_s=560℃(HF dip 후), (c) T_s=560℃(H_2 플라즈마 세정 후).

열적 치유능력(thermal recovery)이 저하되므로 저온 에피 성장 중의 플라즈마에 의한 에피막의 손상은 에피막에 치명적인 결함(defect)를 야기시킬 우려가 있다. 따라서 저온에서 양질의 단결정 실리콘 막을 얻기 위해서는 플라즈마에 의한 손상을 최소화하는 것이 무엇보다도 중요하다. 에피 성장 중 플라즈마에 의한 기판 손상은 주로 기판에 입사되는 energetic한 이온에 의한 것이므로 플라즈마 발생 소스와 독립적으로 기판에 바이어스를 가할 수 있는 본 UHV-ECR-CVD 장치의 장점을 이용하여 기판에 DC 바이어스를

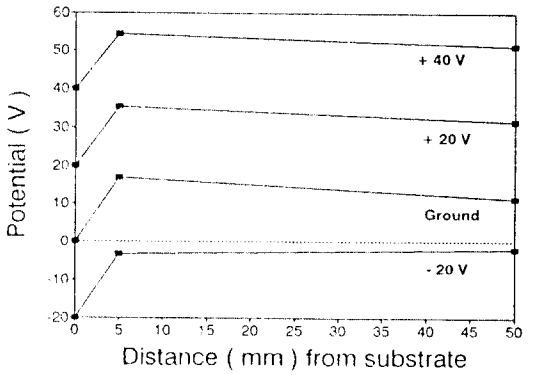

그림 3. 기판 DC 바이어스에 따른 플라즈마내 전위 분포의 변화.

인가함으로써 기판에 입사되는 이온의 에너지에 영향을 주는 플라즈마내의 공간적 전위 분포의 변화를 고찰하였다.

일반적으로 플라즈마 벌크내에 탐침(probe)과 같은 소면적의 전극에 DC 바이어스를 인가하는 경우는 플라즈마 전위에 영향을 미치지 못하는 것으로 알려져 있으나 DC 전압이 인가되는 전극의 면적이 커지게 되면 기판에 인접한 플라즈마의 전위에 영향을 미치며 [7] 평판형 RF 플라즈마처럼 플라즈마 밀도가 균일하고 플라즈마 전위가 공간적으로 균일한 분포를 이루고 있는 플라즈마 벌크에 인접한 대면적 기판에 양의 전압을 인가하는 경우는 플라즈마 전위가 전 공간에 균일하게 상승하게 되나 본 실험이 수행된 ECR 플라즈마의 경우는 플라즈마가 공진실에서 발생하여 공진실 외부에 존재하는 기판으로 down-stream하므로 플라즈마 밀도가 기판의 축방향으로 균일하지 않고 또한 플라즈마 전위에 영향을 주는 Te가 공진실로부터 기판으로 갈수록 감소함으로써 플라즈마 전위도 공간적으로 불균일한 상태를 이루고 있다. 따라서 대면적 기판에 DC 전압을 인가하는 경우 플라즈마 전위의 상승 정도가 플라즈마 전공간에 대하여 균일하지 않을 것이라는 것이 예측 가능하다. 그림 3은 Langmuir probe를 사용하여 측정된 기판 바이어스에 따른 플라즈마내의 공간적 전위 분포의 변화를 보여준다. 바이어스가 가해지는 기판의 면적이 기판에 인접한 플라즈마 벌크에 영향을 줄 정도의 대면적(직경 : 약 12 cm)이고 플라즈마 전위와 기판의 전위의 차 ($V_p - V_s$)는 항상 양의 부호를 가지므로 양의 바이어

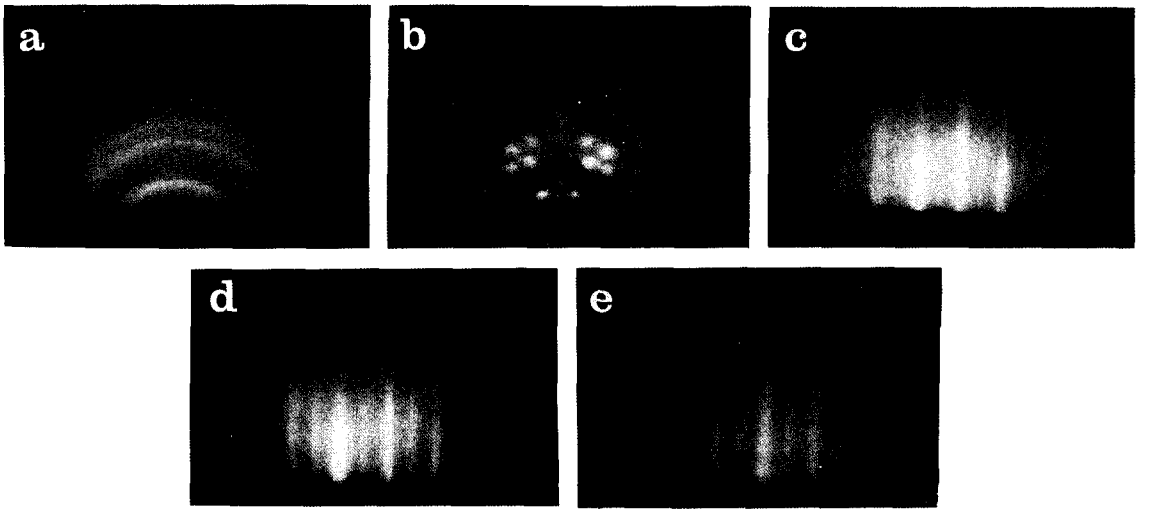

그림 4. DC 바이어스 변화에 따른 증착된 실리콘 에피막에 대한 RHEED 패턴의 변화. (a) −50 V, (b) floating, (c) +10 V, (d) +50 V, (e) +100 V, 증착조건 : T_s=560℃, P_M=50 W, I_m=40 A, H_2 유량=100 sccm, 전체 압력=2×10^{-3} torr, SiH_4 부분압=4×10^{-5} torr, 증착시간=30분.

스를 기판에 가하는 경우 기판의 전위가 상승하나 쉬스 영역 부근의 전자가 기판으로 대거 입사됨으로써 플라즈마 전위도 함께 상승되게 되어 플라즈마 전위와 기판의 전위의 차(V_p-V_s)는 거의 변화하지 않으나 기판에서 멀어질수록 바이어스에 의한 영향이 감소함으로 그림 3에 보이는 것처럼 플라즈마내의 공간적 전위 분포는 오르막의 전위 분포로 변화하게 된다. 이러한 오르막 전위 분포로의 플라즈마내의 공간적 전위 분포의 변화는 cavity로부터 기판으로 B-field를 따라 down-stream되는 이온들의 각각의 에너지 및 flux를 감소시키는 방향으로 영향을 줌으로써 기판에 단위 면적당 단위 시간당 입사되는 이온의 전체 에너지(기판에 도달하는 각 이온이 갖는 에너지×이온의 flux)를 감소시키는 효과를 가져온다. 반면에 음의 바이어스를 기판에 가한 경우는 플라즈마내의 공간적 전위 분포가 내리막 전위 분포로 변화하여 B-field를 따라 기판으로 down-stream되는 이온들의 각각의 에너지 및 flux를 증가시킴으로써 단위 면적당 단위 시간당 기판에 입사되는 이온의 전체 에너지를 증가시키는 효과를 가져온다. 따라서 기판에 DC 바이어스를 가하여 플라즈마의 공간적 전위 분포를 변화시켜 down-stream되는 이온의 운동에 영향을 줌으로써 기판에 입사되는 이온의 에너지를 제어할 수 있다.

플라즈마를 이용한 에피막 증착 동안 기판에 인가되는 DC 바이어스의 변화가 성장하는 실리콘 에피층에 미치는 영향을 고찰하였다. 그림 4는 기판온도 560℃에서 SiH_4의 부분압이 4×10^{-5} torr, 전체압력이 2×10^{-3} torr인 조건에서 기판에 인가되는 DC 바이어스의 변화에 따라 30분간 증착된 실리콘막에 대한 RHEED 패턴이다. 그림 4(a)에 보이는 ring 패턴은 −50 V가 인가된 기판에는 다결정 실리콘이 증착되는 것을 보여주고 있으며 그림 4(b)에 보이는 패턴은 floating된 기판에는 defect를 가진 단결정 실리콘이 증착되는 것을 보여주고 있다. 그림 4(b)의 패턴에 보이는 분리된 각 점들은 에피막내에 있는 미세쌍정(microtwin)에 의한 이중 회절(double diffraction)에 의한 것으로 보인다. 그림 4(c), (d), (e)에 보이는 것처럼 +10 V 이상의 바이어스가 인가된 기판에는 양질의 단결정 실리콘이 증착되었고 dislocation이 없고 평탄한 표면을 갖는 2×1 구조를 보여주고 있다.

일반적으로 단결정 성장은 성장온도가 낮아질 수록 표면 반응 과정에 의해 지배를 받으므로 저온에서의 단결정 성장은 기판에 입사되는 원자들의 흡착종(adsorped species)의 종류, 흡착률과 흡착된 원자들의 안정한 자리로의 이동률 등에 영향을 받고 온도가 낮아질수록 표면확산에 의한 흡착 원자들의 이동률이 저하되므로 플라즈마를 이용한 에너지의 부과는 저온의 단결정 성장에 도움을 주는 것으로 알려져있다.

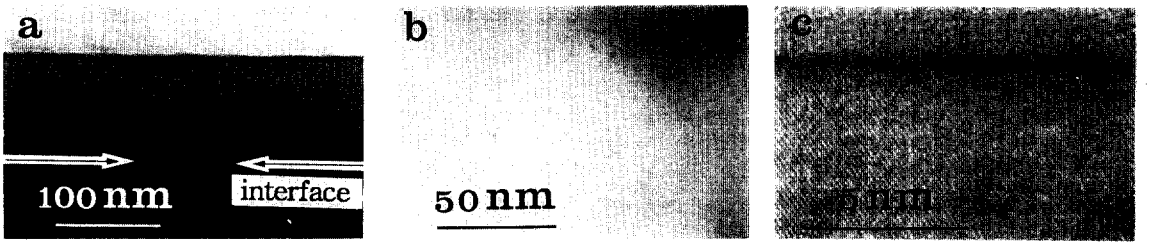

그림 5. 기판 온도 560℃/+100 V DC 바이어스 조건에서 285분간 증착된 실리콘 에피층에 대한 TEM image. (a) cross section TEM, (b) plan-view TEM, (c) high resolution TEM, 증착조건 : P_M=50 W, I_m=40A, H_2 유량=100 sccm, SiH_4 유량=2.5 sccm.

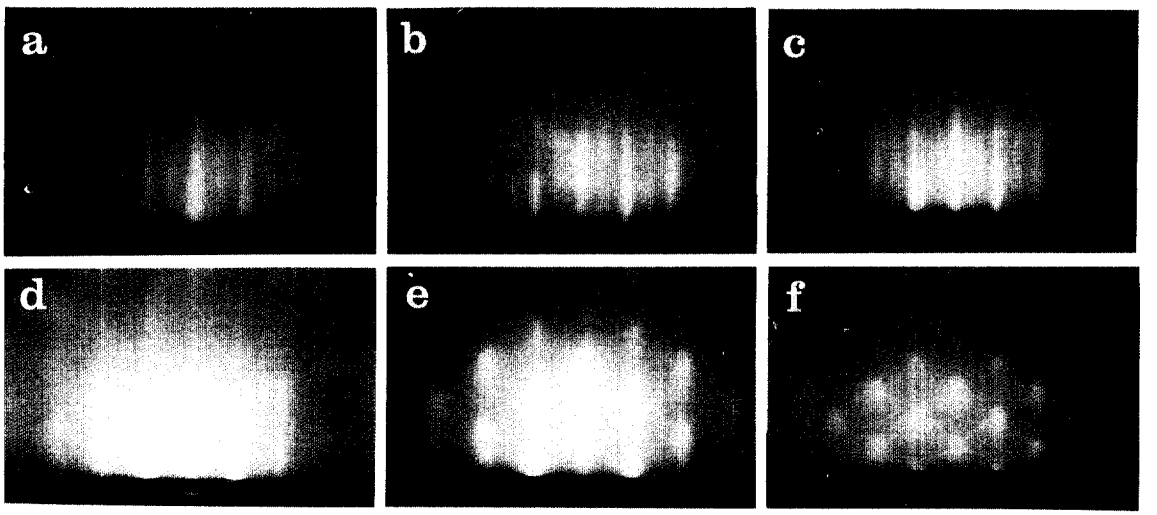

그림 6. 기판 온도의 변화에 따른 증착된 실리콘 에피막에 대한 RHEED 패턴의 변화. (a) T_s=560℃, (b) T_s=470℃, (c) T_s=380℃, (d) T_s=260℃, (e) T_s=160℃, (f) No substrate heating, 증착조건 : +100 V DC 바이어스, P_M=50 W, I_m=40A, H_2 유량=100 sccm, SiH_4 유량=2.5 sccm, 전체압력=2×10^{-3} torr, SiH_4 부분압=4×10^{-5} torr, 증착시간=30분.

그러나 본 실험의 결과는 플라즈마에 의한 과다한 에너지 부과, 즉 운동량 전달의 효과가 큰 energetic한 반응성 이온이 기판으로 유입되는 경우 오히려 저온 실리콘 단결정 성장을 저해하는 것으로 나타났다. 즉 음의 바이어스를 가한 기판에서 다결정 실리콘을 얻은 반면에 floating 기판에서는 단결정 실리콘을 얻었지만 defect를 가지고 있었고 +10 V 이상의 양의 바이어스를 가한 기판에서는 양질의 단결정 실리콘을 얻었다. 기판에 가해지는 DC 바이어스의 극성을 음의 값으로부터 양의 값으로 변화시킴에 따라 플라즈마의 공간적 전위 분포가 네리막 전위 분포로부터 오르막 전위 분포로 변화되어 반응성 이온의 flux 및 에너지가 감소함으로써 energetic한 이온이 기판으로 유입되는 것을 방지한 결과 성장되는 실리콘의 결정구조가 다결정에서 단결정으로 변화하였으며 단결정 실리콘의 경우라도 플라즈마에 의한 defect의 발생이 현저히 억제되었다. 또한 다결정 실리콘의 성장 속도(음의 바이어스 조건에서 약 50 Å/min 안팎)보다 단결정 실리콘의 성장 속도(양의 바이어스 조건에서 약 10 Å/min 안팎)가 느린 것이 확인되었으며 +100 V 조건에서 얻어진 양질의 단결정 실리콘의 경우 약 3.5 Å/min의 성장 속도를 보였다. 이러한 결과는 결정 성장 속도에 영향을 주는 기판온도, SiH_4의 부분압이 동일한 조건에서 기판에 유입되는 이온의 전체 에너

지가 큰 경우 반응에 필요한 활성화 에너지를 증가시켜 결정 성장 속도의 증가에는 기여하나 다량으로 defect를 유발시킴으로써 단결정 구조로 성장되기는 어렵다는 것을 보여준다. 따라서 기판 바이어스에 따른 반응성 이온의 flux 및 에너지의 감소는 근본적으로 증착되는 실리콘막의 결정 구조를 다결정 실리콘에서 단결정 실리콘으로 변화시키며 플라즈마내의 높은 에너지를 갖는 이온들에 의한 손상이 줄어들어 저온에서도 양질의 단결정 실리콘을 성장을 가능하게 한다.

그림 5는 560℃, +100 V 바이어스가 가해진 조건에서 285분 증착된 실리콘 에피층에 대한 XTEM, plan-view TEM, 및 HRTEM 사진이다. 그림 5(a)에 보이는 것처럼 증착된 에피층의 표면은 평탄한 구조를 가지며 실리콘 기판과 실리콘 에피층 사이의 경계면을 식별할 수 없다. 또한 그림 5(b), (c)의 plan-view 및 lattice image는 증착된 실리콘 에피층이 무전위 에피막임을 보여주고 있다.

그림 6은 SiH_4의 부분압이 4×10^{-5} torr, SiH_4/H_2의 전체압력이 2×10^{-3} torr이고 +100 V 바이어스가 가해진 조건에서 기판의 온도의 변화에 따라 30분간 증착된 실리콘 에피층에 대한 RHEED 패턴이다. 그림 6(a), (b), (c)에 보이는 2×1 구조의 RHEED 패턴은 560℃에서 380℃로 기판온도가 낮아지더라도 양의 바이어스 효과에 의하여 평탄한 표면을 갖는 양질의 실리콘 에피막을 얻을 수 있다는 것을 보여주고 있다. 기판 온도가 260℃ 이하로 낮아지는 경우에도 +100 V의 양의 DC 바이어스에 의하여 기판에 입사되는 이온에 의한 damage를 줄여준 결과 그림 6(d), (e), (f)에 보이는 것처럼 비록 거친 표면을 갖고 있으나 단결정 실리콘막이 성장될 수 있음을 보여주고 있다. 또한 그림 6(f)는 별도의 기판 가열이 없는 조건에서 성장된 실리콘 에피층에 대한 RHEED 패턴으로 별도의 기판 가열이 없는 상태에서도 비록 거친 표면을 가지나 단결정 실리콘이 성장될 수 있음을 보여주고 있다.

4. 결 론

UHV-ECRCVD 장치에서 기판에 인가되는 DC 바이어스의 변화에 따라 ECR 플라즈마내의 공간적 전위 분포의 변화를 고찰하였고 이러한 변화가 560℃ 이하의 저온 실리콘 에피 성장에 미치는 영향을 고찰한 결과는 다음과 같다.

1. 기판에 DC 바이어스를 인가한 경우 ECR 플라즈마의 공간적 전위 분포가 변화되어 DC 바이어스의 부호(+ 또는 −)에 따라 오르막 또는 내리막의 전위 분포를 갖게 되고 이러한 결과는 플라즈마 영역에서 기판으로 입사되는 이온들의 flux 및 에너지의 조절을 가능하게 한다.

2. 560℃의 저온에서 이온의 flux 및 에너지를 증가시키는 음의 DC 바이어스가 인가된 기판에는 다결정 실리콘이 성장되었고 이온의 flux 및 에너지를 감소시키는 양의 DC 바이어스가 인가된 기판에는 단결정 실리콘이 성장되었다.

3. 음의 DC 바이어스가 인가된 기판에서 성장되는 다결정 실리콘의 성장 속도보다 양의 DC 바이어스가 인가된 기판에서 성장되는 단결정 실리콘의 성장속도가 낮다.

4. +100 V의 DC 바이어스를 기판에 인가한 결과 380~560℃의 영역에서 표면이 평탄한 단결정 실리콘 에피층을 얻었고 260℃ 이하에서는 표면이 거친 단결정 실리콘 에피층을 얻었으며 기판에 별도의 가열이 없는 상온조건에서도 단결정 실리콘 에피층을 얻을 수 있었다.

참고문헌

1. T. J. Donahue and R. Reif, *Appl. Phys. Lett.* **57**, 2757 (1985).
2. S. V. Hattangady, J. B. Postill, G. G. Fountain, R. A. Rudder, M. J. Mantin and R. J. Markunas, *Appl. Phys. Lett.* **59**, 339 (1991).
3. K. Fukuda, J. Murota, S. Ono. Matsuura, H. Uetakeand and T. Ohmi, *Appl. Phys. Lett.* **59**, 2853 (1991).
4. V. M. Donnelly and J. A. Macaulley, *J. Vac. Sci. Technol.* **A8**, 84 (1990).
5. D. B. Fenner, D. K. Biegelsen and R. D. Bringans, *J. Appl. Phys.* **66**, 449 (1989).
6. B. Anthony, L. Breaux, T. Hsu, S. Banerjee and A. Tasch, *J. Vac. Sci. Technol.* **B7**, 621 (1989).
7. K. Shirai and S. Gona, *J. Appl. Phys.* **68**, 4258 (1990).