

Digital 제어의 신기술 및 향후 전망

심 학 경*

New Technology and Future Trend in Digital Control

H. K. Sung*

ABSTRACT

This paper introduces a new concept to analyze the digital control system where the continuous-time plant is stabilized by the digital controller with sampler and hold. It gives some methods to handle the inter-sampling behavior which has not been considered in the digital controller design.

Also, the new trend and future direction in digital control are introduced.

Key Words : Digital control, Inter-sampling behavior, Hold, Hybrid control

1. 서 론

마이크로프로세서등 반도체 및 전자기술의 급속한 발달에 따라 산업계에서의 제어수단으로서 디지털제어기가 기존의 아날로그 제어를 대신하기 시작하여 최근에 들어서는 퍼스널 컴퓨터의 넓은 보급에 의해 더욱 확산되는 추세에 있다.

디지털제어방식은 소프트웨어의 조작 용이성등에 의한 유연성 대응성을 갖고 있으며, 또한 신뢰성 및 가격에 대한 잇점으로 앞으로도 산업계의 많은 부분이 이를 채택할 것은 자명하다고 할 수 있다.

그러나 아직 디지털제어는 일부 국한된 제어이론에 의존하고 있는 것이 현실이며 특히 산업현장에서는 제어를 설계하는 데 PID등의 실험에 의한 수단에 의존하고 있다. 나날이 다양화, 복잡화 나아가서는 고속고정밀화해가는 탈근대산업사회에서 이러한 제어분야에 있어서도 더욱 빠르고 다양성있고 정밀한 제어를 필요로 하고 있으나 기존의 제어방식으로는 이 모든 요구를 백퍼

센트 만족시키기는 부족하다. 그럼에도 불구하고 실제 90퍼센트 이상의 제어계가 PID방식 및 그 개량형에 의지하고 있는 것이 현실이다.

한편 60년대 이후 급속한 발전을 이루어 온 제어이론은 한때 이론을 위한 제어라고 불리어오기도 하였지만, 하드웨어의 발달과 H 무한대 제어이론⁽¹⁾ 및 로봇제어를 비롯한 80년대의 놀랄만한 이론의 성과로 실제 산업현장에서의 응용의 길이 열려졌다고 볼 수 있다. 제어이론이 지난 30년간 제어계의 설계와 해석을 번갈아가며 발전해 온 것과 발맞추어 지난 80년대의 H 무한대제어를 비롯한 제어이론의 해석(Analysis)에 대한 열기가 이제는 제어기설계(Synthesis)에 관한 관심으로 접어들었다. 최근의 동적제어이론의 현장에의 적응노력^(2, 3) 및 동정(Identification)에 대한 관심과 연구의 박자가 이를 말해주고 있다^(4, 5).

이런 시점에서 탈근대사회의 요구사항을 만족시키기 위해서는 나날이 발전하고 있는 하드웨어 및 새로운 제어기술의 응용에 의한 지적제어의 새로운 개념이 필요로

* 삼성전자(생산기술센터 자동화 연구소)

하는 시점에 서 있다.

이러한 배경에서 여기서는 디지털제어의 새로운 설계 방법으로 샘플링주기사이에서의 거동을 고려한 하이브리드 (Hybrid)계로서의 디지털 제어의 이해법과 새로운 제어기의 설계법을 소개하고, 앞으로의 디지털 제어기술의 향후동향에 대해서 소개한다.

2. 디지털 제어기

이 장에서는 기존에 사용되어왔던 디지털제어이론의 개념과 최근 새로 대두되어온 해석방법에 대해서 설명한다. 단, 연속시간계 및 신호는 $X(s)$, $x(t)$ 로, 이산시간계 및 신호는 $X(z)$, $x(k)$ 로 나타내기로 한다.

Fig. 1는 모든 서브계 및 신호가 이산인 이산시간의 페루프계로 디지털 제어이론의 기본이 되는 계이며 수학적으로 존재하는 이상적인 이산계이다(6). 여기서 $P(z)$ 및 $C(z)$ 는 각각 이산시간계의 제어대상 및 제어기를 나타낸다.

이 계는 연속계의 bilinear 변환에 의해 얻어지는 dual 계로 Z변환등의 해석법이 쓰여진다.

Fig. 2는 연속시간의 제어대상 $P(s)$ 를 샘플로 S_h 및 홀더(Hold) $H(t)$ 와 디지털제어기 $C(z)$ 로 안정화시키는 피드백(Feedback) 제어계로 디지털제어를 사용하는 실제 제어계의 일반적 표현이다. Fig. 2의 계에 대해 페루프계를 안정화시키고 주어진 성능을 만족시키는 디지털제어를 설계하는 방법으로 다음의 몇가지를 소개한다.

(1) 연속시간계의 제어대상을 연속시간이론을 기초로 연속시간제어를 설계하여 이를 bilinear변환 등으로 디지털화하는 방법(6).

종래부터 널리 이용되어 왔던 방법으로 설계시 디지털개념을 고려하지 않고 널리 보급되어온 연속계베이스의 설계수단으로 설계가 가능한 반면, 샘플링주기를 설계할 수 없는 점과 샘플링주기가 길어질 경우 안정성등의 보장이 되어있지 않은 단점이 있다.

(2) 연속시간제어대상을 이산화하여 이산시간계로 해석하는 방법(7).

연속의 제어대상을 샘플러 및 홀더를 사용하여 샘플링주기 h 로 환산하여 이산시간제어계로 해석하는 방법으로 기존의 이산시간제어이론을 그대로 적용할 수 있는 반면, h 를 미리 설정하여 설계하여야 하며 샘플링주기 사이의 거동을 고려하지 않고 설계하는 방법이다. 실제

물리적 현상과는 완전히 부합되지 않는 편의상의 방법이 지만 수학적으로 취급이 간편한 (시불변계(Time-invariant system)) 이유로 널리 쓰여져오고 있다.

(3) 이산 및 연속시간계가 혼재하는 하이브리드계로서의 해석법(8-21).

연속 및 이산의 블록(Block) 및 신호가 혼재하는 계로서 실제의 물리적 현상을 그대로 표현하고 있는 계이며, 지금까지는 편의상 고려하지 않았던 샘플링주기의 거동을 고려할 수 있는 가장 이상적인 방법이다. 하지만 수학적으로 해석하기에는 계차체가 시변계(Time varying)계라는 어려움이 있다. 이를 극복하기 위한 방법으로 동일한 성능지표를 갖는 이산시간계로 변환하여 해석, 설계하는 방법이 사용되고 있다.

3. 디지털 제어계설계에서의 문제점과 설계요소

전장에서는 디지털제어를 설계하는 데 있어서는 여러 방법이 있음을 설명했다. 여기서는 실제 디지털제어계를 설계할 때 생각해야 할 문제를 설명하고 이를 개선하기 위해 제어기를 설계시 고려할 수 있는 설계요소에 대하여 설명한다.

종래의 디지털제어설계에서는 샘플링주기상에서의 거동을 주된 관점으로 해석해 왔다. 0차홀더(Zero-order hold)를 사용할 경우, 샘플링주기 사이에서의 거동은 제어입력이 샘플링주기 내에서 일정한 값을 발생시키므로 주기내에서는 개루프(Open-loop)이다. 따라서 기존의 방법으로는 그 사이의 거동을 설계자 임의대로 제어할 방법이 없고, 단지 샘플링주기사이에서의 거동은 고려에 넣지 않고 해석, 설계해왔다. 하지만 샘플링주기위에서의 거동이 목표입력과 일치한다고 해서 그 사이에서의 거동도 목표입력에 일치한다고는 할 수 없다. 이 경우 샘플링주기사이에서는 Fig. 5에서 보듯이 다음의 두가지의 진동현상이 존재할 수 있는데 어느 현상도 바람직하다고는 볼 수 없다.

(1) 천이구간에서의 진동 현상

(2) 정상상태에서의 진동 현상 (리플(Ripple)이라고 한다)

이를 해결하기 위해서는 더 짧은 샘플링주기를 사용하여 해결하는 방법이 있으나 이때 발생하는 cost와 제어성능의 trade-off를 고려해야하며, 특히 많은 연산시간이 필요한 제어알고리즘 구현시에는 샘플링주기를 줄이는 데에는 한계가 있으므로 해결책으로 최선의 방법

이라고는 할 수 없다. 만약에 샘플링 주기를 줄이지 않고도 이런 현상을 해결할 수 있다면 연산시간이 다소 길어질지라도 cost와 제어성능을 동시에 만족시킬 수 있다. 또 샘플링주기를 길게하고 알고리즘 및 설계법을 개선하여서 이런 현상을 해결할 수 있다면 싼 cost와 제어성능을 높일 수 있는 방법이 될 수 있다.

이상 설명한 진동 현상을 개선하기 위해 지금까지는 설계시 샘플링주기상에서의 성능만을 고려해서 또 여러 설계요소중에서 디지털제어기의 샘플링주기상에서의 알고리즘 자체만의 설계를 통해서 개선하려고 많은 노력을 기울여 왔다.

그러나 실제 제어계를 구성하는 데는 그 외에도 다른 요소가 있음을 유의할 필요가 있다. Fig. 6에 나타나있듯이 설계의 대상이 될 수 있는 요소는 그 밖에도 샘플링 주기 h 및 샘플러 S_n , 홀더 $H(t)$ 가 있어 설계의 자유도를 넓힐 수 있다. 아직 이들에 대한 구체적인 설계법이 표준화되어 있지는 않으나 몇가지의 설계이론이 연구되고 있다(20, 22).

예를 들어 다주기 제어, 및 홀더로서 1차홀더(First-order hold), 주기형 홀더(Periodic type hold)를 쓰는 방법(20) 등이 있다. 단, 제안된 여러 방법은 기초적인 연구내용을 담고 있고 하나의 안을 제시한 것으로 제안된 방법이 최선의 방법이라고는 단언하기는 이른다.

4. 새로운 디지털제어계의 구성법

이 장에서는 전장에서 설명에 입각한 디지털제어계 설계법에 대해서 사례를 들어 설명한다.

4.1 디지털제어기의 설계법

여기서는 샘플링주기사이에서의 거동을 고려한 디지털 제어기설계법을 설명하기 위해 Fig. 7에 나타난 계에 대해 외부이산입력에 대한 출력의 Induced-norm 최적화문제를 다루기로 한다(17).

Fig. 7에 있어서 $v[k]$ 는 이산시간신호, $y(t)$ 는 연속시간신호로, 이 계의 성능을 평가하는데 다음의 두 방법, 즉 출력을 연속시간베이스 및 이산시간베이스로 평가하는 방법을 생각한다.

	from->to	norm to minimize	example
DD	D->D	l_2/l_2 -induced norm	$v[k] \rightarrow y[k]$
CD	D->C	l_2/L_2 -induced norm	$v[k] \rightarrow y(t)$

C와 D는 각각 연속 및 이산신호임을 나타낸다.

(DD)문제는 이산입력신호에 대해 출력단에서 샘플링 주기상에서의 성능을 평가하는 문제로 다음과 같이 정의 되는 이산신호에서 이산신호의 l_2/l_2 -induced norm을 최소화하는 문제로 귀착된다.

$$\|G_{DD}\|_{l_2, l_2} := \sup \frac{\|y[k]\|_2}{\|v[k]\|_2} \quad (4.1)$$

이 norm은 이산시간계의 H 무한대 norm과 같다. 따라서 제어기는 기존의 이산시간제어이론에 의해 설계할 수 있으며 샘플링주기사이에서의 거동을 평가에서 제외 된다.

(CD)문제는 이산입력신호를 출력단에서 연속적으로 평가하는 문제로 이산신호에서 연속신호의 l_2/L_2 -induced norm을 최소화하는 문제로 norm은 다음과 같이 정의된다.

$$\|G_{CD}\|_{L_2, l_2} := \sup \frac{\|y(t)\|_2/\sqrt{h}}{\|v[k]\|_2} \quad (4.2)$$

이 문제를 해결하기 위해서는 직접 수학적으로 해결할 방법이 기존에는 없으므로 여기서는 동일한 성능지표를 갖는 이산시간문제로 변환하여 해석, 제어기를 설계하는 방법을 소개한다.

(4. 2)식의 norm은 다음과 같이 다시 쓸 수 있다.

$$\|G_{CD}\|_{L_2, l_2} = \sup \frac{\|\tilde{y}[k]\|_2}{\|v[k]\|_2} \quad (4.3)$$

단, $\tilde{y}^T[k]\tilde{y}[k] = \frac{1}{h} \int_{kh}^{(k+1)h} y^T(t)y(t)dt$. 이며,

(4. 3)은 $v[k]$ 로부터 $y[k]$ 까지의 l_2/l_2 -induced norm, 즉 이산 H 무한대 norm을 나타낸다.

P(s)의 상태공간표현을 다음과 같이 놓으면

$$\begin{cases} \dot{x}_p(t) = A_p x_p(t) + B_p u(t) \\ y(t) = C_p x_p(t) \end{cases} \quad (4.4)$$

$0 \leq \sigma h$ 사이에서 P(s)의 출력은

$$y(t) = C_p x_p(kh + \sigma) = C_p \hat{A}_p(\sigma) x_p[k] + C_p \hat{B}_p(\sigma) v[k] \quad (4.5)$$

로 표시된다. 단,

$$\begin{aligned} \hat{A}_p(t) &:= e^{A_p t}, \\ \hat{B}_p(t) &:= \int_0^t e^{A_p(t-\tau)} B_p H_h(\tau) d\tau \end{aligned} \quad (4.6)$$

그러면 $\{\nu[k], \phi\}^T$ 로부터 $\{y(t), y[k]\}^T$ 까지의 하이브리드(Hybrid) 상태구간표현⁽¹⁵⁾ (연속, 이산신호가 혼재한 상태구간표현)은 다음과 같이 표현된다.

$$\begin{cases} z_p[k+1] = \hat{A}_p(h) z_p[k] + \hat{B}_p(h) \psi[k] \\ \dot{y}[k] = \hat{C} z_p[k] + \hat{D} \psi[k] \\ y[k] = -C_p z_p[k] + I\nu[k] \end{cases} \quad (4.7)$$

$y[k]$ 를 다음과 같이 정의함으로써 $y(t)$ 는 동일한 norm의 평가값을 갖는 이산시간출력 $y[k]$ 로 대체할 수 있다.

$$\dot{y}[k] = \begin{bmatrix} \hat{C} & \hat{D} \end{bmatrix} \begin{bmatrix} z_p[k] \\ \nu[k] \end{bmatrix} \quad (4.8)$$

단,

$$\begin{aligned} \dot{y}^T[k] \dot{y}[k] &:= \frac{1}{h} \int_{k_h}^{k_{h+h}} \dot{y}^T(t) \dot{y}(t) dt \\ &= \begin{bmatrix} z_p[k] & \nu[k] \end{bmatrix} \frac{1}{h} \int_0^h \begin{bmatrix} \hat{A}_p^T(\sigma) \\ \hat{B}_p^T(\sigma) \end{bmatrix} \\ &C_p^T C_p \begin{bmatrix} \hat{A}_p(\sigma) & \hat{B}_p(\sigma) \end{bmatrix} d\sigma \begin{bmatrix} z_p[k] \\ \nu[k] \end{bmatrix} \\ &\begin{bmatrix} \hat{C}^T \\ \hat{D}^T \end{bmatrix} \begin{bmatrix} \hat{C} & \hat{D} \end{bmatrix} := \frac{1}{h} \int_0^h \begin{bmatrix} \hat{A}_p^T(\sigma) \\ \hat{B}_p^T(\sigma) \end{bmatrix} \\ &C_p^T C_p \begin{bmatrix} \hat{A}_p(\sigma) & \hat{B}_p(\sigma) \end{bmatrix} d\sigma \end{aligned}$$

그러면 $\{\nu[k], \psi\}^T$ 로부터 $\{y(t), y[k]\}^T$ 까지의 이산시간 상태구간표현은 다음과 같이 표현된다.

$$\begin{cases} z_p[k+1] = \hat{A}_p(h) z_p[k] + \hat{B}_p(h) \psi[k] \\ y(t) = C_p \hat{A}_p(\sigma) z_p[k] + C_p \hat{B}_p(\sigma) \psi[k] \\ y[k] = -C_p z_p[k] + I\nu[k] \end{cases} \quad (4.9)$$

따라서 (4.9)식에 대해 종래의 이산시간제어이론을 사용하여 제어를 설계함으로써 샘플링주기사이의 거동을 고려한 디지털 제어를 설계할 수 있다. 다음 예로서 이를 확인해본다.

[예제] Fig. 7에서 $P(s) = 1/(s^2 + 2s - 0.5)$ 이고 $H(t)$ 는

0차홀더(zero-order hold)이며 $h=0.5$ 인 경우를 생각한다. 이 경우 (1) DD : $\nu[k]$ 로부터 $y[k]$ 까지의 H_∞ norm 최소화문제 (2) CD : $\nu[k]$ 로부터 $y[k]$ 까지의 I_2/L_2 induced norm 최소화문제로 제어기 $C[z]$ 를 설계하면 제어기는

$$(DD) C_1[z] = \frac{2.30245(z-0.33)(z+4.6)}{(z+0.72)(z+0.88)} \quad (4.10)$$

$$(CD) C_2[z] = \frac{2.06209(z-0.33)(z+4.37)}{z^2 + 1.35195z + 0.538963}$$

로 얻어진다. 각 경우의 출력과 제어입력을 나타내면 Fig. 8과 같다. Fig. 8에서 보듯이 샘플링주기상에서의 거동만을 보면 (DD)의 경우가 setting time이 빠르지만 샘플링주기사이의 거동도 고려하면 (CD)의 경우가 빠르고 진동도 적다. 또한 (CD)설계법은 제어입력의 크기도 감소시키고 있다.

4.2 홀더(Hold) 함수를 고려한 제어기의 설계법

이 절에서는 주기형(periodic-type) 홀더를 사용하여 리플(ripple)을 감소시키는 디지털 제어기의 설계법을 설명한다⁽²⁰⁾.

Fig. 9에 나타난 서보(Servo) 계를 생각한다. $P(s)$ 는 연속시간계의 제어대상, $K(z)$ 는 이산시간계의 제어기이며 $H(t)$ 는 홀더로서 다음과 같은 주기형(periodic type)을 사용한다.

$$H(\tau+h) = H(\tau) : 0 \leq \tau \leq h \quad (4.11)$$

0차홀더(zero-order hold)도 주기형 홀더의 $H(t)=1$ 인 특수한 형태임에 주의하자.

주기목표 입력에 트래킹하기 위해서는 디지털 제어기 $K(z)$ 가 다음의 내부모델을 가지면 샘플링주기상에서는 어려없이 트래킹 할 수 있다⁽²³⁾. 단, 이 경우 샘플링 사이에서도 어려없이 트래킹 할 수 있다는 것은 아니다.

$$\frac{1}{z^l - 1} \quad (4.12)$$

여기서는 샘플링주기사이에서의 거동을 개선하기 위해 Fig. 10에 나타난 것과 같은 샘플링 1주기내에서 m 회 홀더 값을 변경시키는 주기형 홀더를 사용한다. 단, 이 경우 $H(t)$ 는 0차홀더(Zero order hold)와 같은

Power 값을 갖도록 설계한다.

이 주기형 홀더와 (4, 12)의 내부 모델을 갖는 K(z)를 설계하는 방법은 참고문헌 (17)을 참고하기 바란다.

여기서는 (17)의 설계법을 이용하여 직류모터(DC motor)의 서보문제를 생각한다. 실험에 사용된 직류모터의 전달함수는

$$P_m(s) = \frac{K}{s(1 + Ts)} \quad (4.13)$$

이다. 단 $K=8.85 \times 10^3$ [pulse/sec V], $T=14.8 \times 10^{-1}$ (sec), I [pulse]=0.01172 (degree)이다. 주기목표입력은 Fig. 11과 같다. 단, $L=12$, $h=0.1$ 이다. 이 경우 (a) 0차홀더(zero-order hold)와 (b) 주기형 홀더를 사용한 경우의 각 홀더에 대한 정상상태에러를 Fig. 12에 나타내었다.

Fig. 11로부터 정상상태에러가 주기형홀더를 사용했을 때, 아직 속도가 급격히 변하는 곳에서는 에러가 남아 있지만 현저히 (least square error가 약 63%) 줄어들었음을 알 수 있다.

따라서 0차홀더(Zero-order hold)가 아닌 주기형홀더를 사용하여 샘플링주기사이에서의 거동을 개선할 수 있음을 보였다. 또, 제안된 홀더를 사용할 경우 샘플링 주기를 줄여서 매 주기마다 연산을 하는 대신에 홀더의 값을 메모리에 저장해서 값을 변경할 때 메모리를 참조하여 홀더를 정함으로서 주기내에서 새로 연산을 하지 않아도 되는 장점이 있다. 이 경우는 한가지의 예이므로 실제 Fig. 12의 홀더외에도 여러가지 설계방법이 있을 수 있음에 유의하자.

5. 디지털제어의 향후 동향

전장까지 최근에 연구되어지고 있는 디지털제어의 설계법의 몇가지 예를 들어 설명했으나 실제로 현장에서는 아직도 많은 제어수단으로서 PID와 같은 고전적방법이 주를 이루고 있다(선진국에서도 90% 이상이라고 해도 과언이 아닐 정도로). 나머지 10% 정도가 고속고정밀을 요구하는 시대적 또는 상황적 특성을 충족시키기 위해 최신의 현대 제어이론을 비롯한 여러 제어이론을 응용한 제어기라고 할 수 있으며 점점 그 비율을 늘려가려고 노력하고 있는 실정이며 90년대에 들어 이러한 노력이 활발해지고 있다.

현재 많은 학교 및 현장에서의 이러한 노력은 80년대의 제어이론의 눈부신 발전과 하드웨어의 급속한 발달과 보급에 의한 덕택이다.

그러나 새로운 제어이론을 현장에 적용하기에는 많은 난관을 극복해야 한다. 현대 제어이론에서는 먼저 제어대상의 정확한 모델링이 전제되어야 하며 또 모델의 파라메타의 동정(identification)도 수반되어야 한다(물론 적응제어(adaptive control) 등 이러한 과정이 불필요한 것도 있지만). 또 제어대상의 상태를 검출해서 피드백도 해야한다. 어떤 계는 긴 time delay를 갖고 있어서 해석에 어려움을 갖는 경우도 많다. 하지만 모델링을 하는 데는 여러가지 요소를 무시함으로 생기는 오차로 그 정확성을 완벽하게 기할 수 없으며 설사 모델링이 합리적이라 할지라도 각 파라메터를 구하는 데에는 불가능한 경우도 있고(제철 프로세스등이 대표적인 예) 가능하더라도 실제 복잡한 과정을 거치는 경우가 많다. 간단한 직류모터라고 하더라도 저전압에서의 특성을 포함해서 선형모델로 모델링해서 동정하는데 그리 간단하지 않으며 사용중에는 열에 의한 특성 변화등에 의한 파라메타의 변화로 구한 파라메타값을 항상 유지할 수 없다.

하지만 상태관측기(State observer)의 구성에 의한 검출불능의 상태를 추정한다든지 time delay를 고려한 이론의 제안등에 의해 다소나마 해결의 실마리가 보이는 것은 다행한 일이다.

이하 디지털 제어가 향후 전개되리라고 생각되는 점에 대해서 의견을 피력하기로 한다.

(1) 디지털에서 아날로그로

장래 대부분의 제어가 디지털 제어로 대체되어간다는 데는 이견이 없으리라고 본다. 단지 산업이 고속 고정밀의 요구에 따라 디지털제어기만으로는 그 요구를 충족시킬 수 없는 경우도 생기는 데 이 경우 부분적으로 아날로그 제어가 이런 부분을 대처할 수 있다. 최근에 종종 대두되는 '디지털에서 아날로그로'라는 어구도 이런 의미에서 그 의미를 찾을 수 있다. 즉 전체를 제어하는 기본은 디지털이지만 그 중의 특수기능을 수행하는 일부를 아날로그 제어가 수행하게 될 것이다. 그 외에도 디지털제어의 장점을 살린 고속 고정밀화를 실현하기 위한 제어기술이 발달될 것이다.

(2) 복합화에 의한 지적 제어

실제 수학적 모델 작성이 불가능한, 또는 어려운 계

에 있어서 이를 대처하기 위한 새로운 제어수단, 예를 들면 Neural, Fuzzy등을 포함한 복합적 형태를 갖는 제어개념의 확립이 중요하다. 이를 여러개념을 복합화하는 데는 복잡한 알고리즘을 구현할 수 있는 수단으로 디지털 제어가 적격이다. 컴퓨터의 발달에 의해 최근의 여러 자동화 분야가 시스템화되어가고 이를 지원하기 위해 디지털 컴퓨터가 그 머리역할을 하고 있으므로 이런 여러형태의 복합적인 지적제어형태가 더욱 발전할 것이다.

또한 인간의 지식과 감(感)을 활용하여 이들을 제어기의 일부로 사용할 수 있는 기술이 활성화 되며 이를 위해 디지털 컴퓨터가 중추적 역할을 수행할 것이다 (예: 지식 데이터베이스를 이용한 학습제어, 바이오기술, 신경을 이용한 디지털 컴퓨터와의 협조제어 기술).

(3) 통합화와 분산화

거대화 복합화되어가는 현재의 다층화된 시스템에서 하부 계를 제어할 수 있는 상부의 제어기술 및 상하부에 상호간의 정보를 교환함에 의해 전체를 제어하는 제어기술과 분산화된 각 서브시스템의 역할분담과 모듈화 및 이를 지원하기 위한 자립화 및 협조화의 기술의 디지털 제어기에 의한 실현기술이 요구될 것이다.

(4) 센서(Sensor) 기술

상기 기술한 제어기술을 뒷받침하기위해 외계인식능력을 높이기 위한 센서기술로 특히 디지털 센서개발에 이미 많은 연구가 이루어지고 있다.

(5) 자기조직화 및 수복능력

궁극적으로 인간이나 생물과 같이 자기조직 및 자기수복(자기진단을 포함한) 능력을 갖춘 제어기의 실현을 위해 연구가 진행될 것이다.

이런 많은 요구를 충족시키기 위해 현재의 노이만형 컴퓨터의 차세대형의 개발등 기본적인 컴퓨터에 대한 연구 또한 시급히 요구되고 있고 또 연구에 박차를 가하고 있다.

6. 결 론

이상에서 기술했듯이 기존의 디지털제어의 설계개념에 여러가지 새로운 개념이 속속 연구, 발표되어지고 있다. 아울러 점점 복잡해져가는 시스템을 제어하기 위

해서도 여러 제어기술, 특히 시스템 통합화(system integration) 및 그의 제어기술도 한층 복잡해져갈 전망이다. 이에 대응하여 우리도 하루빨리 기술 및 연구투자에 힘을 기울여야 할 것이다. 이런 시대적 부응에 디지털제어기술이 더욱 핵심적인 기술로서 뒷받침을 해주리라고 생각한다.

참고문헌

1. J. C. Doyle, K. Glover, P. P. Khargonekar and B. A Francis, "State-Space Solutions to Standard H_2 and H_∞ Control Problems", IEEE AC., Vol. 34, No. 8, 831~847, 1989
2. M. Fujita, F. Matsumura and K. Uchida, "Experiments on the H_∞ Disturbance Attenuation Control of a Magnetic Suspension System", Proc 29th IEEE Conference on Decision and Control, 2772~2778, 1990
3. H. Kuraoka, N. Ohka, M. Ohka, S. Hosoe and F. Zhang, "Application of H-Infinity Design to Automotive Fuel Control", IEEE control System Magazine, April, 102~106, 1990
4. R. C. Younce and C. E. Rohrs, "Identification with Nonparametric Uncertainty", Proc. 29th CDC, 3154~3161, 1990
5. R. L. Kosut, M. Lau and S. Boyd, "Identification of Systems with Parametric and Nonparametric uncertainty", Proc. 29th CDC, 2412~2417, 1990
6. B. J. Kuo, "Digital Control Systems", Rinehart and Winston, 1980
7. H. K. Sung and S. Hara, "Properties of Sensitivity and Complementary Sensitivity Function in Single-Input Single-Output Digital Control Systems", International Journal of Control, Vol. 48, No. 6, 2429~2439, 1988
8. B. Bamieh and J. B. Pearson, "A General Framework for Linear Periodic Systems with Application to H_∞ Sampled-Data Control", Technical Report No. 9021, Dept. of Electrical and Computer Eng., Rice Univ.,

- November, 1990
9. T. Chen, A. Feintuch and B. A. Francis, "On the Existence of H^∞ -Optimal Sampled-Data Controller", Proc. 29th CDC, 1794~1795, Honolulu, 1990
 10. T. Chen and B. A. Francis, "Input-Output Stability of Sampled-Data Systems", IEEE AC., Vol. 36, No. 1, 50~58, 1991
 11. T. Chen and B. A. Francis, " H_2 -Optimal Sampled-Data Control", IEEE AC., Vol. 36, No. 4, 387~397, 1991
 12. T. Chen and B. A. Francis, "On the L_2 -Induced Norm of a Sampled-Data System", Systems & Control Letters, Vol. 15, No. 3, 211~219, 1990
 13. T. Chen and B. A. Francis, "Sampled-Data Optimal Design and Robust Stabilization", Proc. 31th ACC., 2704~2709, 1991
 14. Y. Hayakawa, S. Amano and S. Fujii, "Induced-Norm Equivalent Discrete-Time System for Sampled-Data system", Proc. 25th SICE annual Conf., 63~64, 1991 (in Japanese)
 15. S. Hara and P. T. Kabamba, "Worst Case Analysis and Desing of Sampled-Data Control Systems", Proc. 12th DST Sympo., 167~172, 1989
 16. S. Hara and H. K. Sung, "Ripple-Free Conditions in Sampled-data Control Systems", 30th IEEE CDC., 2670~2671, 1991
 17. S. Hara, H. Kawamura and H. K. Sung, "High-Precision Tracking by Digital Repetitive Control Scheme with Periodic-Type Hold Function", Proc. 32th ACC., 2676~2680, 1992
 18. H. K. Sung and S. Hara, "Feedback Characteristics considering Inter-Sample Behavior in Sampled-Data Control System", 91 KACC, 1243~1248, 1991
 19. S. Urikura and A. Nagata, "Ripple-Free Deadbeat Control for Sampled-Data Systems", IEEE AC., Vol. 32, No. 6 474~482, 1987
 20. Y. Yamamoto, "New Approach to Sampled-Data Control Systems-A Function Space Method", Proc. 29th CDC., 1882~1887, 1990
 21. G. F. Franklin and E. Emami-naeini, "Design of Ripple-Free Multivariable Robust Servomechanisms", IEEE AC., Vol. 30, No. 6, 555~565, 1985
 22. P. T. Kabamba, "Control of Linear Systems using Generalized Sampled-Data Hold Function", IEEE AC., Vol. 32, No. 9, 772~782, 1987
 23. B. A. Francis and W. M. Wonham, "The Internal Model Principles of Control Theory", Automatica, 12, 457~465, 1976

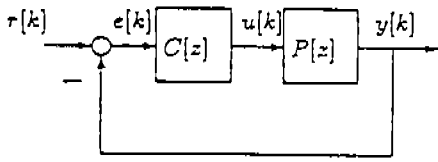


Fig.1 Pure discrete-time control system

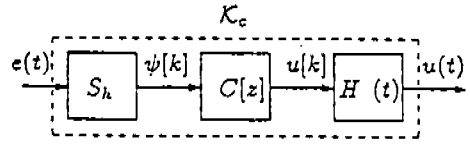


Fig.6 Digital controller with sampler and hold

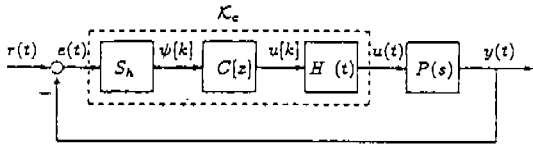


Fig.2 Digital control system

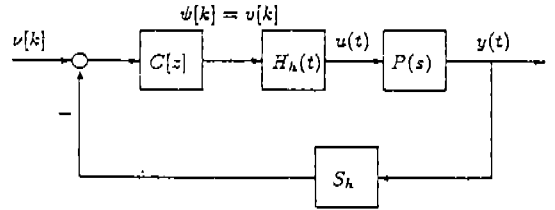


Fig.7 Discrete-time input attenuation problem

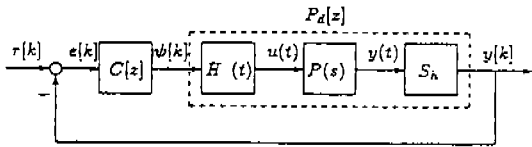
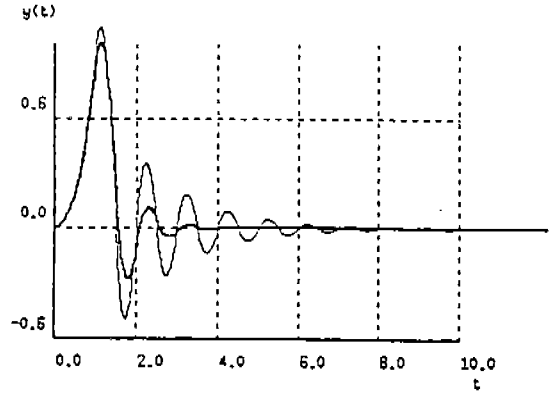


Fig.3 Digital control system as a pure discrete-time control system



(a) Controlled output

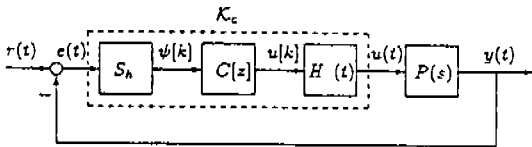
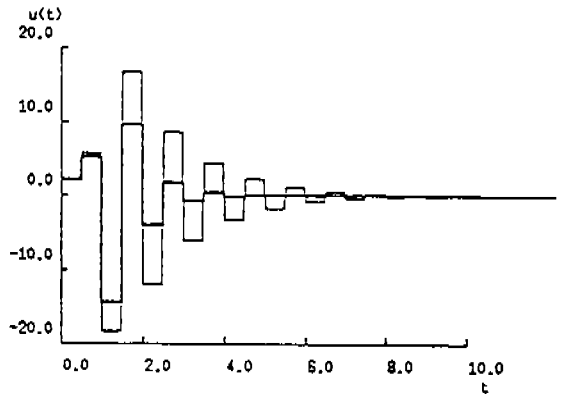


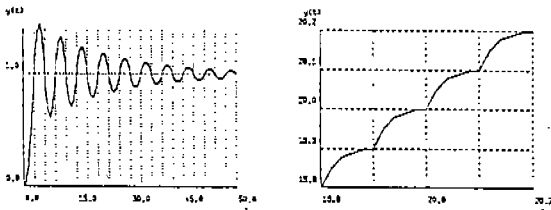
Fig.4 Digital control system as a hybrid control system



(b) Control input

(DD): thin line and (CD): thick line

Fig.8 Output and control input in example



in between sampling instants
in transient state in steady state

Fig.5 Undesired inter-sampling behavior

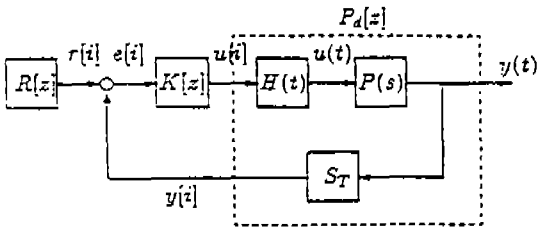


Fig.9 Digital repetitive control system

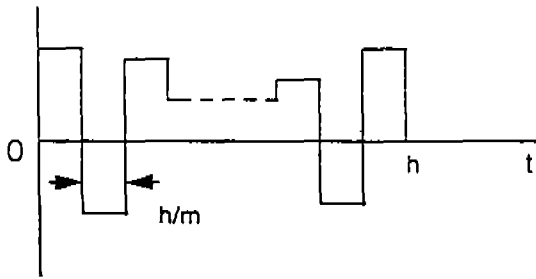


Fig.10 A periodic-type hold

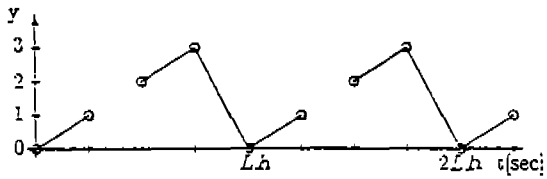
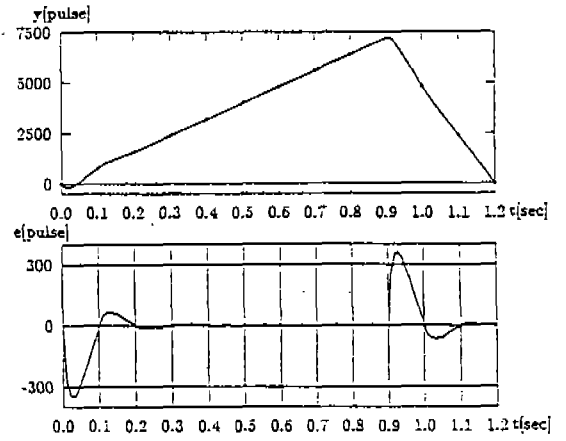


Fig.11 Discrete periodic reference input



ZOH case

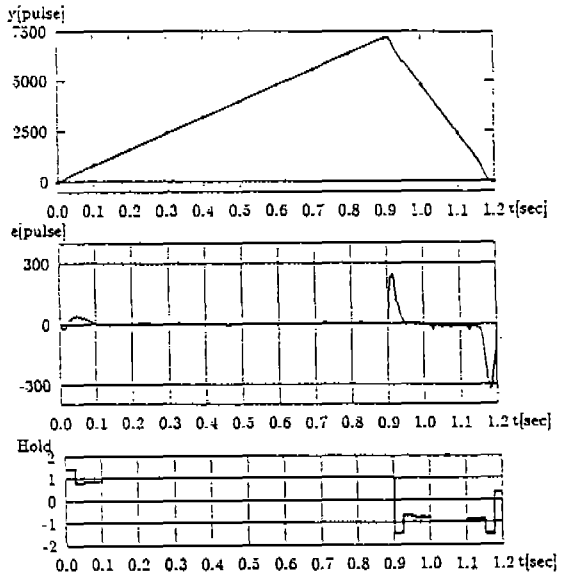


Fig.12 Steady-state error