

GaAs 집적회로 제조를 위한 에피 성장 연구

김무성 · 엄경숙 · 박용주 · 김 용 · 김성일 · 조훈영 · 민석기

KIST 반도체재료 연구실

Epitaxial Growth for GaAs IC

Moo-Sung Kim, Kyung Sook Eom, Young Joo Park, Yong Kim, Seong-Il Kim, Hoon

Young Cho and Suk-Ki Min

Semiconductor Materials Laboratory, KIST, Seoul, Korea

초 록 Bulk 반절연 기판 웨이퍼에 이온 주입법에 의한 기존의 GaAs 집적회로 제작시 발생하는 문제점을 보완하고자 반절연 기판 위에 반절연성의 고저항 GaAs 에피층을 성장하는 연구를 수행하였다. 먼저 반절연 기판의 EPD분포를 조사하고, MOCVD와 MBE법을 이용하여 undoped GaAs반절연성 에피층을 성장시켜 실제 집적회로의 제작에 적합한지를 평가하였다. 평가방법은 반절연성 에피층을 buffer 층으로 성장시킨 에피 기판에 ungated FET를 제작하여, 이 반절연성 에피층을 통한 누설 전류를 측정하고, 또한 반절연 기판의 EPD분포의 영향을 조사하였다. 누설 전류의 측정결과 비교적 누설 전류가 큰 $1\mu\text{m}$ 두께의 MOCVD 시료에서도 270nA/mm 로 FET의 pinch-off에는 영향을 주지 못하는 매우 작은 누설 전류 값을 나타내었다. 또한 누설전류의 분포가 반절연 기판의 EPD 분포와 일치하는 것을 발견하여, 에피층의 quality에 기판의 결함이 미치는 영향을 확인하였다. MBE법으로 성장한 $2\mu\text{m}$ 두께의 undoped buffer 층 시료는 훨씬 좋은 특성을 나타내었으며, 매우 균일하고 낮은 누설전류(40nA/mm)가 측정되었다.

ABSTRACT The growth of semi-insulating(SI) high resistant undoped GaAs epilayer has been studied to solve the problems occurring when GaAs IC is fabricated by the widely used ion implantation directly into the SI GaAs substrate. The EPD distribution of the SI substrates has been examined, and the suitability of the buffer layers grown by MOCVD and MBE, respectively, has been tested for IC fabrication through leakage current measurement. Ungated FET has been fabricated on the SI epilayer and leakage current through the buffer layer has been measured. In the case of MOCVD grown $1\mu\text{m}$ -thick buffer layer, the leakage current is as small as about 270nA/mm , and this value does not affect the pinch-off of FET. In this case, the epilayer quality is affected by the substrate defects because the leakage current distribution is coincided with the EPD distribution of the SI substrate. The $2\mu\text{m}$ -thick buffer layer grown by MBE, however, has the better quality, and shows the lower leakage current(40nA/mm) and higher uniformity.

1. 서 론

GaAs 화합물 반도체 집적회로는 대부분 LEC(Liquid Encapsulated Czochralski)법으로 성장한 undoped 반절연(semi-insulating) 기판이나, 또는 수평 브릿지만(Horizontal Bridgman) 방법으로 Cr 도핑하여 성장한 반절연 기판 위에 이온 주입(ion implantation)법을 이용하여 제작한다. 집적회로 제작시 수율은 FET(Field Effect Transistor)의 문턱 전압(V_{th})의

균일성이 가장 중요한 변수로 되는데, 이는 이온 주입 후 활성화 열처리 공정에서 반절연 기판의 반절연성이 안정되게 유지되어야 가능하다. LEC 반절연 기판은 단결성 성장시 유발되는 stress의 영향으로 10^4cm^{-2} 의 높은 밀도의 전위 결함을 갖게 되며, 전위 결함이 문턱 전압 불균일의 요인이 되므로 고집적 회로를 제작하는데 장애가 된다. 반면 HB 웨이퍼는 전위 결함 밀도가 낮은 반면에 성장 방향과 웨이퍼 면이 각각 [111] 및 (100)으로 다

르기 때문에 Cr 농도 분포가 불균일하게 되어 국소적으로 반절연성이 깨지고, 또 ingot의 길이 방향에 따라서도 Cr 분포가 다르므로 웨이퍼가 ingot의 어느 부분에서 취해졌느냐에 따른 특성 차이가 불가피하다. 이에 대하여 Nanishi 등은¹⁾ ungated source-drain current의 분포가 GaAs 단결정 성장시의 striation 방향과 일치하며, Cr 도핑한 웨이퍼의 경우 Cr의 농도에 따라 이온 주입후 활성화 효율이 달라짐을 보고하였다. 이러한 기판 자체의 문제점을 극복하고 재현성을 높이기 위하여 Sano 등은²⁾ MOCVD(Metalorganic Chemical Vapor Deposition)법으로 성장한 반절연에 가까운 양질의 undoped GaAs 에피층(buffer layer)을 기판으로 하고, 그 위에 이온 주입법으로 MESFET(Metal Semiconductor FET)를 제작하여 문턱 전압을 측정하여 보고한 바 있다. MOCVD법에 의한 에피 성장시 원료개스인 AsH₃와 TMG(Trimethylgallium)의 농도비(V/Ⅲ ratio)를 조절하여 반절연에 가까운 고저항 특성을 가지는 undoped 에피층의 성장이 가능한데, Nakanishi 등은³⁾ 이를 적절하게 이용하여 반절연에 가까운 양질의 에피층을 얻어 소자 제조에 응용한 바 있다. 또한 MBE(Molecular Beam Epitaxy)법에 의한 에피 성장시에도 As와 Ga의 농도비를 조절하여 반절연에 가까운 고저항 특성을 가지는 undoped 에피층의 성장이 가능하다. 이러한 양질의 에피층이 성장된 웨이퍼를 집적회로 제조용 기판으로 사용하면 compensation이 작아 이온 주입후 높은 활성화 효율을 얻을 수 있는 장점이 있다.

본 연구에서는 높은 수율의 집적회로 제조를 위한 GaAs 반절연 기판의 물성에 관한 연구를 먼저 수행하여 상업용 직경 3인치 LEC 반절연 웨이퍼의 EPD(Etch Pit Density) 분포를 조사하였다. 그 다음 MOCVD법 및 MBE법으로 이들 반절연 기판 위에 반절연에 가까운 undoped buffer 에피층을 성장하였을 때, 이들이 집적회로 제조에 적합한 기판이 되는지를 조사하기 위해 ungated FET array를 이 에피층에 제작하여, 그 누설전류(leakage current)의 크기와 분포를 조사하였다. 또한 누설전류의 분포와 반절연 기판의 EPD 분포와의 상관관계를 조사하였다.

2. 실험 방법

2-1. GaAs 기판 웨이퍼의 EPD조사

실험에서 사용한 시료는 현재 GaAs IC 제조에 주로 사용되고 있는 직경 3인치 LEC GaAs 웨이퍼(Hitachi Cable Co.)를 사용하였다. 이들 웨이퍼는 모두 (100)면이며, 전위밀도 평가는 NaOH+KOH eutectic etchant를 이용한 preferential etching방법을 사용하였다.⁴⁾ 이 etchant는 기존의 molten KOH에 비해 etching온도가 비교적 낮고 etch pit 모양이 확연하게 잘 드러나는 장점을 가지고 있다. 전위밀도 측정 과정으로는 먼저 백금 도가니와 시료, 그리고 시료를 담을 수 있는 백금 basket 등을 TCE, 아세톤, 메탄올로 세척하여 건조시킨 후, 50mole% KOH와 50mole% NaOH를 백금도가니에 넣어 약 400°C로 온도를 고정시키고 etchant가 완전히 녹은 후 백금 basket에 시편을 넣고 용융액에 담그어 약 20-30분간 etching을 하였다. (100) 웨이퍼의 전위밀도 분포는 표면을 Nomarski 현미경으로 관찰하였으며, fourfold symmetry를 가지므로 4등분 웨이퍼로써 평가하였다.

2-2. GaAs 에피층의 성장

GaAs 에피층은 저압 MOCVD 및 MBE법을 각각 이용하여 성장하였다.^{5~8)} 저압 MOCVD법의 경우 반응관은 stainless steel로 제작되었으며, 직경 3인치의 반절연 웨이퍼를 기판으로 사용하였다. 에피 성장 조건은 TMG유량 0.8cc/min, 최고 AsH₃ 유량 80cc/min(V/Ⅲ비=100), 총 수소유량 8ℓ/min이며, 성장온도는 700°C로 하고, susceptor를 500rpm으로 회전시켜 균일도를 높였다. 이러한 조건에서 성장속도는 0.02μm/min이었고, 결함이 거의 없는 깨끗한 표면을 얻었다. 저압 MOCVD로 성장된 undoped GaAs 에피층은 V/Ⅲ 비가 20이하에서는 p type을 나타내나, 그 이상에서는 모두 고저항을 나타내었다.⁶⁾

MBE 성장의 경우 As와 Ga 고순도 금속을 원료로 사용하였으며 직경 3인치의 반절연 웨이퍼 기판을 장입한 후 As 분위기 속에서 온도를 높여서(580~600°C) 표면산화물을 제거하여 거의 원자적으로 청결한 상태가 되도록 한 후에 에피 성장을 하였다. 에피 성장 조건은 As-stabilized 표면 구조를 유지하기

위하여⁹⁾ 성장온도는 570~590°C, As/Ga비는 20, 성장속도는 0.02 $\mu\text{m}/\text{min}$ 으로 하였다. 성장한 undoped GaAs 에피층은 MBE의 경우 흔히 나타나는 oval defect가 소량 존재하였으며,¹⁰⁾ 전하농도 $1-2 \times 10^{14}\text{cm}^{-2}$, 전하 이동도 500 $\text{cm}^2/\text{V}\cdot\text{sec}$ 이상의 p형전도도를 나타내어 잔류 불순물이 거의 없는 양질의 에피층임을 확인하였다.

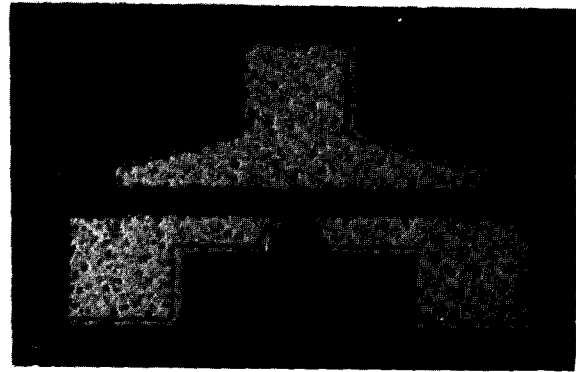
이상과 같은 조건으로 저압 MOCVD의 경우 1 μm , MBE의 경우 2 μm 두께의 undoped buffer층을 성장하였고, 누설 전류 측정을 위한 ungated FET의 제작을 위해 buffer층위에 Si-doped cap층을 500Å 두께로 성장하였다.

2-3. Ungated FET의 제작과 누설전류의 측정

MESFET이 주 능동소자인 집적회로를 제작함에 있어 buffer층을 통한 누설전류가 클 경우에는 완전한 pinch-off가 일어나지 않게 되며, 또한 buffer층의 특성 불균일에 의해 FET 특성도 불균일하게 된다. 따라서 GaAs 고집적 회로용 에피성장을 위해서는 buffer층의 누설전류와 균일도를 제어하는 것이 우선 과제이다. 반절연 기판에 이온 주입법으로 GaAs IC를 제작하는 경우 누설전류는 10 μA 이하가 되어야 한다.¹¹⁾ 이온 주입법으로 소자를 제작하는 경우 이온이 주입되는 부분이 활성영역으로 정의되므로, 반절연 기판 위에 undoped GaAs 에피층(buffer)을 형성시키고 이 에피층에 이온 주입하여 소자를 제작하는 경우, 누설전류는 반절연 기판이 아닌 반절연 buffer층에서 측정해야 한다.

Ungated FET의 제작 공정의 순서는 isolation 공정, source와 drain 형성 공정, 그리고 recess etching 공정의 세단계로 나눌 수 있다.¹²⁾ Isolation공정은 각 개별 소자간을 전기적으로 격리시키는 공정으로 소자가 만들어질 부분을 제외한 부분을 반절연 기판이 노출되도록 제거하는 공정으로 standard photolithography 기술을 이용하였다. 앞의 공정에서 정의된 활성 영역에 source와 drain을 형성시키는데 이 공정은 급속박막 pattern 형성과 ohmic 접촉을 만들기 위한 합금화 공정으로 구성된다. 이때 ohmic 접촉용 급속 박막은 Au-Ge/Au를 진공 증착하여 형성시켰고, 급속 박막 pattern은 화합물반도체 소자 제작에 널리 이용되고 있는 lift-off 기술을 이용하였

다. Recess 에칭 공정은 buffer층인 반절연 GaAs 에피층을 통한 누설전류를 측정하는 것이 목적이므로 ohmic 접촉을 위해 성장한 cap층을 제거하는 공정으로서 isolation 공정 시와 마찬가지로 wet 에칭을 이용하였다.



TEST PATTERN
(S-D separation 20 μm)

Fig. 1. Test pattern for ungated FET fabrication.

이상과 같이 제작된 ungated FET에서 buffer층을 통해 흐르는 전류를 측정하였다. Undoped GaAs buffer층의 특성을 평가하기 위해 누설전류를 웨이퍼 전체에서 측정하여 mapping하였다. 누설전류를 측정하는데 사용한 장비는 HP4140B I-V meter와 probe station이며 HP computer로 제어하였다. 그림 1은 제작된 ungated FET의 한 예이다. FET의 source와 drain 간격인 channel 길이는 20 μm 이고 channel 폭은 150 μm 이다. 측정은 source를 ground로 하여 drain에 전압을 가하면서 흐르는 누설전류의 크기를 조사하였는데, 전압은 0volt에서 10volt까지 2volt step으로 인가하였다.

3. 결과 및 고찰

3-1. 기판 웨이퍼의 EPD조사

그림 2에 LEC 반절연 웨이퍼의 EPD분포를 나타내었다. 통상 직경 2인치 웨이퍼의 경우 전면적의 80% 정도가 $1-4 \times 10^{14}\text{cm}^{-2}$ 에 속하고 있는데 비해, 직경 3인치 웨이퍼의 경우는 $3 \times 10^{14}-1 \times 10^{15}\text{cm}^{-2}$ 의 분포를 보여 전위밀도

분포가 직경 2인치에 비해 3인치의 경우가 대략 2-3배 가량 큰 것으로 나타났다. 그림 3은 대표적인 etch pit pattern의 현미경 사진을 나타낸 것이며, 그림 4는 방사 방향으로의 전위밀도 분포를 [100]와 [110] 방향에 따라 나타낸 것이다. 가장자리와 중심 부분에서, 그리고 중심보다는 가장자리 부분이 전위밀도가 많이 분포되어 있어 웨이퍼 전체로 보아 W형상의 분포를 나타내고 있고, 웨이퍼의 중심에서 가장자리쪽으로 갈수록 [110]방향보다 [100]방향으로 보다 많은 전위밀도가 존재함을 볼 수 있다. 한편 EPD 사진에 나타난 바와 같이 전위밀도 분포 모습은 LEC GaAs에서 일반적으로 나타나고 있는 cellular 구조를 보이고 있다. 이와 같은 결과는 열탄성적 해석을 통하여 전위 생성의 체계를 논의한 A. S. Jordan 등의 결과¹³⁾와 일치하는 것으로서 전위는 CRSS(critical resolved shear stress)값을 초과하는 과도한 열응력이 존재할 때 발생하는 결정학적 glide에 의해 생성된다. 또한 웨이퍼의 직경이 2배로 늘어날 때 전위밀도는 2배 이상이 된다는 A. S. Jordan 등의 결과는 본 실험의 경우와 잘 일치하고 있다.

EPD Distribution of 3" LEC GaAs (cm⁻²)

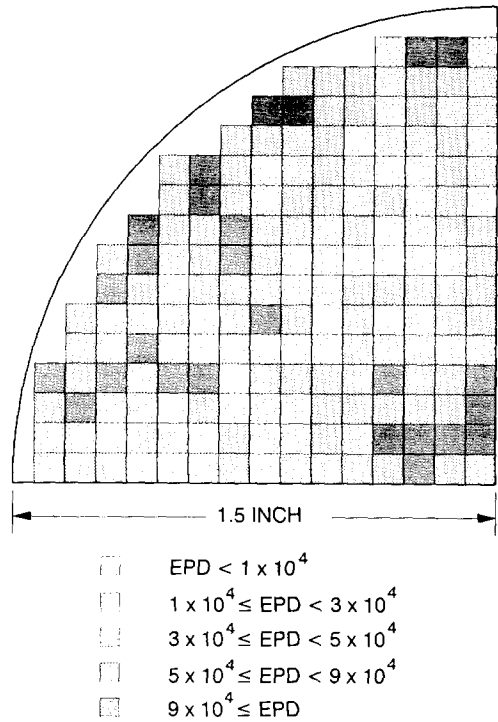


Fig. 2. EPD distribution of 3" diameter LEC GaAs wafer.

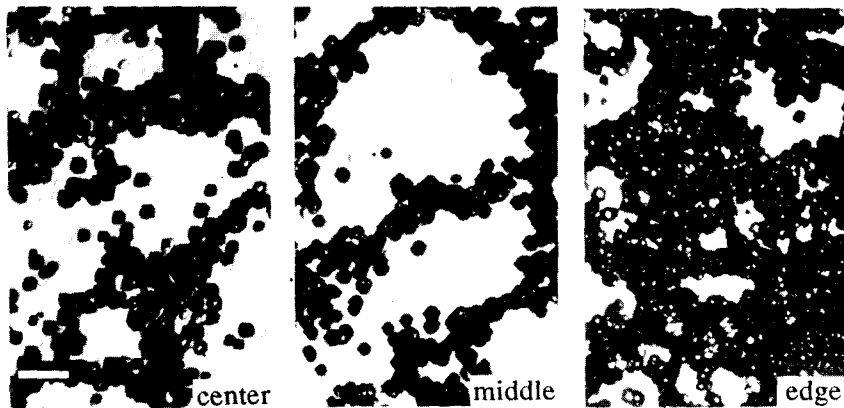


Fig. 3. Typical etch pit patterns of 3" diameter LEC GaAs wafer(marker represents 50 μ m). EPDs at center, middle and edge are 30,000, 7,000 and 150,000/cm², respectively.

3-2. 고저항 buffer층의 누설전류

먼저 3인치 저압 MOCVD 시료에서 측정된 누설전류의 분포는 그림 5와 같다. 여기서 누설전류는 6volt의 인가 전압하에서 측정된 수치이며, 시료는 3inch 웨이퍼를 [110]방향으로 절단한 것이다. 누설전류를 측정할 test

pattern은 일반적인 FET구조로 되어 있으므로 실제로 FET을 제작하였을 때 나타나는 누설전류 값과 같다고 볼 수 있다. 보통 1mm gate 폭의 FET에서 나타나는 최대 포화 drain 전류를 수백 mA/mm로 볼 때, 측정된 누설전

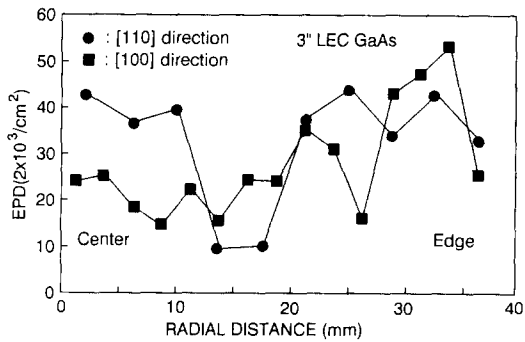


Fig. 4. Radial EPD distributions of 3" diameter LEC GaAs wafer.

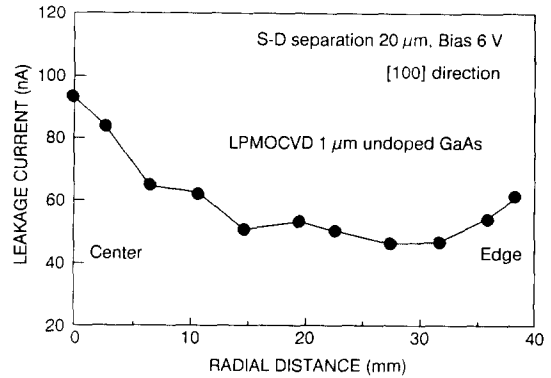


Fig. 6. The [100] direction leakage current distribution of LPMOCVD grown buffer layer.

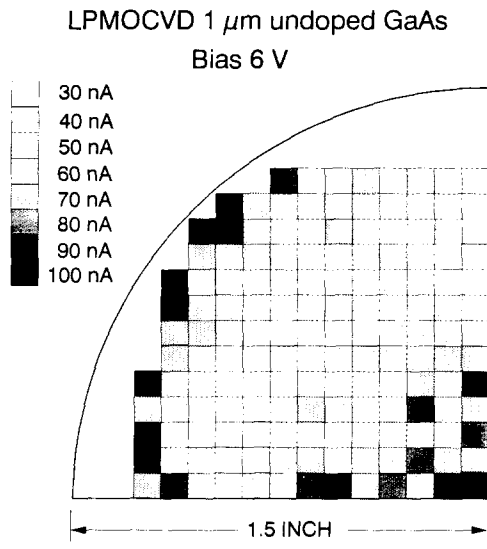


Fig. 5. Leakage current distribution of LPMOCVD grown buffer layer.

류 중 가장 빈도가 높은 40nA를 gate폭(채널 폭)을 1mm로 환산하면 270nA/mm가 되어 drain전류 크기의 10⁻⁶의 크기에 해당한다. 따라서 본 시료에서의 반절연성 에피층인 buffer층을 통한 누설전류의 크기는 FET를 제작 하였을 때 pinch-off에 영향을 주지 못하는 작은 값이 된다. 또한 반절연 기판에 이온 주입법으로 GaAs IC를 제작하는 경우 누설전류가 10 μ A 이하가 되어야 하는 조건도 충분히 만족하고 있다. 그림 6은 웨이퍼의 중심부분에서부터 가장자리까지 [100]방향을 따라 나타나는 누설전류의 분포를 나타낸 것이다.

그림 5와 6을 종합하여 균일도 면에서 고

찰하면, 웨이퍼의 중심부분과 가장자리 부분에서 누설전류가 큰 것을 쉽게 알 수 있다. 즉, 에피층에서의 누설전류의 분포는 앞에서 조사한 반절연 기판의 EPD분포와 매우 잘 일치하며, EPD가 많은 부분에 성장된 에피층에서는 누설전류의 크기가 크고, 반대로 EPD가 작은 부분에서는 누설전류의 크기가 작게 나타났다. 이러한 현상은 Nanishi 등의 연구¹⁴⁾에서도 나타나고 있다. 즉 undoped LEC GaAs 기판에 Si을 이온주입하여 ungated FET를 제작하고 source와 drain사이에서 흐르는 전류를 측정 한 결과 EPD분포와 일치한다고 보고한 바 있다. 이와 관련하여 볼 때, 기판에 있는 전위등의 결정 결함은 전기적 특성에 우선적으로 영향을 주는 요소임을 확인할 수 있다.

MBE로 성장한 시료에서도 같은 방법으로 누설전류를 측정하였는데, 이때에는 buffer층의 두께를 저압 MOCVD시료보다 두꺼운 2 μ m로 하였다. 그림 7은 3인치 MBE시료에서 측정된 누설전류 분포도이며 인가 전압은 MOCVD의 경우와 같은 6volt이다. 가장 빈도가 높게 나타나는 누설전류는 6nA(40nA/mm)이었고 최소치는 5nA, 최대치는 12nA이다. 그림 8은 [100]방향을 따른 누설전류의 변화를 나타낸 것이다. MBE시료에서는 모든 측정 data가 5-7nA로 매우 균일한 특성을 보이고 있고 누설전류 값도 매우 낮다. 그 주된 이유는 buffer층의 두께가 2 μ m로 두꺼울 뿐만 아니라 MBE의 성장온도가 MOCVD보다 100 $^{\circ}$ C 이상 낮기 때문에 기판의 결함들이

4. 결 론

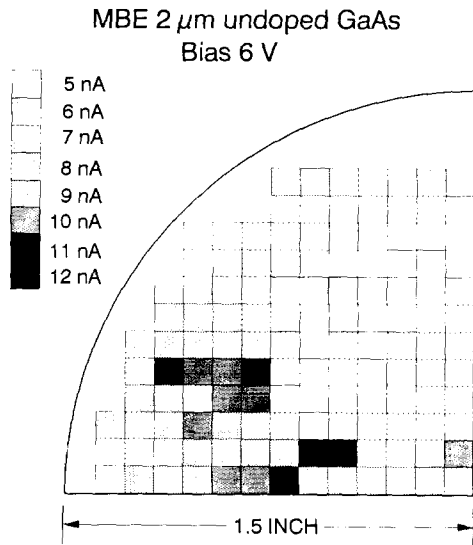


Fig. 7. Leakage current distribution of MBE grown buffer layer.

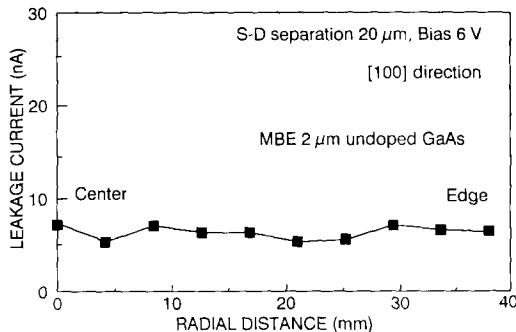


Fig. 8. The [100] direction leakage current distribution of MBE grown buffer layer.

buffer층으로 덜 확산되었기 때문으로 판단된다.

이상과 같은 연구 결과를 볼 때 저압 MOCVD법으로 undoped 에피층을 성장함에 있어, 기판의 결함을 극복할 수 있는 최소 두께를 찾는 연구와, 기판 전위의 확장 등을 막는 방법으로 고저항 buffer층 성장시 먼저 superlattice층을 성장하고 그 위에 undoped GaAs를 성장하는 연구 등이 필요하다고 판단된다.

본 연구에서는 직경 3인치의 GaAs 고집적 회로용 에피 기판을 성장하는 것을 목적으로, 우선 반절연 기판의 전위를 비롯한 결정 결함의 밀도 및 분포를 조사하고, 반절연 기판에 저압 MOCVD 및 MBE법으로 각각 undoped GaAs 고저항 에피층을 성장하여 ungated FET를 제작하고 buffer층을 통한 누설 전류의 크기와 분포 형태를 조사하였다. 상용 반절연기판의 EPD를 조사한 결과 웨이퍼의 중앙 부분과 가장자리 부분에 전위가 상대적으로 많아 전체적으로 W형상의 분포를 가짐을 확인하였다. 또한 buffer층을 통한 누설전류의 측정 결과, buffer층 두께 1 μ m의 저압 MOCVD시료에서는 270nA/mm로 FET의 pinch-off에는 영향을 주지 못하는 매우 작은 값이었다. 또한 누설전류의 분포와 반절연 기판의 EPD분포가 매우 잘 일치하는 것을 발견하여, 에피층의 quality에 기판의 결함이 미치는 영향이 큼을 알 수 있었다. MBE법에 의한 2 μ m 두께의 undoped buffer층 시료는 훨씬 좋은 특성을 나타내었으며, 매우 균일하고 낮은 누설전류(40nA/mm) 분포가 측정되었다.

이상과 같은 결과를 볼 때 저압 MOCVD법으로 undoped 에피층을 성장함에 있어, 기판의 결함을 극복할 수 있는 최소 두께를 찾는 연구와, superlattice층을 먼저 성장하고 그 위에 undoped GaAs를 성장하는 연구 등, 기판 전위의 확장을 효과적으로 막는 방법이 필요하다고 판단된다.

본 연구의 일부는 과학기술처의 연구비 지원을 받아 수행되었으며, 이에 감사드립니다.

참 고 문 헌

1. Y. Nanishi, H. Yamazaki, T. Mizutani, and S. Miyazawa, 9th Int. Symp. GaAs and related compounds, Oiso, Japan, 1981, Inst. Phys. Conf. Ser. 63, ed. T. Sugano (Inst. Phys., Bristol and London, England, 1982) p.7.
2. Y. Sano, H. Nakamura, M. Akiyama, T. Egawa, T. Ishida, and K. Maminishi, Jpn. J. Appl. Phys., **23** L290 (1984)
3. T. Nakanishi, T. Udagawa, A. Tanaka and

- K. Kamei, J. Cryst. Growth, **55**, 255 (1981)
4. H. Lessoff and R. Gorman, 3rd Int. Conf. Semi - Insulating III - V Materials, Kahneeta, Japan, ed. D. C. Look and J. S. Blakemore (Shiva Pub., Nantwich, England, 1984) p.83
5. 김무성, 전자공학회지, **14**, 15 (1987)
6. 김성일, 엄경숙, 김 용, 민석기, 광명현, 마동성, 응용물리, **5**, 586 (1992)
7. 김무성, 김 용, 엄경숙, 김성일, 민석기, 전자공학회지, **27**, 244 (1990)
8. 장희숙, 조훈영, 김은규, 이승용, 민석기, 양인상, 양종만, 새물리, **32**, 725 (1992)
9. A. Y. Cho, J. Vac. Sci. Technol. **8**, s31-s38 (1971)
10. T. Ikoma, *Very High Speed Integrated Circuits : Gallium Arsenide LSI*, chap. **5**, Academic Press, New York, U.S.A. (1990)
11. T. Mizutani, T. Honda, S. Ishida and Y. Kaminishi, Solid State Electron, **25**, 885 (1982)
12. 김무성 등, 과학기술처 연구보고서, UCN876-457-4 (1992)
13. A.S. Jordan, R. Von Carso and A. R. Neida, Bell System Tech. J., **59**, 593 (1980)
14. Y. Nanishi, S. Ishida, and S. Miyazawa, Japan. J. Appl. Phys., **21**, L335 (1982).