

전자부품의 접합재료로서의 Sn도금막 형성 조건 및 도금막의 특성에 관한 연구

A study on Plating Conditions and Characteristics of Sn
layers as Inserted Metals for Electronic Component.

신 영 의*, 임 민 빈*, 김 경 섭*, 仲田 周次**
(Young-Eui Shin, Min-Bin Yim, Kyung-Seob Kim, Shuji Nakata)

요 약

본 논문은 전자 부품의 Soldering시에 사용되는 접합제를 Flux를 포함한 Solder paste 대신에 도금막을 이용하기 위한 Sn 도금막 형성 프로세스를 검토한 것이다. 반도체 Device를 Packaging한 외부단자(lead frame)과 HIC상의 후막전극(Ag/Pd)과의 접합 및 PCB상의 Cu land와의 접합시에는 스크린 프린트에 의한 Solder Paste가 일반적으로 사용되고 있다. 본 논문은 Fluxless Soldering의 한수단으로 도금막을 lead상에 형성시켜 접합 재료로서의 형성 프로세스 및 도금막의 특성과 도금형성 Paramete와의 관련성을 실험적으로 검토한 것으로 전류밀도 200 A/m²의 조건으로 형성한 Sn 도금막이 접합용으로 최적조건임을 밝혔다.

Abstract

This paper discusses on plating processes to apply a Tin layer as inserted metal instead of solder paste which has flux for soldering electronic devices.

Screened solder paste are used to bond between leaded device and thick film(Ag/Pd) on a Hybrid IC as well as Cu land on a PCB.

This paper investigated plating process and characteristics of plating layer as inserted metal without additional solder. Finally, this paper experimentally shows optimal conditions, such as current density of 200 A/m² for bonding.

* : 삼성전자(주) P.KG 개발실험실

** : 日本大阪大 生産加工工學科

接受日字: 1993年 8月 17日

1. 서 론

종래의 전자재료의 Soldering 방법으로는, 그 인쇄방법에 의한 Patterning의 한계, Solder ball의 형성, 조립후의 기판상의 Flux청

정에 이용되는 프레온 Gas의 환경오염 문제 등의 극복이 문제로 되어있다.

본 논문은 도금막에 의한 접합부에 접합 재료를 공급해 접합하는 방법을 대응했다. 도금형성 방법에는 크게 나누어 전기도금,

무전해도금으로 나눌 수 있으며, 또한 그 사용목적에 따라 외관용, 외관 및 방식용, 공업용으로 분류할 수 있다. 또한 도금에 의해 접합재료의 공급이라는 목적을 달성하기 위해서 도금 피막자체가 고순도로 불순물이 적고, 피전해물에 대한 양호한 밀착성을 갖고 피막두께가 각부분에 균일하고, 표면상태의 조도(Roughness)의 안정성등이 요구 조건이 된다. 이러한 목적을 달성하기 위해 도금피막은 피전해물에 대한 밀착성을 갖고 피막두께가 각부분에 균일하게 형성되는 것이 무엇보다도 중요하다. 본 보고서는 접합용 매체로서 접합재료(도금막)을 공급함으로써, Base metal(lead 및 접합대상 재료)를 접합하는 것을 목적으로하고 있으며, 무전해도금 방법으로는 불순물의 혼입 및 Sn의 자기 촉매효과가 없어, 1~2 μ m 정도의 두께형성이 한계가 됨으로, 본 연구에서는 전기도금(Electroplating)방법으로 도금막의 형성을 검토했다.

2. 실험방법 및 도금형성 프로세스

2-1. Sn의 전기도금

Sn의 전기도금은 Sn의 물리적 정수중 저용점, 연성, 타금속간의 친화력, 가격등의 성질을 이용해, Solder 재료 및 축수재료로 사용되고 있다. Sn 전기도금 bath로는 여러가지가 있으나, 황산 bath가 일반적으로 사용되고 있다.

이 황산 bath를 이용해서 soldering등 전자공업용의 용용으로 최초로 이용된것은 C. T Thwaites¹⁾에 의해 사용되어 그후 현재까지 폭 넓은 분야에 사용되고 있다.

본 보고서는, solder 도금도 병행해서 사용 가능한 점과 고순도의 Sn의 전착에 적합하고, 도금 bath중의 첨가제를 부가시키므로써 비교적 균일한 도금막이 형성가능한 Alkanol sulfonic acid bath²⁻⁴⁾를 이용해 전자 device의 lead상에 Sn 도금을 형성시켰다. 또한 본 연구에서는 광택용의 여러가지 복합 광택제를 필요로하지 않는 반광택 도금막을 형성시켰다. 또한 사용한 피전해물인

lead frame 재료 전자 device에 폭넓게 사용되고 있는 Cu-Ni-Sn 계열의 동합금(C72500)을 사용했으며, Table 1에 lead의 화학적 조성을 나타내었다.

도표 1 동합금 Lead의 화학적 조성
Table 1 Chemical composition of Cu alloy lead.

Chemical composition(%)			
Ni	Sn	Pb	Fe
9.0 \pm 0.2	2.0 \pm 0.1	0.05max	0.6max

Chemical composition(%)		
Zn	Mn	Cu
0.6 max	0.6 max	REST

2-2. Sn 도금막 형성 프로세스 및 Sn 막 특성의 계측방법

본 실험에 사용한 도금 bath의 구조를 Fig. 1에 나타내었다. 그림에 나타낸것처럼

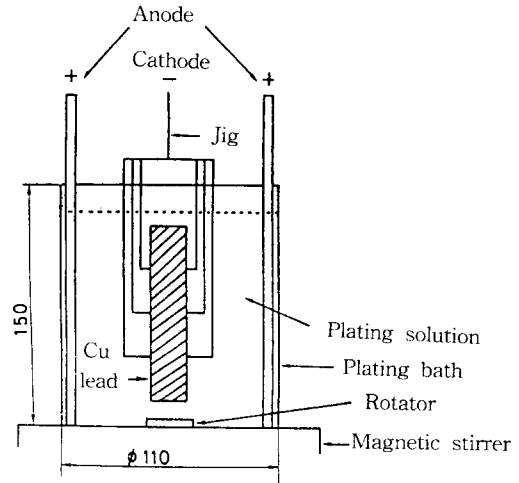


그림 1 도금 bath의 구조
Fig. 1 Structure of plating bath.

bath의 직경은 110mm의 폴리에틸렌제로 중앙에 피전해물 재료인 lead를 배치하고 있다. 또한 bath내에 Sn 이온의 균일한 농도 분포를 확보하기 위해 Magnetic 회전자를 이용해 교반(Motor 회전속도: 800~1500 rpm)하고 있다. Fig. 2에는 본 실험에 사용

한 Sn 전기도금의 형성 프로세스의 Flow chart를 나타내었다.

우선 도금 전처리는 Table 2에 나타낸

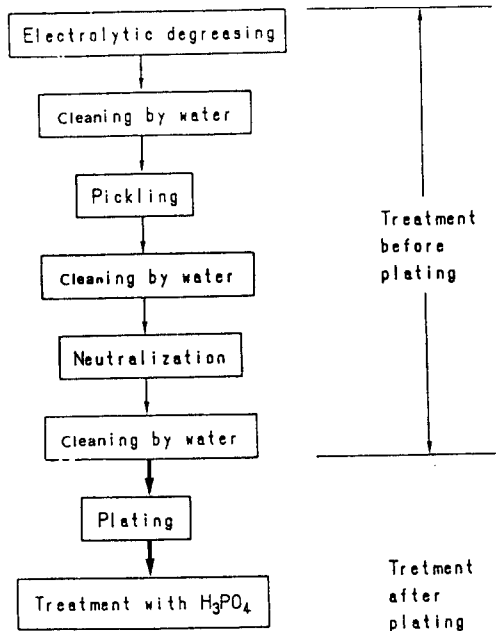


그림 2 도금 프로세스의 플로우차트
Fig. 2 The flow chart of plating process.

것처럼 전해탈지를 이용해 유기물의 완전제거와 오염층 및 산화피막의 제거를 목적으로 하고 있다. 여기에는 NaOH: 10%, Na₃PH₄: 45%, Na₂CO₃: 45%의 조성의 용액 농도 100g/l의 탈지제 중에서 전류밀도 1000A/m², 60s 상온에서 전해탈지를 하였다.

그후 Pure water로 수세해, 10%의 H₂SO₄ 용액으로 60s 간 dipping한후, 다시 수세해 5% Alkanol sulfuric acid로 60s 중화후, 수세하여 도금공정에 들어가도록 했다. 도금 bath로는 Table 3에 나타낸 조성의 solution을 이용해 양극에는 순도 99.999% 이상의 Sn판(200 x 32 x 5 t mm)을 사용하고 Jig에 피전해물인 Lead frame(C72500)을 부착하여 도금 공정에 들어갔다.

도금 solution의 온도는 도금 공정중에 293K(±2)로 설정하여 도금막 형성조건 Parameter와 도금막(Sn) 두께 및 그 생성효율이 문제로되나 도금막의 두께는 도금중량에 의해 산출하고 또한 단면 연마후 SEM을 이용해 도금막 두께를 관찰 계측하여 이론치와 대응조사 검토하였다.

$$\text{도금막의 두께 } (T) = \omega / A \cdot d \text{ (1)}$$

여기서 ω : 도금(g)

도표 2 도금의 전처리
Table 2 Pre-treatment before plating.

Treatment before plating

1. Electrolytic degreasing: 1000 A/m², 60 s, Room temp.

Degreasing solvent

NaOH 10%

Na₃PO₄ 45%

Na₂CO₃ 45%

Consistency 100 g/l

2. Cleaning by water

3. Pickling:

H₂SO₄ 10%, 60 s Room temp.

4. Cleaning by water

5. Neutralization:

Alkanol sulfonic acid bath 5%, 60 s
Room temp.

6. Cleaning by water

도표 3 도금용액의 조성

Table 3 Composition in the plating solution.

Alkanol sulfonic acid bath 1 l

Sn(II) alkanol sulfonic acid:	180 g/l
Alkanol sulfonic acid:	100 g/l
Anion surface active agent:	30 g/l
Carboxylic acid (RCOO ⁻ -Na ⁺)	
Pure water:	690 ml

A : 피전해물의 표면적(cm²)

d : 도금(Sn)의 비중(g/cm³)

또한 도금양은 화학천평을 이용하여 측정했으며, 측정밀도는 0.01mg이다.

형성한 도금막의 표면 조도는, 축심형 표면 조도계로 계측했으며, Sn 도금의 결정입자의 크기는 SEM에 의해 관찰 계측하였다.

2-3. 접합재(도금막)형성 Parameter의 선정과 접합재(도금막)의 요구특성

동합금 Lead(C72500)에 Sn도금을 형성시킬때, 도금막의 성질을 결정하는 조건에는 도금형성 Parameter가 있다. 주 조건으로는 음극 전류밀도와 도금 형성시간 및 도금 Solution의 온도, 교반, 첨가물, 광택제 등 여러가지 인자가 있다.

접합 실험용의 도금막에 요구되는 조건으로는 도금두께가 자유로이 제어할 수 있는 것과 도금막 형성시간이 짧을것, 막 두께의 재현성 및 안정성이 보증되어야 한다.

본 보고서는 도금형성 Parameter에서 음극 전류밀도와 도금 형성시간을 주 조건으로 선정하여 실험을 하였다. 또한 접합재료로서의 요구특성을 만족시키기위한 도금막 표면의 Roughness, 결정입자의 크기, 안정성, 도금막 두께의 균일성에 관해 실험적으로 검토한 것이다.

3. 실험 결과

3-1. 전류밀도 일정하에 대한 도금막 두께와 도금형성 시간과의 관계

Fig. 3은 전류밀도가 각각 60, 200, 1000

A/m²의 일정조건하에서 도금막의 두께와 도금형성 시간과의 관계를 나타낸 것이다. 이와같이 전류밀도가 일정한 경우, 도금형성 시간의 증가와 더불어 도금막의 두께도 거의 선형적으로 증가하고 있다. 그중에서도 특히 선형관계가 있는것은 전류밀도가 200 A/m²의 경우로서, 그것보다 전류밀도가 큰 1000A/m²의 경우는 막두께가 다소 편차를 갖는것을 알 수 있다. 결국 도금막의 두께는 도금 형성시간과 함께 비례적으로 증가해 그중에서도 전류밀도 200A/m²의 조건하에서 형성된 도금막의 두께가 재현성이 상대적으로 양호한것을 알 수 있다. 또한 도금막 형성시의 저기량과 음극의 피전해물(Lead frame)에 형성되는 Sn의 양과의 관계를 Fig. 4에 나타내었다.

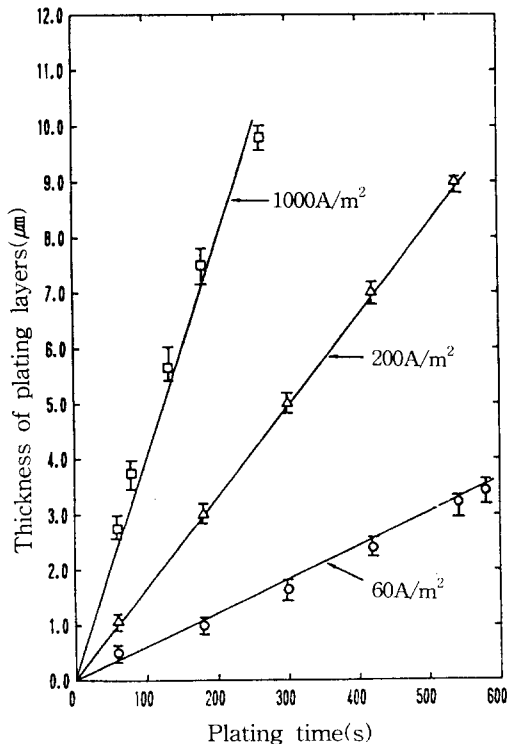


그림 3 도금막의 두께와 도금형성시간과의 관계

Fig. 3 Relation between thickness of plating layers and plating time under various current densities.

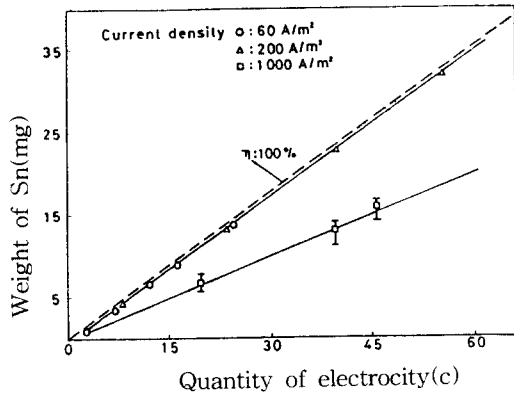


그림 4 전기량과 Sn 중량과의 관계
Fig. 4 Relation between quantity of electricity and weight of Sn.

여기서 그림중의 파선은 이론적으로 전류 효율이 100%인 경우이다. 그림에서 알 수 있듯이 전류밀도가 60, 200A/m²의 경우는 전류 효율이 약 90%를 나타내고 있으나 전류 밀도가 1000A/m²의 경우는 전류 효율이 약 50%로 떨어지고 있다. 아울러 전류밀도와 전류 효율과의 관계를 보다 상세히 검토한 결과를 Fig. 5에 나타내었다. 또한 여기서는 도금시간을 각각 1, 5, 10분으로 설정했으며, 재현성의 확인을 위해 각 조건에서 각각 3 회씩 실험을 했다.(우선, 전류밀도가 50A/m² 1분의 경우, 전류 효율이 86~95%, 5분에서는 84~94%, 10분에서 87~92%로, 전류 밀도가 200A/m² 1분의 경우에는, 90~98%, 5분에는 88~96%, 10분에서 89~95%, 전류 밀도가 500A/m² 1분의 경우에는 55~62%, 5분에 52~59%, 10분에는 50~55%의 전류

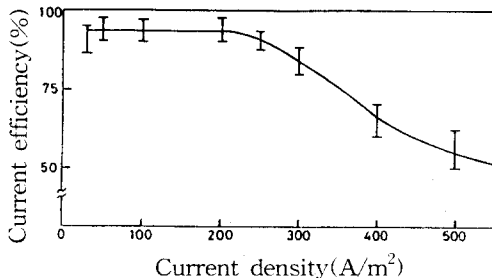


그림 5 전류밀도와 전류효율과의 관계
Fig. 5 Relation between current density and current efficiency.

효율을 갖게된다.) 상기와 같이 전류밀도가 300A/m² 이상이되면, 전류효율은 점차적으로 떨어져 전류효율은 전류밀도에 크게 영향을 받으나, 도금시간과는 그다지 영향을 받지 아니함을 알 수 있다. 여기서 전류밀도가 증가함에 따라 전류효율이 떨어지는 이유는 전극표면에 의한 다량의 수소기포의 발생이 관찰되어 전기량에 의해 피전해물 표면에 생성되는 금속대신에 수소기포를 발생한 것에 기인한 것임.

또한 Fig. 3에서 표시한것처럼 전류밀도가 높아질수록 수소 기포 발생도 많아지며, 도금막내에 Void(기공)가 생성되는것도 별도 확인하고 있다.

이상의 결과로부터 도금막의 형성조건으로는 전류밀도 200A/m² 조건하에서 형성한 도금막이 막 형성속도 및 전류효율면에서 최적조건이라 판단할 수 있다.

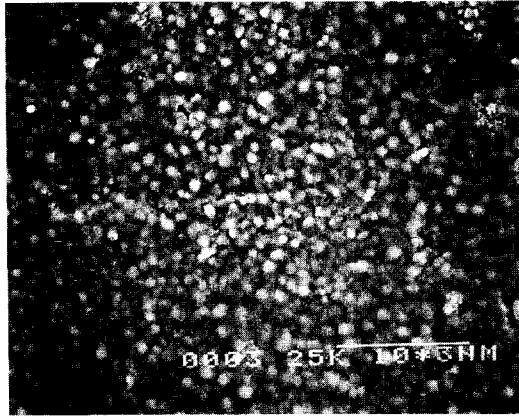
3-2. 도금막의 결정입자와 도금형성 시간과의 관계

전류밀도를 일정한 조건하에 표면형상등 도금막의 특성, 특히 불순물의 혼입, 표면조도에 크게 영향을 미친다고 고려되는 도금막의 결정입자의 성장상황을 검토했다. Fig. 6에 음극 전류밀도를 200A/m² 일정 설정하에 도금형성 시간을 60, 300, 600s로 도금막을 형성했을때의 표면상태를 나타낸것이다. 우선, 도금시간이 60s의 경우 (그림중(a)), 1μm의 막두께가 형성되며, 그 결정입자의 크기는 0.5~0.8μm의 크기를 갖는다. 다음에 도금시간이 300s의 경우(그림(b))에는 도금막 두께는 약 5μm으로 되어 결정입자의 크기는 1.5~2.0μm으로 도금막 두께는 10μm의 경우 (그림(c))는 결정입자의 크기는 약 2.5~3.5μm으로 크게 성장되어 도금막의 두께와 더불어 결정입자도 성장되고 있다. 또한, 전류 밀도가 200A/m²의 경우는 도금 형성시간과 더불어 결정입자의 크기도 비례적으로 크게 되지만 비교적 안정된 결정입자가 형성되어 있다.

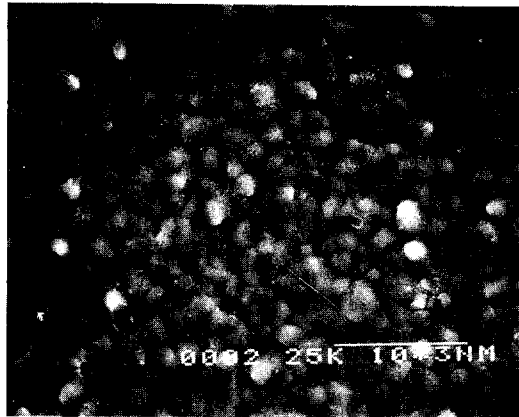
Fig. 7은 전류밀도 60, 200, 1000A/m²에 있어서 도금막의 두께와 결정입자의 크기의 관계를 나타낸것이다. 그림과 같이 일반

Current density: 200A/m²
Thickness(Sn): t

10μm



(a) t: 1μm



(c) t: 10μm

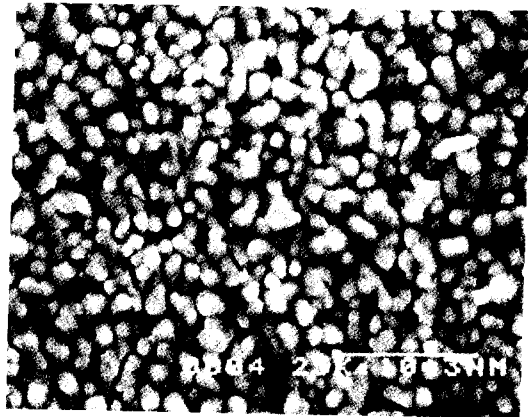
그림 6 전류밀도 200A/m²하의 주석 도금표면의 마이크로 구조

Fig. 6 Microstructure of Sn surface of plating layers at current density of 200A/m².

적으로 도금막 두께가 증가할수록 결정입자의 크기도 커지는 경향을 나타내며, 그중에서도 전류밀도가 200A/m²의 조건하에서 형성된 도금막이 무엇보다도 결정입자의 변동분이 적은것을 알 수 있다.

3-3. 도금막의 표면조도(Roughness)와 도금형성 시간과의 관계

도금막의 표면조도는, 접합계면 및 접합



(b) t: 5μm

용 가열 Tool과 접합대상 재료간의 접촉상태를 결정하는 중요인자로서, 이것의 열전달과 안정성, 접합계면 근방에서의 반응층 두께의 균일성 및 안정성, 가열에 의한 접합계

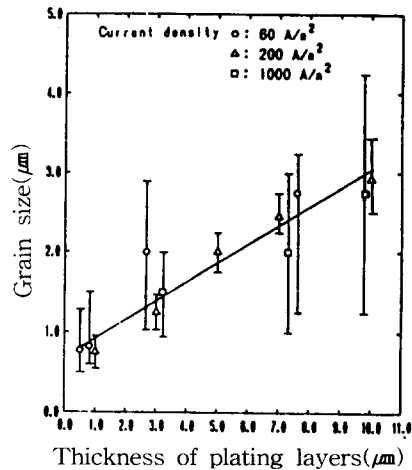


그림 7 도금막 두께와 결정입자 크기와의 관계

Fig. 7 Relation between thickness of plating layers and grain size under various current densities.

면의 산화진전등의 중요한 의미를 갖는다.

다시말해, 이종, 동종 재료를 접합할 경우, 그 접합 Mechanism에 의해 다소의 차이는 있으나 특히 고상 회전 접합의 경우 접촉성 대기 집합성⁵⁻⁶⁾에 큰 영향을 미치게 된다. 또한 가열에 의한 Insert metal의 일부, 후

은 전부가 용융해 모재를 접합시키는 액상 확산접합, Soldering, Brazing 등의 경우에도 접합부에서의 반응층의 분포가 접촉상태의 영향을 받게된다. 본 연구에서 취급한 접합 대상 재료인 도금막 피복 동합금계 Le- ad 의 표면조도의 측정방법 및 그 방향을 Fig. 8에 나타내었다. 그림과 같이 Lead의 길이 방향으로 1.0mm의 영역을 측정했다. Fig. 9는 도금전의 Lead의 표면 조도를 측정 한 것이다. 또한 Fig. 10(a) (b) (c)는 전류밀도를 변화시켜 도금(Sn)막의 두께를 1 μ m 형성시켰을때의 표면조도를 측정 한 결과이다.

Fig. 11은 전류밀도에 의한 도금막 두께와 표면조도와의 관계를 나타낸 것으로 여기서 나타낸 표면조도는 JIS규격(JIS B)601-1976)에 의한 중심선 평균조도(Rz)를 의미하고 있다. 그림에 나타낸것과 같이 도금 두께가 증가할수록 표면조도도 커지는 경향을 나타낸다. 그러나 표면조도의 변동분의 관점에서 고려하면, 약 7.0 μ m의 도금막을 형성시켰을때, 전류밀도가 60A/m²의 경우 0.4~1.0 μ m의 변동분을 갖고, 200a/m²의 경우

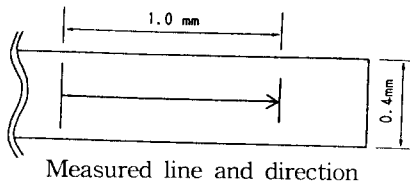


그림 8 표면조도의 측정방법 및 그 방향
Fig. 8 Measuring line and styles direction for surface roughness measurement



그림 9 동합금 Lead의 표면조도
Fig. 9 Behavior of surface roughness on Cu alloy lead.

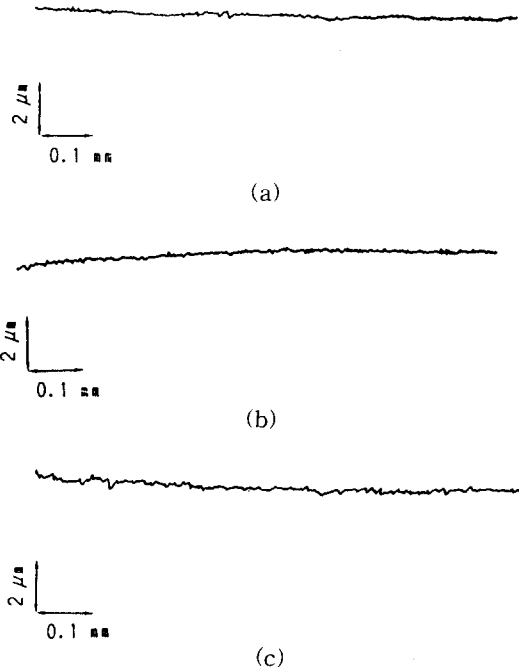


그림 10 전류밀도 변화에 의한 주석도금표면조도(도금두께: 1.0 μ m)

Fig. 10 Behavior of surface roughness of Sn alloy lead under various current densities and thickness of Sn. (Thickness: 1.0 μ m)
(a) 60A/m², (b) 200A/m², (c) 1000A/m².

는 0.5~0.8 μ m, 1000A/m²의 경우 0.4~1.0 μ m의 변동분을 갖고며, 전류밀도가 2000A/m²의 조건하에서 형성한것이 표면조도의 변동분이 적은것을 이해할 수 있다.

3-4. 도금막 표면에서의 불순물 및 산화상태의 측정

도금막을 접합재로 한 경우, 도금막의 불순물 및 표면 산화상태는 접합결과에 큰 영향을 미치게된다. 여기서 형성한 도금막의 표면상의 불순물, 산화상태를 AES분석 장치에 의해 계측해, 그 정도를 검토하였다.

Fig. 12(a)는 도금후 7일 경과한 것이며, (b)는 100일 경과한것을 분석한 것이다. 또한 분석전의 보관상태는 온도: 20 \pm 2 $^{\circ}$ C, 습

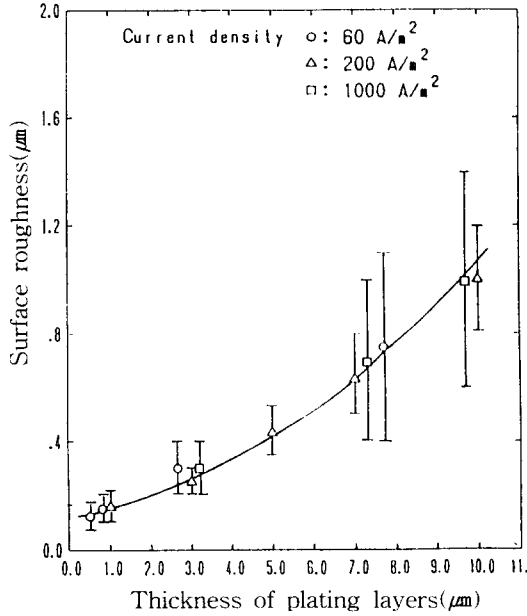


그림 11 표면조도와 도금막의 두께와의 관계

Fig. 11 Relation between surface roughness and thickness of plating layers

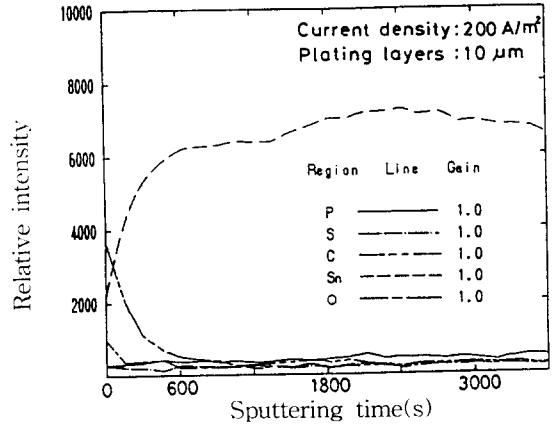
도 : 40 ±3% 이다.

또한 Sputtering 속도는 약 10nm/min.이다. 그림에서 알 수 있듯이 도금막 표면에는 불순물로 탄소가 잔존되어 있으며 당연히 산소도 나타나있다.(산화 피막두께 약 2~10 μm) 그외의 불순물은 검출되지 않았다. 이와 같이 도금 표면상의 불순물로 탄소가 주로 잔존하는 것은 도금 용액이 Alkanol sulfonic acid bath(C.H의 원소로 구성)로 Sn을 형성한 것과 첨가제로 다른 불순물을 부가시키지 않는것에 기인한것이다.

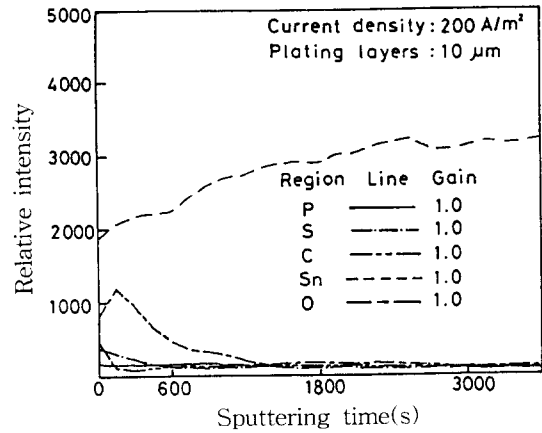
또한 표면상의 산화피막은 시간경과와 더불어 성장하며, 이 초기 산화피막의 두께에 따른 Lead와 Ag/Pd 및 Cu Lead와의 접합성에 관해서는 차기 보고서에서 논할 예정이다.

4. 결 론

접합용 매체로서 Sn 도금막을 Alkanol sulfonic acid bath를 이용해 전기도금법에



(a) 7 days after plating



(b) 100 days after plating

그림 12 주석도금표면의 AES분석 (도금두께: 10μm)

Fig. 12 AES analysis of Sn plating surface (thickness of 10μm)

의해 동합금계 Lead상에 0.1~15.0μm의 Sn막을 형성시켜 그막의 특성과 도금형성 Parameter와의 관련성을 검토했으며, 다음과 같은 결론을 얻었다.

- 1) Sn 도금막의 두께의 재현성, 균일성, 전류효율면에서 전류밀도 200A/m²(±10%)가 최적 조건임을 밝혔다.
- 2) Sn 도금막의 두께는 도금시간과 선형관계가 있으며, 도금막의 두께가 증가함과 동시에 결정입자의 크기도 커지며, 결정입자의 크기의 안정성면에서 전류밀도 200A/m²(±10%)가 최적조건임을 밝혔다.

- 3) Sn 도금막의 표면조도(Roughness)는 도금 두께의 증가와 더불어 거칠어지는 경향이 있으며, 표면조도의 변동분을 고려하면, 전류밀도 $200A/m^2(\pm 10\%)$ 가 최적조건이다.
- 4) Sn 도금막 표면에 산화피막성장은 도금 형성후 7일 경과후 약 2~3nm, 100일 경과후 약 5~8nm로 Sn의 산화물 생성 자유에너지⁷⁾가 적어 비교적 산화하기 쉬우나 산화피막의 성장속도는 Lead frame의 구성원소인 Cu, Fe에 비해 느리며, 초기의 산화피막의 두께에 따른 접합성에 관한 결과는 차기보고서에 논할 예정이다.

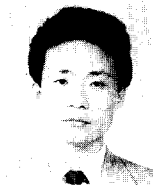
참고문헌

1. C.J. Thwaites, Trans, Imst. Metal Fin-

ishing, Vol. 43, No. 4, P 143, 1956

- 2. 上肥信康 “광택 Sn 도금 bath의 관리” 일본금속표면기술, Vol. 14, No. 12, P 13-19, 1963
- 3. 小幡 “Alkanol sulfonic acid bath의 Sn-Pb 합금도금” 일본금속 표면기술, Vol. 27, No.6, P 11-15, 1976
- 4. 上肥信康 “광택 패놀 Sulfonic acid bath의 Sn-Pb합금도금 bath의 관리”
- 5. 大橋修 “확산접합에 관한 연구” 일본용접학회지, Vol. 45, No.6, P 71-77, 1976
- 6. 靑野進 “접합계면에 대한 도금층의 조직과 접합성에 영향을 미치는 도금 bath 조성의 역할” 일본용접학회 논문집, Vol. 6, No. 4, P 119-126, 1988
- 7. 日本금속학회편, “금속 data book” 九善, P 90, 1984

著者紹介



신영의

1956년 11월 23일생. 1982년 중앙대 기계공학과 졸업. 1985년 일본대 이공학부 대학원 정밀기계공학과 졸업(석사). 1991년 일본 오사카 대학 용접공학과 졸업(공학박). 1992년~현재 삼성전자 메모리본부 PKG개발 근무(선임연구원).



임민빈

1963년 5월 11일생. 1988년 2월 한양대학교 재료공학과 졸업. 1988년~현재 삼성전자 메모리본부 PKG개발 근무(주임연구원).



김경섭

1962년 5월 20일생. 1985년 2월 한양대학교 전자공학과 졸업. 1988년~현재삼성전자 메모리 본부 PKG개발 근무(주임연구원).

仲田周次

1937년 12월 11일생. 1960년 일본 大阪大 용접공학과 졸업. 1962년 동 대학 대학원 용접공학과 졸업(석사). 1967년 동 대학 대학원 용접공학과 졸업(공학박). 1975년~현재 동 대학 대학원 교수. 현재 일본 용접학회 회장. J IW 회장.