電氣電子材料學會 論文誌 6卷 4號 1993年 7月

論 文
6-4-4

Short Channel SNOSFET EEPROM의 製作과 特性에 關한 硏究

A Study on Fabrication and Characteristics of Short Channel SNOSFET EEPROM

강 창 수*, 김 동 진*, 서 광 열**
Chang-Soo Kang, Dong-Jin Kim, Kwang-Yell Seo

요 약

Channel의 幅과 길이가 15 x 15㎛, 15 x 1.5㎛, 1.9 x 1.7㎛인 非揮發性 SNOSFET EEPROM 記憶素子를 CMOS 1 Mbit 設計規則에 依하여 製作하고, 채널크기에 따른 I_D-V_G 特性 및 스위칭 特性을 조사하여 比較하였다.

게아트에 電壓을 印加하여 窒化膜에 電荷를 注入시키거나 消去시킨 後 特性을 測定한 結果, 드레인電流가 적게 흐르는 低傳導狀態와 電流가 많이 흐르는 高傳導狀態로 되는 것을 확인하였다. 15 x 15㎛의 素子는 典型的인 long channel特性을 나타냈으며 15 x 1.5㎛, 1.9 x 1.7㎛는 short channel特性을 보였다. I_D-V_G 特性에서 素子들의 臨界 문턱電壓은 低傳導狀態에서 V_W = +34V, t_W = 50sec의 電壓에서 나타났으며, 메모리 윈도우 幅은 15 x 15㎛, 15 x 1.5㎛, 1.9 x 1.7㎛의 素子에서 각각 6.4V, 7.4V, 3.5V였다. 스위칭 特性 調査에서 素子들은 모두 論理스윙에 必要한 3.5V 메모리 윈도우를 얻을 수 있었으며, 論理回路設計에 適切한 正論理 傳導特性을 가졌다.

Abstract

The SNOSFET EEPROM memory devices with the channel width and length of 15 ㎛ x 15㎛, 15㎛ x 1.5㎛ and 1.9 x 1.7㎛ were fabricated by using the actual CMOS 1 Mbit process technology. The characteristics of I_D-V_G switching were investigated and compared with the channel width and length.

From the result of measuring the characteristics after writing and erasing the charges into the nitride layer by applying the gate voltage, these devices were found to have a low conductance state with little drain current and a high conductance state with much drain current. It was shown that the devices of 15㎛ x 15㎛ represented the long channel characteristics and the devices of 15㎛ x 1.5㎛ and 1.9㎛ x 1.7㎛ represented the short channel characteristics. In the characteristics of I_D-V_G, the critical threshold voltages of the devices were V_W = +34V at t_W = 50sec in the low conductance state and V_E = -34V at t_g = 50sec in the high conductance state, and the memory window sizes were 6.4V, 7.4V and 3.5V at the channel width and length of 15

㎛ x 15㎛, 15㎛ x 1.5㎛, 1.9 x 1.7㎛, respectively. The positive logic conductive characteristics are suitable to the logic circuit designing.

* : 유한전문대학 전자과
** : 광운대학교 전자재료공학과
接受日字: 1993年 2月 24日

1. 서론

非揮發性 EEPROM(Electrically Erasable Programmable Read Only Memory) 素子는 컴퓨터 시스템의 超小型化, 超高速化, 經濟性 및 便利性으로 因하여 需要가 增大되고 있다. 이에따른 高集積, 高性能, 高信賴性의 非揮發性 素子를 實現하기 위하여 많은 硏究가 進行되고 있다.

非揮發性 記憶素子는 積層形 게이트構造 素子와 浮遊形 게이트構造 素子로 大別할 수 있다. 積層形 게이트構造 素子는 非揮發性 半導體 記憶素子로서 二重絶緣膜 構造의 터널注入形 MI_1I_2SFET 素子이다. 이러한 非揮發性 記憶素子의 劣化特性, 記憶維持特性, 케리어의 種類, 터널링 메카니즘, 窒化膜 傳導過程, 注入條件에 따른 非揮發性 記憶素子의 物性的 硏究에 대한 많은 硏究가 進行되고 있다.半導體 工程技術의 急速한 發展에 따라 半導體 記憶素子의 高集積化[1,2]는 相當한 進展을 보이고 있으며,次世代 ULSI設計에 必要한 submicron[3,4]에 대한 關心이 增大되고 있다.

본 硏究에서는 게이트를 폴리실리콘으로 한 SNOSFET를 CMOS 1 Mbit(1.2μm design rule)에 따라 製作하고 動作特性을 調査함으로써 旣存 工程技術의 利用可能性 및 實際回路 設計시 必要한 諸特性을 調査하였다.製作한 素子의 채널幅과 길이는 각각 15μm x 15μm, 15μm x 1.5μm, 1.9μm x 1.7μm이다. 각각의 채널크기에 따른 電壓電流 特性,傳導 特性, 스위칭 特性,最適 特性, 應用 特性등을 比較 調査하였다.

2. SNOSFET 기억소자의 제작

본 實驗을 위하여 製作한 非揮發性 n-channel SNOSFET의 使用 基板은 比抵抗이 6~9[Ω-cm]인 p형 실리콘<100>웨이퍼이다. 製作工程은 실리콘 게이트 CMOS 1 Mbit 工程(1.2μm 設計規則)을 使用하였다.

터널링 酸化膜은 乾式酸化法(dry oxidation method)으로 75℃의 擴散爐(Thermo, esistance heated furnace)에서 16분간 熱的으로 成長시켰으며 두께는 25Å이다. 窒化膜은 低壓化學蒸着爐(Thermco,LPCVD hot wall furnace)에서 10:1의 NH_3:SiH_2Cl_2 混合氣體를 反應시켜 酸化膜 위에 蒸着시켰으며 두께는 525Å이였다. 소오스와 드레인은 hot carrier 문제를 解決하기 위하여 DDD(Double Doped Drain)構造로 形成하였다. p를 50KeV, $4x10^{13}/m^2$로 이온注入하여 n 領域을 形成하고, 같은 領域에 섭씨 950℃에서 30分 동안 As를 80KeV, $4x10^{15}/cm^2$로 이온注入하여 n^+領域을 形成하였다. 소오스와 드레인의 接合깊이가

표 1 채널幅과 길이에 따른 素子의 分類
Tab.1 The kinds of SNOSFET with the channel width and length.

種類 \ 크기	채널幅	채널 길이
CE-C3	15 [㎛]	15 [㎛]
AC-A4	15 [㎛]	1.5 [㎛]
AC-A5	1.9 [㎛]	1.7 [㎛]

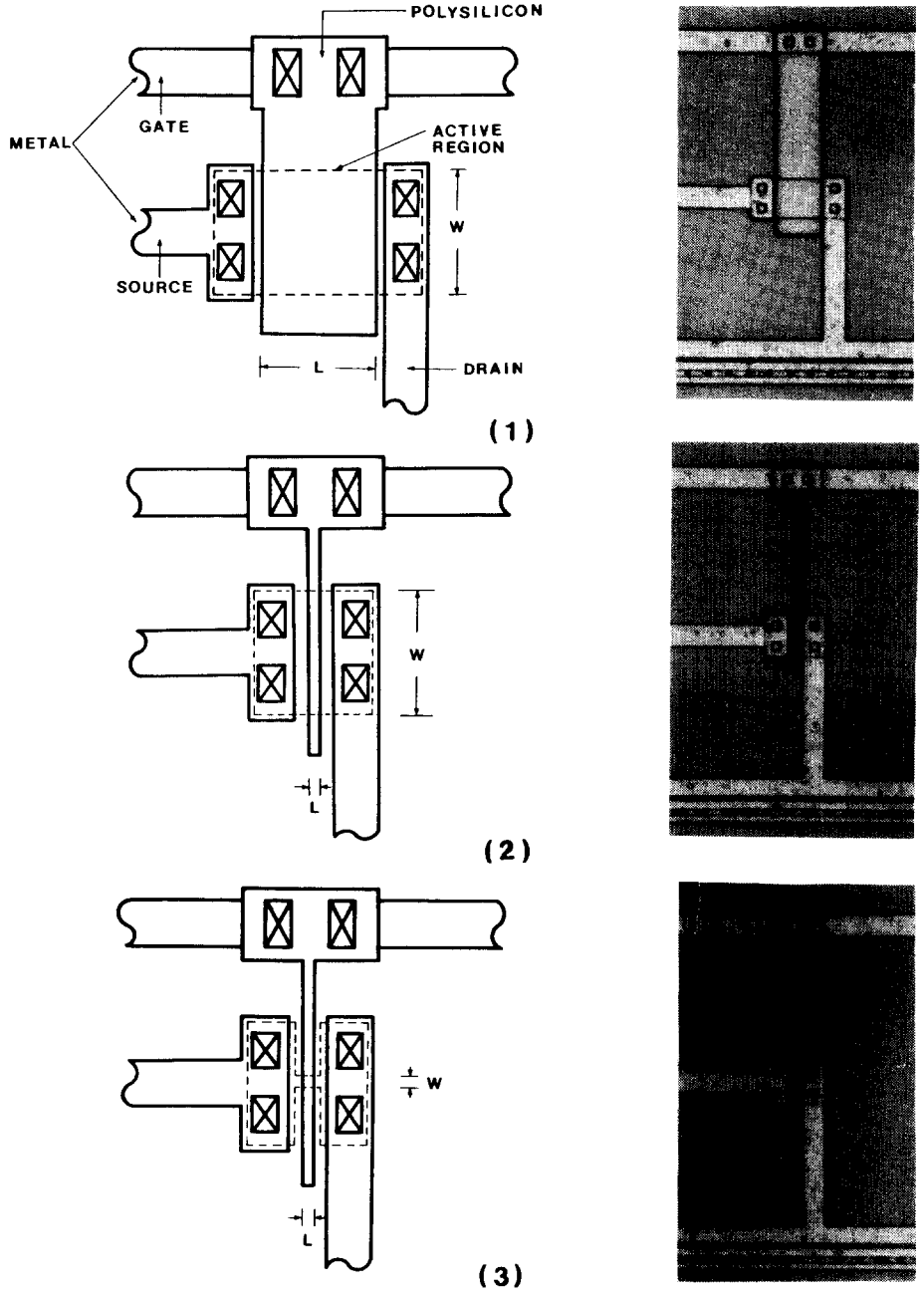

그림 1 채널크기에 따른 SNOSFET의 設計圖와 寫眞
(1) 15㎛ x 15㎛ (2) 15㎛ x 1.5㎛ (3) 1.9㎛ x 1.7㎛

Fig. 1 Layout and photograph of SNOSFET with channel sizes.
(1) 15㎛ x 15㎛ (2) 15㎛ x 1.5㎛ (3) 1.9㎛ x 1.7㎛

0.25μm인 n^+領域과 이 領域周圍를 0.1~0.15μm로 둘러싸고 있는 n 領域으로 이루어진 構造를 얻었다.

채널폭과 길이는 패턴상으로 각각 15μm x 15μm, 15μm x 1.5μm, 1.9μm x 1.7μm이다. 이에 대한 SNOSFET의 채널폭과 길이에 따른 素子의 種類는 표 1과 같으며 設計圖와 寫眞은 그림 1과 같다.

3. 결과 및 고찰

3-1. 不純物 濃度 分布

채널폭과 길이가 각각 15μm x 15μm, 15 x 1.5μm, 1.9μm x 1.7μm인 n-channel SNOSFET製作工程에 의한 1次元 不純物濃度 分布는 그림 2와 같다.

그림 2에서 接合깊이에 따른 濃度分布는 채널領域에서 ■는 硼素濃度, 소오스와 드레인에서 □는 硼素濃度, ◇는 燐濃度,◆는 砒素濃度를 나타낸다.

3-2. 게이트電壓과 드레인電流 特性

채널폭과 길이가 15μm x 15μm인 二重絶緣膜 SNOSFET소자의 게이트電壓과 드레인電流 特性曲線을 구한 結果는 그림 3과 같다.

그림 3의 曲線(1)은 記錄電壓 V_W = +34V의 電壓을 t_W = 50sec간 게이트에 印加하여 窒化膜에 전자를 記憶시킨 후, 드레인電壓 V_D = 5V로 하고 測定한 I_D-V_G特性

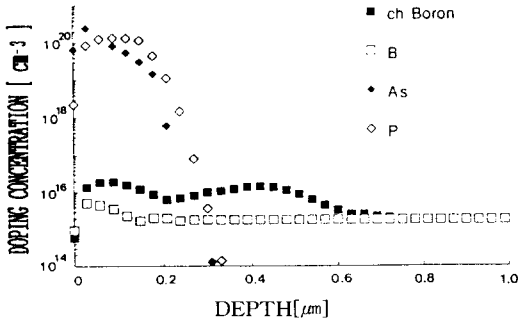

그림 2 非揮發性 記憶素子의 1次元 不純物 濃度 分布

Fig. 2 One dimensional doping profil Nonvolatile memory devices.

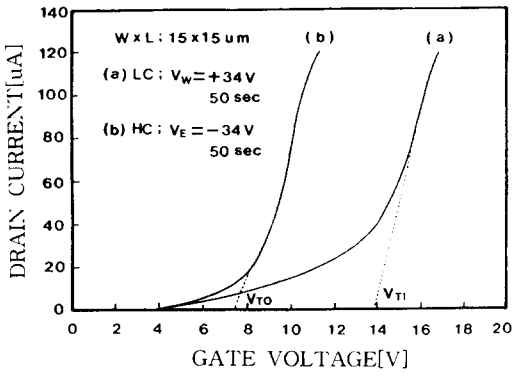

그림 3 15μm x 15μm素子의 I_D-V_G 特性曲線

Fig. 3 I_D-V_G characteristics curves of 15μm x 15μm device.

曲線이다. 이때 素子는 低傳導狀態가 된다. 그림 3의 曲線(2)는 曲線(1)를 測定한 후, 消去電壓 V_E = -34V의 電壓을 t_E =50sec간 게이트에 印加하여 窒化膜에 트래핑된 電子를 消去한 후 드레인電壓 V_D = 5V로 하고 測定한 I_D-V_G特性曲線이다. 이 素子는 高傳導狀態가 된다. 그림 3의 곡선(1)과(2)에서 기울기가 다른 두 部分으로 區分된다. 下端部의 緩慢한 部分은 side walk effect[5,6]에 의한 現象이다.

그림 3에서 V_{TI}은 低傳導狀態에서의 문턱電壓이며 V_{TO}는 高傳導狀態에서의 문턱電壓을 나타낸다. 低傳導狀態와 高傳導狀態의 문턱電壓 차는 메모리 윈도우로서 6.4V로 나타났다.

15μm x 1.5μm인 素子의 I_D-V_G 特性曲線

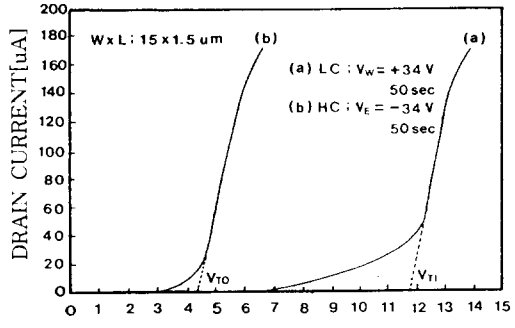

그림 4 15μm x 15μm素子의 I_D-V_G 特性曲線

Fig. 4 I_D-V_G characteristics curves of 15μm x 1.5μm device.

은 그림 4와 같다.

그림 4의 曲線(1)은 V_W = +34V, t_W = 50sec를 印加한 후 測定한 低傳導狀態의 曲線이다. 그림 4의 曲線(2)는 V_E = -34V, t_E = 50sec를 印加한 후 測定한 高傳導狀態의 曲線이다.

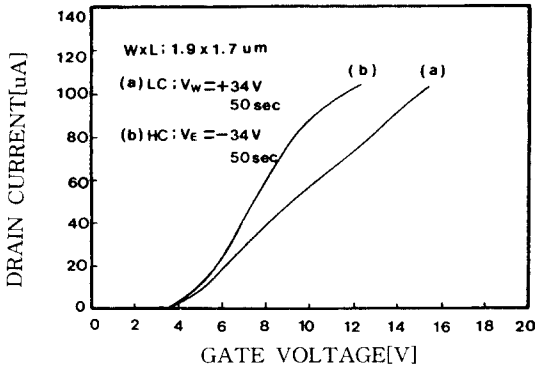

그림 5 1.9㎛ x 1.7㎛ 素子의 I_D-V_G 特性曲線

Fig. 5 I_D-V_G characteristics curves of 1.9㎛ x 1.7㎛ device.

그림 4에서 低傳導狀態와 高傳導狀態와의 문턱電壓 差인 메모리 윈도우는 7.4V로 나타났다. 1.9μm x 1.7μm인 素子의 I_D-V_G 特性曲線은 그림 5와 같다.

그림 5의 (1)은 V_W = +34V, t_W = 50sec를 印加한 후 測定한 低傳導狀態의 曲線이다. 曲線 (2)는 V_E = -34V, t_E =50sec를 印加한 후 測定한 高傳導狀態의 曲線이다. 메모리 윈도우 幅은 3.5V이다.

그림 3, 4, 5에서와 같이 SNOSFET 記憶素子는 게이트 印加電壓의 極性,크기, 그리고 時間에 따라 傳導 特性이 變化됨을 알 수 있다. 傳導 特性에 따른 論理레벨의 設定은 低傳導狀態와 高傳導狀態를 "high" 狀態와 "low" 狀態 또는 " 1" 狀態와 " 0 " 狀態로 定한다. 그림에서와 같이 이들 두 個의 論理레벨에 대한 I_D-V_G특성곡선은 正의 게이트回路 設計를 위한 適切한 特性이다. 各 素子의 低傳導狀態인 그림 3,4,5의 (1)에서 나타난 下端部의 現象은 side walk effect에 의한 것이다. 寄生漏泄電流[7,8]는 最適의 論理스윙 및 回路 驅動 設計시 考慮되어야 한다.

以上의 結果로부터 채널幅과 길이에 따라 비교하면, 채널幅은 一定하고 채널길이가 짧을수록 메모리 윈도우 幅이 커짐을 보여주고 채널幅이 좁아지면 메모리 윈도우 幅이 작아지는 現象이 나타남을 알 수 있다.

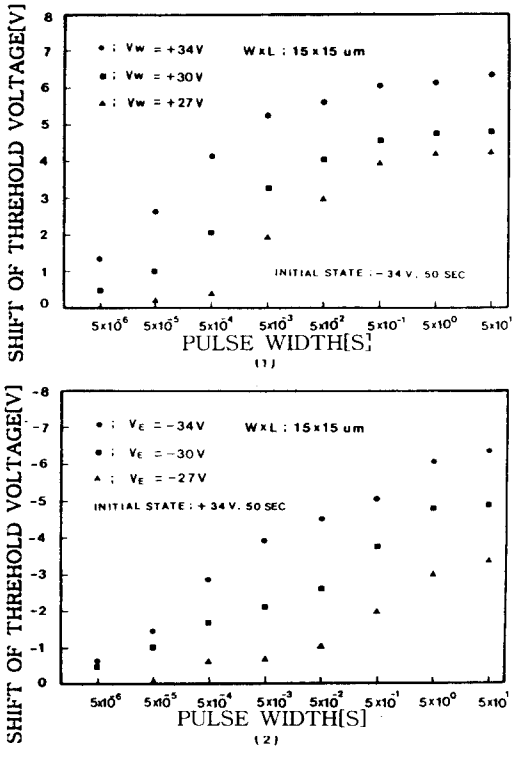

그림 6 15 x 15㎛ 素子의 스위칭 特性
(1) 高傳導狀態→低傳導狀態
(2) 低傳導狀態→高傳導狀態

Fig. 6 Switching characteristics of 15 x 15㎛ device.
(1)High conductance state→Low conductance state.
(2)Low conductance state→High conductance state

3-3.채널폭과 길이에 따른 스위칭 특성

SNOSFET EEPROM素子에 대한 動作特性을 把握하기 위하여 印加 펄스電壓의 크기와 幅에 따른 窒化膜 電荷量의 變化 즉, 문턱電壓의 變化를 測定하여 스위칭現象을 채널크기에 따라 調査하였다.

채널幅과 길이가 15 x 15 ㎛인 SNOSFET 記憶素子의 記錄과 消去시 펄스幅과 크기에

따른 문턱電壓의 變化關係를 求한 結果는 그림 6과 같다.

記憶素子의 初期條件은 V_E = -34V, t_E = 50 sec를 印加하여 문턱電壓 V_{TO} = 7.4V인 高傳導狀態로 한 다음, 각각 記錄펄스 電壓 V_W = +34V, +30V, +27V인 경우에 대하여 펄스幅을 t_W = 5μsec, 50μsec, 500μsec, 5msec, 50msec, 500msec, 5sec, 50sec로 變化시키면서 얻은 스위칭 記錄特性을 각각 ●, ■, ▲로 表示하면 그림 6의 (1)과 같다. 記憶素子의 初期條件은 V_W = +34V, t_W = 50sec를 인가하여 문턱전압 V_{T1} = 13.8V인 低傳導狀態로 한 다음 각각 消去펄스 電壓이 V_E = 5μsec, 50μsec, 500μsec, 5msec, 50msec, 500msec, 5sec,50sec로 변화시키면서 測定한 스위칭 消去特性을 각각 ●, ■, ▲로 表示하면 그림 6의 (2)와 같다.

그림 6의 (1)과 (2)로부터 알 수 있는 바와 같이 문턱전압의 移動量은 펄스幅이 增加함에 따라 代數函數的으로 증가하다가 飽和 傾向을 보인다. 어떤 크기의 實效메모리 윈도우를 얻고자 할 때 펄스의 크기를 크게 하면 작은 펄스幅으로도 스위칭이 가능함을 보여주고 있다. 論理스윙에 필요한 最小메모리 윈도우 3.5V를 얻기 위하여 V_W = +34V, t_W = 500μsec의 펄스電壓으로 記錄시킨 후 다시 記錄前의 原來 記憶狀態로 스위칭하기 위해서는 V_E = -34V, t_E = 5msec의 펄스電壓으로 消去해야 한다. 또한 V_W = +30V, t_W =5msec로 기록한 境遇 이를 다시 消去하기 위해서는 V_E = -30V, t_E = 500msec의 펄스가 要求된다. 그리고 V_W = +27V, t_W = 50msec로 記錄된 경우 이를 다시 消去하기 위해서는 V_E = -27V, t_E = 5sec의 펄스가 요구된다.

15 x 1.5μm인 素子의 記錄과 消去時의 펄스幅과 크기에 따른 문턱電壓의 변화를 測定하여 구한 스위칭 特性은 그림 7과 같다. V_E = -34V, t_E = 50sec의 消去電壓을 게이트에 印加하여 문턱전압이 V_{TO} = 4.4V인 高傳導狀態가 되도록 初期條件을 定한 후 記錄電壓의 크기가 V_W = +34V, +30V, +27V이고 펄스폭을 t_W = 5μsec, 50μsec, 500μsec,5msec, 50msec, 500msec, 5sec, 50sec로 變化시키면서 문턱電壓을 測定하여 스위칭 記錄特性을 求한 결과는 그림 7의 (1)과 같다.●,■,▲는 각 記錄電壓에 該當하는 特性을 表示한 것이다. 이번에는 SNOSFET 記憶素子의 初期條件을 문턱전압 V_{T1} = 11.8V인 低傳導狀態로 한 다음, 消去펄스전압의 크기가 V_E = -34V, -30V, -27V인 陰의 펄스전압에 대해 消去電壓 펄스幅을 t_E = 5 μsec, 50 μsec, 500 μsec, 5 msec, 50 msec, 500 msec, 5 sec, 50 sec로 변화시키면서 측정한 消去의 스위칭 特性을 ●,■,▲으로 표시하여 구한결과는 그림 7의 (2)와 같다.

그림 7의 (1)과 (2)로 부터 문턱전압의 이

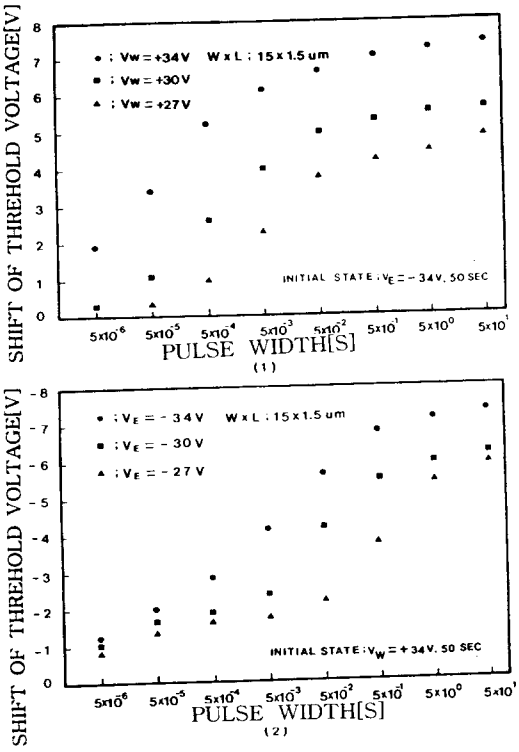

그림 7 15 x 1.5㎛素子의 스위칭 特性
(1) 高傳導狀態→低傳導狀態
(2) 低傳導狀態→高傳導狀態

Fig. 7 Switching characteristics of 15 x 1.5㎛ device.
(1)High conductance state→Low conductance state
(2)Low conductance state→High conductance state

동량은 펄스폭이 증가함에 따라 代數函數的으로 증가하다가 飽和 경향을 보인다. 어떤 크기의 메모리 윈도우를 얻고자 할때 펄스의 크기를 크게하면 작은 펄스폭으로도 可能함을 알 수 있다. SNOSFET 記憶素子의 記憶狀態는 高傳導狀態에서 低傳導狀態로 스위칭하기 위하여 V_W = +34V, t_W = 50sec의 記錄펄스를 印加하여 기록시켰을 때 메모리 윈도우의 크기는 $\triangle V_{th}$ = 7.4V로써 最大가 되었다. 저전도상태를 고전도상태로 스위칭하기 위하여 V_E = -34V, t_E = 50sec의 펄스를 印加하여 消去시킬 때 메모리 윈도우의 크기는 △th =7.4V가 되었다. 디지탈 論理레벨에 있어서 最小로 요구되는 論理 許容레벨인 3.5V의 메모리 윈도우를 얻기 위해서 V_W = +34V, t_W = 50μsec의 기록펄스전압으로 記錄시켰다가 다시 記錄前의 原來 記憶狀態로 스위칭하기 위해서 V_E = -34V, t_E = 500μsec의 펄스전압으로 消去하여야만 한다. V_W = +30V, t_W = 5msec로 記錄된 경우 이를 다시 消去하기 위해서는 V_E = -34V, t_E =50msec의 消去 펄스전압이 요구된다. 또한 V_W = +27V, t_W = 50msec로 記錄된 경우 이를 다시 消去하기 위해서는 V_E = -27V, t_E = 500msec의 消去 펄스電壓이 요구됨을 알 수 있다.

1.9 x 1.7μm인 素子의 記錄과 消去시 펄스폭과 크기에 따른 문턱전압의 變化를 측정하여 구한 스위칭 特性은 그림 8과 같다.

記憶素子의 初期條件을 高傳導狀態로 한 다음, 記錄 펄스전압의 크기가 V_W = +34V, +30V, +27V인 경우 기록펄스 幅을 t_W = 5μsec, 50μsec, 500μsec, 5msec, 50msec, 500msec, 5sec, 50sec로 변화시키면서 측정하여 얻은 스의칭 記錄特性은 ●,■,▲으로 표시하면 그림 8의 (1)과 같다. 記憶素子의 初期條件을 低傳導狀態로 한 다음, 消去 펄스전압이 V_E = -34V, -30V, -27V인 陰의 펄스전압에 대해 펄스폭을 t_E = 5μsec,50μsec,500μsec,5msec,50msec,500msec,5sec,50sec로 변화시키면서 測定한 스위칭 消去特性은 ●,■,▲으로 표시하면 그림 8의 (2)와 같다.

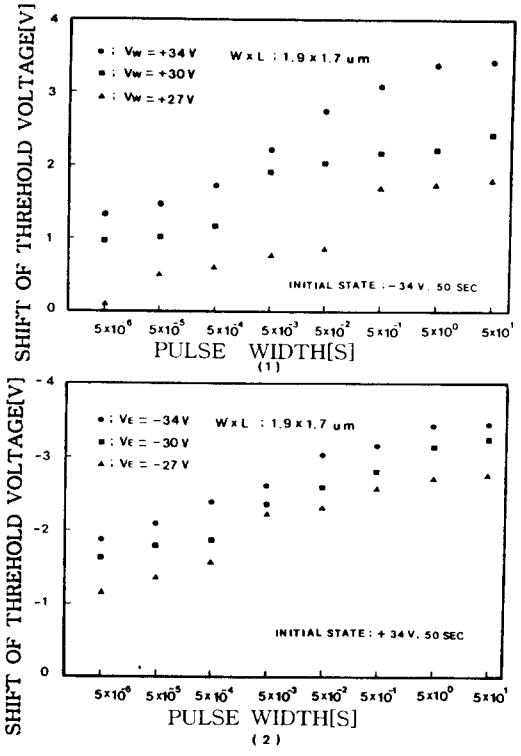

그림 8 1.9 x 1.7㎛素子의 스위칭 特性
(1) 高傳導狀態→低傳導狀態
(2) 低傳導狀態→高傳導狀態

Fig. 8 Switching characteristics of 1.9 x 1.7㎛ device.
(1)High conductance state→ Low conductance state
(2)Low conductance state→ High conductance state

그림 8의 (1)과 (2)로부터 문턱전압의 移動量은 펄스폭이 증가함에 따라 代數函數적으로 증가하다가 飽和 傾向을 보이며 어떤 크기의 實效 메모리 윈도우를 얻고자할 때 펄스의 크기를 크게하면 작은 펄스로도 可能함을 보여주고 있다. 디지탈 論理레벨의 論理스윙을 위한 메모리 윈도우를 얻기위해서 V_W = +34V, t_W = 50sec의 펄스전압으로 記錄시켰다가 다시 기록전 記憶狀態로 스위칭 하기 위해서는 V_E = -34V, t_E = 50sec의 펄스전압으로 消去를 실행해야 한다.

이상의 결과에서 문턱전압의 移動量은 펄스폭과 移動量이 증가함에 따라 記錄과 消

去시 모두 代數函數的으로 증가하다가 飽和되는 傾向을 보인다. 채널의 폭이 15μm로 일정할 때 길이가 1.5μm인 소자가 15μm인 소자보다 더 큰 폭의 문턱전압 移動量을 갖고 있음을 보여 주고 있다. 記錄과 消去과정에서,기록상태는 μsec 펄스폭에서 급하게 변화하여 500msec에서 飽和되어가는 現象을 보여주고 있다. 消去狀態는 msec帶의 펄스폭에서 急하게 변화하여 sec 帶의 시간 펄스폭에서 포화되어 가는 現象을 보여 주고 있다. 그림에서 보는 바와 같이 채널폭과 길이가 15 x 15μm 소자인 경우 기록시 +34V, 5msec에서 6.12V의 $\triangle V_{th}$를 나타내며 -34V, 5msec에서 3.9V의 $\triangle V_{th}$를 나타낸다. 같은 문턱전압의 變化量을 얻기 위해서는 50msec이상의 펄스폭이 요구됨을 알 수 있다. 15 x 1.5μm인 素子의 경우 記錄時 +34V, 5msec에서 6.12V의 $\triangle V_{th}$를 나타내며 -34V, 5msec에서 4.1V의 $\triangle V_{th}$를 나타낸다. 또한 1.9 x 1.7μm인 素子의 경우 記錄時 +34V, 5msec에서 2.3V의 $\triangle V_{th}$를 나타내며 -34V, 5msec에서 2.6V의 $\triangle V_{th}$를 나타낸다.

문턱전압의 變化量은 채널폭과 길이에 相關關係가 있으며, SNOSFET기억소자의 기록과 消去特性이 非對稱的으로 되어 있다. 窒化膜 電荷傳導가 넓은 채널폭은 記錄과 消去시 正方向 바이어스 쪽이 負方向 바이어스쪽 보다 문턱전압의 變化量이 빠름을 알 수 있으며, 좁은 채널폭은 記錄과 消去시 負方向 바이어스쪽이 正方向 바이어스쪽보다 문턱전압의 變化量이 빠름을 알 수 있다. 이러한 것은 채널형태에 따라 記錄과 消去時 窒化膜내 電荷傳導가 다름을 보여주고 있는 것으로 생각된다.

4. 결론

Short channel 非揮發性 SNOSFET EEPROM 기억소자를 CMOS 1 Mbit 設計規則(1.2μm design rule)에 의하여 製作하였다. 이 素子의 채널폭과 길이는 각각 15μm x 15μm, 15μm x1.5μm, 1.9μm x 1.7μm이였다. 이 기억소자의 I_D-V_G특성, I_D-V_D특성을 조사한 결과 다음과 같은 결론을 얻었다.

1. 傳導特性은 게이트 인가전압의 極性, 크기 그리고 시간에 따라 변화시킬 수 있으며 論理回路에서 두개의 論理레벨인 低傳導狀態와 高傳導狀態 특성을 나타내고 I_D-V_G 特性曲線이 모두 正의 게이트전압에 위치하여 論理回路 設計시에 適切함을 알 수 있었다.

2. 전압에 대한 전류특성에서 채널폭과 길이가 15μm x 15μm의 소자는 long채널 特性을 나타냈으며, 15μm x 1.5μm와 1.9μm x 1.7μm의 소자는 short 채널특성이 나타났다. 그리고 15μm x 1.5μm, 1.9μm x 1.7μm의 소자는 드레인전압이 증가해도 飽和現象이 나타나지 않음을 알았다.

3. 채널폭과 길이가 각각 15μm x 15μm, 15μm x 1.5μm, 1.9μm x 1.7μm인 素子의 메모리 윈도우는 각각 6.4V, 7.4V, 3.5V까지 크게할 수 있음을 알았다.

4. 記錄과 消去의 스위칭 특성은 印加時間에 따라 代數函數的으로 증가하다가 飽和되며 印加電壓을 크게하면 스위칭 시간은 짧아진다. 또한 3.5V의 메모리 윈도우 크기를 얻기 위해서 15 x 15μm의 소자는 V_W = +34V, t_W = 500μsec 및 V_E =-34V, t_E = 5msec로, 15 x 1.5μm의 소자는 V_W = +34V, t_W = 50μsec 및 V_E = -34V, t_E = 500μsec로, 1.9 x 1.7μm의 소자는 V_W = +34V, t_W = 50sec 및 V_E = -34V, t_E = 50sec의 펄스전압으로 記錄과 消去를 할 수 있었다.

본 연구는 유한전문대학 부설 산업과학기술연구소 연구비 지원으로 수행되었음.

참 고 문 헌

1) M.Aminzadeh,et al., "Conduction and Charge Trapping in Polysilicon-Ni-tride-Oxide-Silicon Structure under Positive Gate Bias" ,IEEE Trans.on Elect.Dev.,Vol.35,pp.459-467,1988.

2) S.Aritomes, et al., "A reliable

bi-polarity write/erase technologh in flash EEPROMs" ,IEDM 90,PP.111-114,1990.

3) A.A.M.Amin, "A Novel Flash Erase EEPROM Memory Cell with Asperities Aided Erase" ,ESSDERC 90,pp.177-180, 1990.

4) S.Kitazawa, et al., "Low Detecting Bias and Its Influence on Non-volatile Memory Data Access" ,IEICE Trans.,Vol.E-74, pp.885-889,1991

5) E.P.Jacobs,et al., "Short Channel Erase in n-Channel Si-Gate MNOS EPROM Transistors" ,Solid State Elect.,Vol. 24, pp.470-483,1981.

6) E.P.Jacobs,et al., "n-channel Si-gate Process for MNOS EEPROM Transistor " ,Solid State Elect.,Vol.24,pp.517-522,1981.

7) L.G.Carlstedt,et al., "MNOS Memory Transistor in Simple Memory Arrays" IEEE.J.of Solid State Circuits, Vol.SC-7,pp.382-388,1972.

8) Y.Hsia, "Cross-gate MNOS Memory Device" ,IEEE Trans.on Elect.Dev.,Vol. ED-25,pp. 1071-1072,1978.

著者紹介

강창수

1956년 9월 6일생.1982년 2월 광운대학전자공학과 졸업. 1986년 2월 한양대학 대학원 전자공학과 석사. 1992 년2월 광운대학 대학원 전자재료공학과 (공박). 1993년 현재 유한공업전문대학 전자과조교수.

김동진

1948년 5월 4일생.1974년 2월 광운대학 전자공학과 졸업. 1979년 7월 연세 대학 대학원전자공학과 석사. 1982년 3월~1993년 현재 유한 전문대학 전자과 교수.

서광열

1939년 9월 27일생.1961년 인하대학 원자력공학과 졸업. 1969년 연세대학 교육대학원 졸업. 1969년 경희대학 대학원 물리학과(이박).1993년 현재 광운대학 전자 재료공학과 교수.