

비정질 실리콘 박막 트랜지스터 포화전압대 전류특성의 새로운 모델

Fabrication and New Model of Saturated I-V Characteristics of Hydrogenerated Amorphous Silicon Thin Film Transistor

이우선*, 김병인*, 양태환*

(Woo-Sun Lee, Byung-In Kim, Tae-Hwan Yang)

요 약

PECVD에 의해 Burried Gate 비정질 실리콘 박막트랜지스터(a-Si:H TFT)를 제작하여 포화 전압 대 전류 특성에 대해서 새로운 해석을 하였고 해석 결과는 실험적으로 증명되었다. 본 연구의 결과 실험된 전달특성과 출력특성을 모델화 하였는데 이 모델식은 I_D 와 V_G 의 실험결과에서 얻어지는 3가지 함수를 기본으로 모델화 되었다. 포화 드레인 전류는 V_G 가 증가 할수록 증가되었고 디바이스의 포화는 드레인 전압이 커질수록 증가되었으며 문턱전압은 감소됨을 보였다.

Abstract

A new analytical expression for the saturated I-V characteristics of hydrogenerated amorphous silicon thin film transistors(a-Si:H TFT) is presented and experimentally verified. The results show that the experimental transfer and output characteristics are easily modeled. The model is based on three functions obtained from the experimental data of I_D versus V_G . Theoretical results confirm the simple form of the model in terms of the device geometry. It was determined that the saturated drain current increased at a fixed gate voltage and the device saturated at increasingly larger drain voltages while the threshold voltages decreased.

1. 서 론

스태거형 수소화 비정질 실리콘 박막트랜지스터(inverted staggered type a-Si:H TFT)는 제조 공정상 증착하기가 쉽고 많은 물질 들중 큰 면적에 균일하고 쉽게 증착 할 수 있어서

박막형 논리회로[1], 반도체 표시기, 고체 영상 감지기[2], CCD(charge coupled device)[3] 랩-탑(lap-top) 컴퓨터[4], HD-TV 등에 이용되는 표시기의 새로운 반도체 소자로써 이용이 증가되고 있다. TFT의 신뢰도를 향상 시키고 active matrix LCD 표시기의 제조 가격을 줄이기 위해서 LCD 논리 회로의 구동 회로는 동일한 박막에 제조 되어야 하고 평판형 액정 표시기의 많은 리드선을 감소 시키기 위해서는 TFT를 스위칭 matrix 형상으로 제조해야

*: 조선대학교 공과대학 전기공학과
接受日字:1992年 11月 11日

한다. 비정질 실리콘 박막 트랜지스터는 큰 off resistivity를 갖고 각각의 cell에서 능동 스위칭 matrix에 대해 적당한 on current를 갖는다. a-si:H TFT 제조공정 과정에서 TFT의 a-si층과 SiNx층의 약 260°C의 저온 증착공정은 고온인 MOS-IC보다 큰장점이 있다.

최근에 a-si:H TFT를 더 광범위 한곳에 응용하고 TFT의 회로를 상용화를 목적으로 개발하기 위한 중요한 이슈 중의 하나로서 TFT의 제작 및 각종 특성에 관계되는 정확한 I-V특성과 수학적 모델 개발에 대한 연구를 요구 하고 있다. Neudeck et al[5]-(9)는 a-si:H TFT를 여러가지 구조로 모델화 하여 I_D - V_D 특성을 모델링 하고 해석 하였는데, 이 모델의 식은 전부 상온에서 모델링 되었다.

본 연구에서는 스택저형 a-si:H TFT를 제작하고, TFT의 전달특성과 출력특성을 실험하여 그에 따른 포화 전압-전류 특성들을 측정 하였으며, 드레인 포화전류가 지수 함수적인 식에 의하여 모델화 되었고, 측정된 실험값과 계산된 모델식의 결과와 비교 되었다.

2. a-si : H TFT 소자의 제작

Inverted 스택저형 a-si:H TFT의 구조는 그림 1과 같다. 웨이퍼는 (100) 방향 실리콘 웨이퍼를 사용 하였으며 1100°C에서 200Å의 실리콘 옥사이드를 성장하였다. 게이트는 크롬(Cr)을 스퍼터에 의해서 증착 하였으며 사진 식각을 위한 마스크 패턴은 Zylex computer system을 사용하여 제작 하였다. 실리콘 나이트라이드(SiNx) 증착을 위해서 SiH₄(=5 SCCM), NH₃(=50 SCCM) 그리고 N₂(=50 SCCM) 비율로 gas혼합 방법에 의하여 PECVD 챔버(chamber)에서 진행 하였으며 PECVD의 전력은 81.6mW/cm²이고 챔버 내의 압력은 613mT 이다. PECVD에 의해 증착된 두께는 1500Å 이었고, SiH₄ gas를 PECVD 챔버에서 깨끗이 없앤후에 a-Si:H를 PECVD reactor 전력 9.8 mW/cm²에서 260°C의 온도로 증착하였다. SiH₄압력은 350mT 이고 flow rate는 50 SC CM이다. SiNx와 a-Si:H가 형성된 후 30KeV

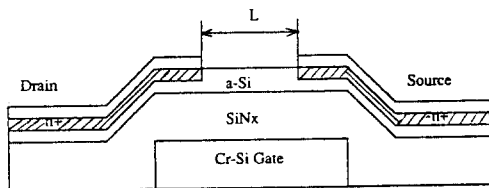


그림 1. 스택저형 a-si:H TFT의 구조
Fig. 1 Cross section of inverted staggered a-Si:H thin film transistor.

로 1×10^{16} ion/cm²의 인(P) 이온을 주입하여 드레인 소오스 음의 콘택을 형성하였다. 스퍼터에 의한 알루미늄(Al) metalization 공정은 200°C의 dry nitrogen/hydrogen 분위기에서 30분간 어닐링 한 후에 진행하였다.

제작된 디바이스의 채널길이 $L=100 \mu m$, $W=1000 \mu m$ 로 $W/L=10$ 이다. 본 실험에서는 제작된 두개의 디바이스를 packaging하여 사용하였으며 두개 디바이스 실험결과와 평균값을 취하여 그 결과 값을 컴퓨터 분석에 의하여 자동적으로 컴퓨터에 저장 되도록 하였고, 그 결과를 plotting 하도록 하였다.

3. 수학적인 모델

Neudeck et al[8]에서 a-si:H TFT의 드레인 전류 I_D 는 다음식과 같이 나타내었다.

$$I_D = W G_s \frac{dV_0(y)}{dy} \quad (1)$$

여기서 W 는 채널의 폭이고 G_s 는 채널의 sheet conductance 그리고, $V_0(y)$ 는 밴드 구부러짐이 없는 곳에서의 공간전하층의 전위이다. 식(1)을 적분하면 드레인 전류 I_D 는 다음식으로 나타낼 수 있다.

$$I_D = \frac{W}{L} \int_0^{V_D} G_s(V) dV \quad (2)$$

여기서 V_a 는 소오스 측 전위이고 V_b 는 드레인 측 전위이며, L 은 채널의 길이이다. 식(2)는 a-Si:H TFT의 포화영역에서의 드레인 전류의 새로운 모델의 식(3)으로 나타낼 수 있다.

$$I_D = K (V_G - V_T) \quad (3)$$

여기서 드레인 전류를 결정하는 변수인 η 는 실제적으로 a-Si 경계면층인 국부적인 bulk state에서 결정된다. 여기서 V_G 는 게이트 전압이고 V_T 는 트레시홀드 전압이다. 모델식에서 포화드레인 전류는 트레시홀드 전압 V_T 와 지수적 계수인 η 와 K 에 의존하게 된다.

A-Si 경계면의 두점에서 밴드 꼬리에 의한 상태 밀도를 N_s 라 하면 N_s 는 일반적으로 나타나는 지수함수적인 표현의 식인 다음식(4)로 나타낼 수 있다.

$$N_s = N_s \cdot e^{\beta (E - E_0)} \quad (4)$$

그리고 반도체와 절연체상의 증착 조건에는 서로 차이가 있으므로 이 차이값이 되는 η 는 식(5)와 같이 나타낼 수 있다. [10]

$$\eta = \frac{0.95q}{KT\beta} + \eta_0 \quad (5)$$

여기서 η_0 값은 1로서 온도와는 독립된 항이다 V_T 는 K 가 지수함수적으로 증가함에 따라 선형적으로 증가함에 따라 선형적으로 감소하게 되며 본 실험에서 제작된 TFT에서 $V_T=4.8V$, $\eta = 2.25$, $K=3 \times 10^{-8}$ 이다.

4. 실험 결과

드레인 전압이 15V에서 TFT의 게이트 전압 증가에 의한 포화 드레인 전류의 관계를 그림 2, 3에 나타낸다. 각각의 고정된 온도에서 다음식 (8)은 η , V_T 와 K 를 얻는데 사용되었다.

$$\eta \sqrt{I_D} = K^{(1/\eta)} (V_G - V_T) \quad (8)$$

문턱전압은 $\eta \sqrt{I_D}$ 와 V_G 곡선중의 선형부분을 컴퓨터 분석에 의하여 선택한 후 직선을 그어서 얻을수 있는데 반도체 파라메타 분석기에

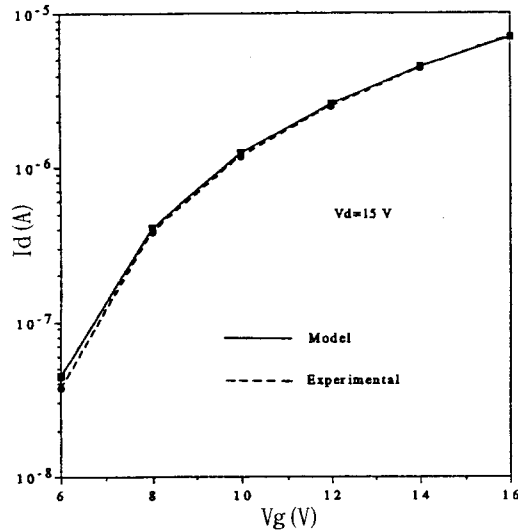


그림 2 TFT의 I_D-V_G 전달특성의 실험값과 모델값

Fig. 2 Experimental and modeled I_D-V_G transfer characteristics of a TFT. Solid line-experimental data; Dotted line-modeled.

의해서 자동적으로 plotting되었다. 또 η , V_T , K 값을 반복하여 계산하기 위하여 컴퓨터 프로그램을 작성하였으며 이 프로그램은 이들 값에 대한 자기정수가 얻어 질때 까지 반복 계산하여 이들 값을 구하였다. 기울기의 η 승으로 결정되는 K 값은 그림 3과 같이 선형화된 드레인 전류에서 컴퓨터를 이용한 simple curve fit 방법에 의하여 구하였다.

식 (5), (6), (7)을 이용하여 식 (3)에 의해서 모델링된 드레인 전류는 그림 2와 같고 측정된 실험결과 값과 잘 일치됨을 보였다. 드레인전

류는 게이트전압이 증가 함에 따라서 지수함수적으로 증가 되었고, 게이트 전압을 6V-16V범위로 각각 고정시켰을때 선형화 한 포화드레인 전류 관계를 계산값과 실험에 의한 결과 값과 비교하여 그림 3에 나타낸다. 드레인전류는 게이트 전압이 증가됨에 따라서 증가되었고, 게이트전압의 모든 영역에 걸쳐서 모델과 잘 일치 되었다. 국부적인 에너지 갭(gap) 상태에서 확대되어진 상태까지의 전자의 활성화 에너지는 게이트 전압이 증가함에 따라서 감소되어 결과적으로 증가되어진 드레인 전류의 차이는 적게 되었다. 디바이스 모델이 국부적인 상태에서 큰 에너지상태밀도를 갖기때문에 모델에

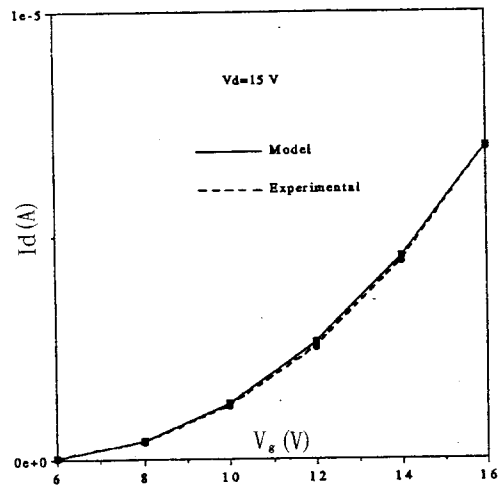


그림 3 게이트 전압 증가에 의한 드레인전류의 변화

Fig. 3 The comparison of the drain current by increasing gate voltages.

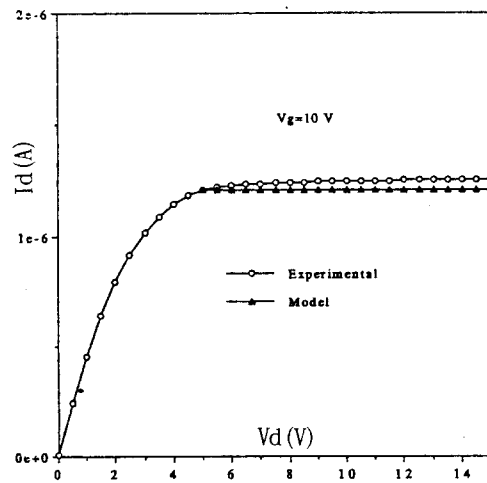


그림 4 제작된 TFT 출력특성의 실험값과 모델 값 비교

Fig. 4 The comparison of measured and modeled output characteristics.

사용된 식은 스퍼터와 플라즈마 증착에 의해서 제작된 TFT 디바이스에 주로 적용된다. 그림 4는 게이트전압 10V 일때 TFT의 출력특성 즉, 드레인전류와 드레인 전압특성을 실험에 의한 결과 값과 모델에 의해서 계산한 값과의 비교 결과를 나타내는데 포화드레인 전류의 포화점은 4.5V 이상의 높은 드레인전압에서 발생하였고 모델식에 의한 값은 실험에 의한 값과 잘 일치 함을 보였다. 그림 5는 게이트전압을 8V에서 16V까지 증가시켰을 경우 드레인 전류의 포화점에서의 드레인 전압은 게이트 전압이 증가 할 수록 증가함을 보였고, 드레인 전압 증가에 따른 선형화 드레인 전류는 모델에 의

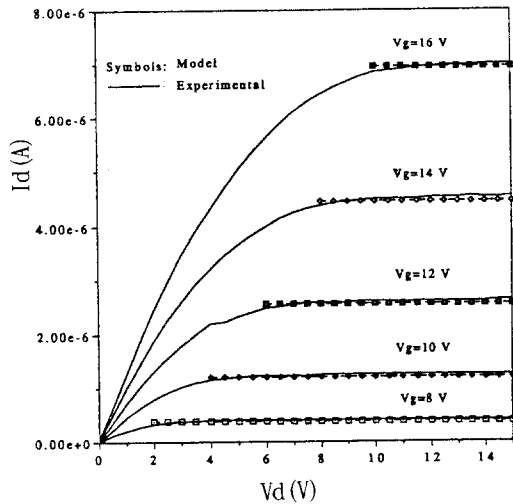


그림 5 드레인 전압과 게이트 전압 증가에 따른 포화 드레인전류의 계산값과 실험값의 비교

Fig. 5 Experimental and modeled drain current comparison by increasing V_d, V_g

한 값과 실험에 의한 값이 잘 일치 됨을 보였다. 그림 6은 게이트전압을 2-16V로 증가시켰을 때에 컴퓨터에 의해서 자동적으로 측정되어 그려진 본 연구에서 제작된 TFT의 DC 출력특성 곡선을 나타내는데 드레인전압 증가에 따른 포화 드레인전류는 게이트전압이 높아 질수록 증가 되었으나 드레인전류의 상승폭은 점차로 감소됨을 보였다.

5. 결 론

본 연구에서는 a-Si:H TFT를 PECVD에 의하여 제작하고, 드레인 전압과 포화 드레인 전류를 실험적으로 측정하였고, 측정된 모델에 사용할 수 있는 방정식을 유도하고 분석하였는데 유

도 된 식은 TFT 포화전류 특성에 대한 해석을 위한 모델의 식이며 본 모델식의 타당성이 실험적으로 증명되었다. 유도된 식은 3가지 변수를 가지는데 실험에 의한 결과 값으로 부터 쉽게 구할수 있다. TFT 게이트 전압이 증가함에 따라서 포화 드레인 전류는 지수함수적으로 증

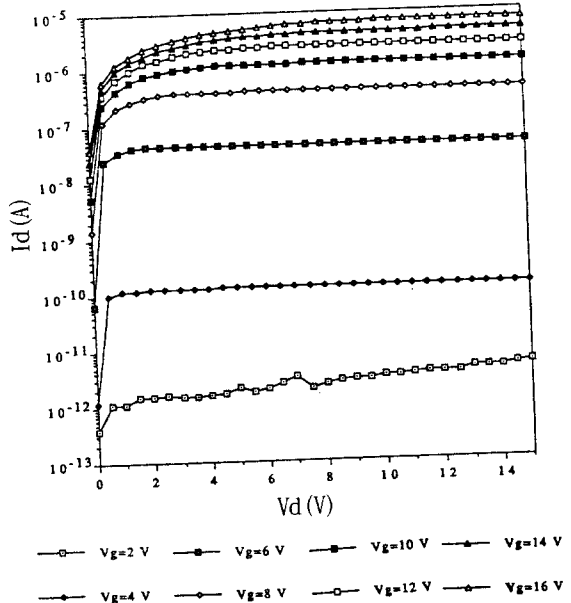


그림 6 $V_d=0-14V, V_g=0-16V$ 에서 제작된 TFT의 출력특성 곡선

Fig. 6 Computer measured output characteristics curve of fabricated TFT at several gate voltages.

가 하였으며 더 높은 드레인 전압에서 포화됨을 보였다. 또 드레인 전압 증가에 따른 드레인 전류의 출력특성 곡선에서 포화 드레인 전류는 게이트 전압이 높아 질수록 증가 되었으나 드레인 전류의 상승폭은 점차로 감소됨을 보였으며 본 모델식에 의한 포화 드레인 전류의 모델링 결과는 실험에 의한 결과값과 잘 일치됨을 보였다.

참 고 문 헌

- [1] Y. Nara and M. Matsumura, "An amorphous silicon integrated inverter," IEEE Trans, Electron Devices, vol. ED-29, no. 10 pp. 1646-1649, 1982.
- [2] F. Okumura and S. Kaneko, "Amorphous Si:H linear image sensor operated by a-Si:H TFT array," Proc. Materials Res. Society Symposium, vol. 33, M. J. Thompson Ed, New York: North Holland, pp. 275-280, 1984.

- [3] Y. Naara, Y. Kudou and M. Matsumura, "Application of amorphous field effect transistor in 3-dimensional integrated circuits," Japanese Journal of Applied Physics, vol. 22, no. 6, pp. L370-L372, June 1983.
- [4] T. L. Credelle, "Recent trends in color avionic LCD's," Soc. Information Display vol. 3, no. 10, pp 15-18, Nov. 1987.
- [5] G. W. Neudeck, A. K. Malhotra, "An amorphous silicon thin film transistor: Theory and experiment," Solid State Electronics, vol. 19, pp 721-729, 1976.
- [6] G. W. Neudeck, K. Y. Chung and H. F. Bare, "A simplified model for the static characteristics of amorphous silicon thin film transistors," Solid States Electronics, vol. 29, no. 6 pp 639-645, 1986.
- [7] G. W. Neudeck, H. F. Bare and K. Y. Chung, "Modeling of ambipolar a-Si:H thin film transistors," IEEE Trans. Electron Device, vol. ED-34, no. 2, pp. 344-349, Feb. 1987.
- [8] G. W. Neudeck, K. Y. Chung and H. F. Bare, "An accurate CAD model for the ambipolar a-Si:H TFT," IEEE Trans. Electron Device, vol. ED-34, no. 4, pp. 866-871, Apr. 1987.
- [9] K. Y. Chung, G. W. Neudeck, "Transient analysis of the CMOS like a-Si:H TFT inverter circuit," IEEE Solid States Circuit vol. 24, no. 3, pp. 822-829, 1989.
- [10] R. Bashir, C. Subramanian, G. W. Neudeck and K. Y. Chung, "Delay time studies and electron mobility measurement in an a-Si:H TFT," IEEE Electron Devices, vol. 36, no. 12, pp. 2944-2948, Dec. 1989.

著者紹介



이우선

1952년 1월 23일생. 1974년 조선대 전기공학과 졸업. 1984년 중앙대학원 전기공학과(공학). 1982-83 Univ. of Massachusetts 문교부과건교 환교수. 1989-90년 Purdue Univ. 과 재단과건 포스트 닥터. 1992년 7-8 일본 동경공업대학 객원교수. 현재 조선대학교 공대 전기공학과 교수.



김병인

1951년 1월 4일생. 1979년 조선대 전기공학과 졸업. 1984년 동 산업대학원 전기공학과 졸업(석사). 1983-91년 현재 아시아자동차 공업(주) 근무. 1991-현재 조선대 대학원 박사과정 재학. 1991-현재 송원전문대학 전기과 전임강사.



양태환

1963년 7월 4일생. 1985년 2월 조선 전기공학과 졸업. 1987년 5월-1991 8월 금호전기(주) 근무. 1993년 현 조선대 전기공학과 석사과정.