

WSi₂/CVD-Si/SiO₂ 구조의 게이트 전극 특성

박진성* · 정동진 · 이우성 · 이예승 · 문환구

김영남 · 손민영 · 이현규* · 강성철 · 심태언

*조선대학교 재료공학과

삼성전자(주) 반도체부문 기반기술센터

(1992년 11월 24일 접수)

Characteristics of Gate Electrode for WSi₂/CVD-Si/SiO₂

Jin Seong Park*, Dong Jin Chung, Woo Sung Lee, Ye Seung Lee, Hwan Goo Moon,
Young Nam Kim, Min Young Son, Hyun Gun Lee*, Sung Chul Kang and Tae Earn Shim

*Dept. of Material Science & Technology, Chosun University

Semiconductor Business Samsung Electronics Industries Co., LTD

(Received November 24, 1992)

요 약

WSi₂/CVD-Si/SiO₂의 폴리사이드 구조에서 실리콘 증착온도와 두께, POCl₃ 확산조건, 그리고 WSi₂ 증착 유무에 따른 면저항과 전극 특성을 연구하였다. 면저항이 낮을 때 poly-Si의 비저항은 두께 증가로 다소 감소하지만, 면저항이 높을 때는 비저항이 증가하였으며, 전체적으로 다결정 실리콘보다 비정질 실리콘의 비저항 값이 작다. Poly-Si/WSi₂ 게이트 전극의 열처리 전 면저항은 다결정 실리콘의 두께 및 저항에 영향을 받지만, 질소분위기에서 900°C, 30분 후속 열처리를 하면 WSi₂막에 의해 결정된다. 열처리에 의해 게이트 산화막쪽으로 텅스텐은 확산되지 않지만 불소는 확산되며, 인은 WSi₂막쪽으로 확산되나 면저항을 변화시키지는 않는다

ABSTRACT

In the WSi₂/CVD-Si/SiO₂ polycide structure, electrode resistance and its property were studied as a function of deposition temperature and thickness of CVD-Si, diffusion condition of POCl₃, and WSi₂ being deposited or not. Resistivity of poly-Si is decreased with increment of thickness in the case of POCl₃ diffusion of low sheet resistance, but it is increased in the case of high sheet resistance. The resistivity of amorphous-Si is generally lower than that of poly-Si. Initial sheet resistance of poly-Si/WSi₂ gate electrode is affected by the thickness and resistance of poly-Si layer, but final resistance after anneal, 900°C/30 min/N₂, is only determined by WSi₂ layer. Flourine diffuses into SiO₂, but tungsten does not. In spite of out-diffusion of phosphorus into WSi₂ layer, the sheet resistance is not changed.

1. 서 론

VLSI의 집적도가 증가하므로써 게이트 산화막의 두께는 더욱 감소해 0.25 μm 소자에서는 10 nm 이하의 산화막을 사용할 예정이다. 이에 따른 소자 구성의 각 요소들도 점점 축소되고, 회로 구성요소인 선 저항이 급격히 증가하여 저저항 물질이 요구되고 있다. 이러한 저저항 물질로는 금속 실리사이드(metal silicide)가 가능성이 있고¹⁾, 특히 TiSi₂와 WSi₂ 계통의 물질에 대한

연구가 활발히 진행되고 있다. 이들 물질을 사용한 게이트 전극 구조는 접착성 및 산화막 열화 가능성을 고려하여 산화막과 실리사이드 사이에 다결정 실리콘(poly-crystalline-Si or poly-Si)을 삽입한 metal-silicide/poly-Si/SiO₂ 구조의 폴리사이드에 대해 주로 연구되고 있다.

TiSi₂는 게이트 전극 물질로서 저저항 및 저온 공정 진행 가능성 때문에 많은 연구가 진행되어 왔으나 850°C 이상에서 Ti 확산에 의한 산화막 열화 문제점이 제기되고 있다²⁾. 게이트 전극 물질로 많이 연구되고 있는 WSi₂는

비저항이 $TiSi_2$ 보다 크나 금속원소의 확산이 없는 장점이 있다. WSi_2 형성 방법은 스파터링, CVD(chemical vapor deposition), 그리고 silicidation 등이 있으며 CVD 방법이 양산성 및 두께 균일도 등의 특성이 우수하여 적용 가능성이 가장 높은 제조방법 중의 하나이다.

그러나 CVD 방법에 의한 WSi_2 형성시 텅스텐의 초기 물질로 사용되는 WF_6 중의 불소(F)가 유입되어 산화막의 두께, 유전율, 그리고 굴절율 등에 영향을 주는 것으로 알려져 있다. 또 WSi_2 막 안으로 다결정 실리콘에 확산시킨 인(P)이 유입되는 것이 보고되고 있다³⁾. 그러나 현재까지 인 혹은 불소의 확산에 의한 실리사이드 막의 저항 변화 및 인 혹은 불소 확산 등에 대한 구체적 연구가 부족했다.

따라서 본 논문은 $WSi_2/CVD-Si/SiO_2$ 의 폴리사이드 구조에서 CVD 실리콘의 $POCl_3$ 농도 및 두께에 따른 저항 변화와 인의 확산, 그리고 WF_6 에 의한 CVD- WSi_2 형성시 유입되는 불소 거동을 관찰하고자 한다.

2. 실험방법

비저항이 $10 \Omega \cdot cm$ 인 P-type (100) 실리콘 웨이퍼를 사용하였으며 증착 실리콘 두께, $POCl_3$ 확산조건, 그리고 WSi_2 증착 유무에 따른 면저항을 비교하기 위한 시편 제조 공정은 다음과 같다. 초기 세정 및 16 nm 산화막 성장 후 다결정 혹은 비정질 실리콘 두께가 50, 110, 200 nm가 되도록 실리콘 증착을 실시하였다. $POCl_3$ 확산 공정을 실리콘 기판에서의 면저항이 각각 12, 33, 55, 110 ohm/sq가 되도록 진행하여 산화막 위의 증착 실리콘이 전극 특성을 갖도록 한 후, WSi_2 를 50 nm 증착하여 WSi_2 /poly(or amorphous)-Si/ SiO_2 구조를 형성했다. CVD 방법에 의한 WSi_2 는 WF_6 와 SiH_4 를 반응 원료로 하여 증착시켰다⁴⁾.

게이트 전극의 면저항 및 산화막 특성은 $800 \sim 950^\circ C$ 온도구간에서 후속 열처리를 실시하여 관찰하였으며, 시편의 면저항은 4점 저항 측정기(4 point probe)로 측정하였다.

증착 실리콘 두께, $POCl_3$ 확산조건, WSi_2 증착 유무, 그리고 후속 열처리에 따른 인(P), 불소(F), 그리고 텅스텐(W)의 상호 거동 및 구조는 SIMS(secondary ion mass spectrometry)와 SEM(scanning electron microscopy)을 사용하여 관찰하였다.

3. 결과 및 고찰

Fig. 1은 16 nm의 산화막 위에 다결정 실리콘을 50 nm,

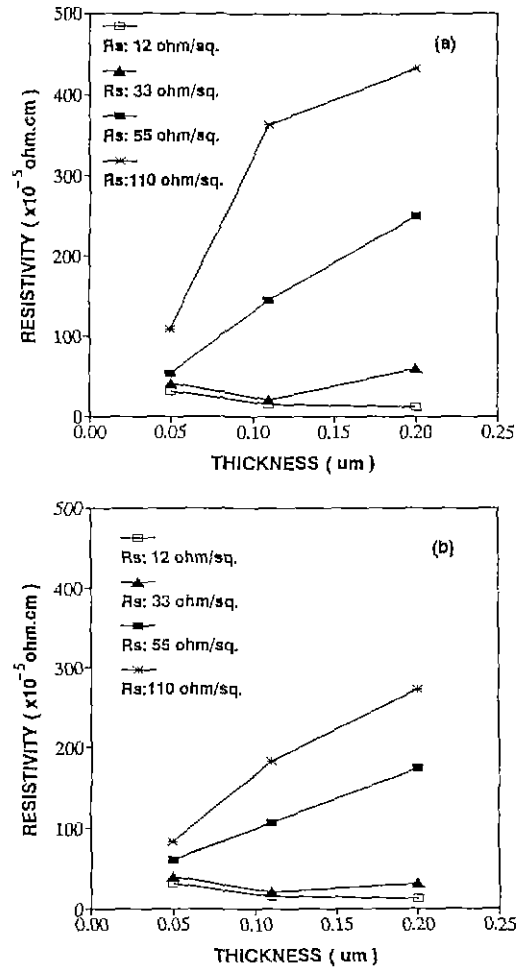


Fig. 1. Resistivity variation with thickness and sheet resistance of poly-Si. (a) before and (b) after annealing at $900^\circ C$ for 30 min in N_2 ambient.

110 nm, 그리고 200 nm의 두께로 증착하고, 각각의 두께에 대해 초기 웨이퍼의 면저항이 12, 33, 55, 그리고 110 ohm/sq가 되는 조건으로 $POCl_3$ 확산 공정을 진행한 후의 비저항을 비교한 것이다. Fig. 1(a)는 $POCl_3$ 확산 진행 후의 상온에서 측정된 산화막 위의 다결정 실리콘의 비저항 값이고, (b)는 후속 열처리를 감안해 $POCl_3$ 확산 후 질소분위기에서 $900^\circ C/30 \text{ min}$ 동안 열처리 실시한 후의 비저항 값이다.

실리콘 기판에서의 면저항이 12 ohm/sq가 되도록 한 시편은 열처리 유무와 관계없이 전체적인 두께 증가로 비저항이 다소 감소하지만, 55 ohm/sq와 110 ohm/sq 경우는 두께 증가로 비저항이 증가한다. 기판 실리콘 면저항이 일정한 조건인 12 ohm/sq 조건으로 고농도

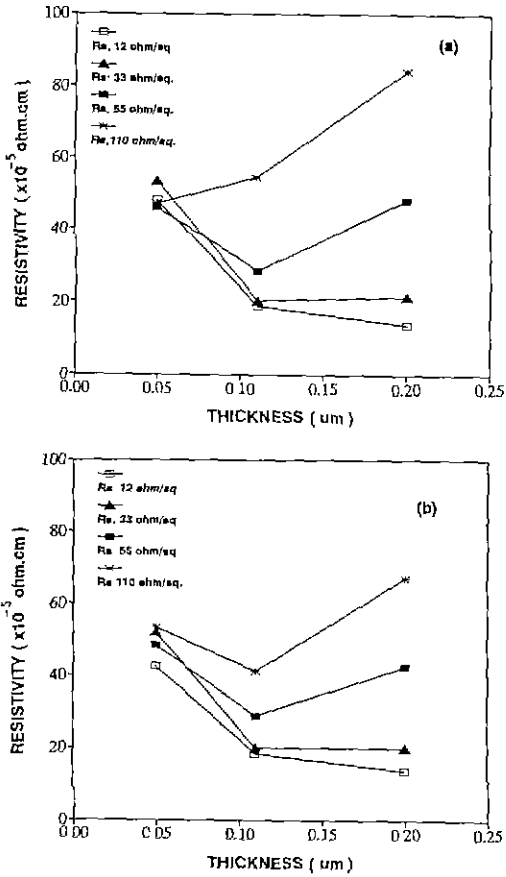


Fig. 2. Resistivity variation with thickness and sheet resistance of amorphous-Si. (a) before and (b) after annealing at 900°C for 30 min in N₂ ambient.

인을 확산시키는 경우, 산화막 위의 poly-Si 두께 감소로 다결정 실리콘이 곧 고용한계에 도달해서 과잉의 인이 계면에 석출³⁾되어, 면저항이 낮은 경우 두께 감소로 비저항이 증가한다고 할 수 있다. 즉 poly-Si 두께가 두꺼우면 고용될 수 있는 인의 총량이 증가하므로 인이 계면에 석출되기 보다는 입자내에 고용되어 전도도에 기여하므로 비저항이 두께 증가로 감소한다.

실리콘 기판의 면저항이 높은 55 ohm/sq와 110 ohm/sq 경우는 두께 증가로 비저항이 증가한다. 이것은 인 농도가 낮은 이들 조건에서는 poly-Si내의 인 농도가 두께가 얇을지라도 고용도 이하 상태여서, 두께 증가로 단위체적당 인 농도가 작아진다. 즉 두께 증가로 저항에 기여하는 poly-Si 비율이 증가해서 비저항이 증가했다.

실리콘 기판의 면저항이 낮은 12 ohm/sq와 높은 55 ohm/sq 및 110 ohm/sq의 중간 단계인 33 ohm/sq인 경

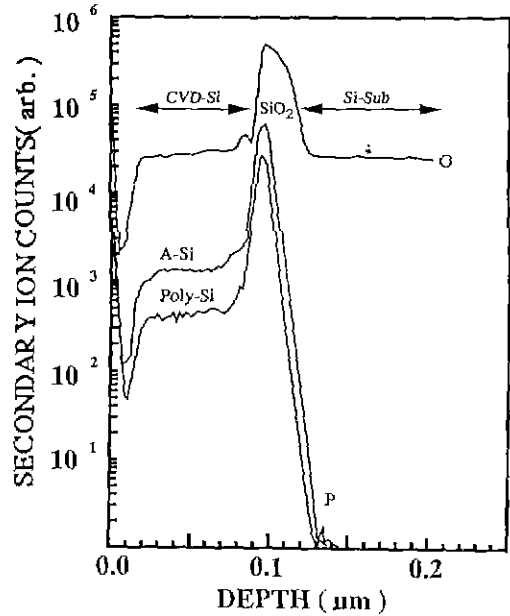


Fig. 3. SIMS depth profile for phosphorus in poly-Si(a-Si)/SiO₂/Si-Sub structure.

우는 110 nm인 경우의 비저항이 최소값이고 두껍거나 얇아지므로써 비저항이 증가하는 것은 인 농도가 고용도 이하로 됨으로써 저항이 증가하거나, 인 과잉에 의한 계면 석출에 의한 것으로 역시 설명할 수 있다. 질소분 위기에서 900°C, 30분 동안 열처리한 (b)는 전체적인 경향은 (a)와 비슷하나 비저항이 다소 감소했다. 이것은 일계 등에 과잉 존재하는 인 성분이 입자내로 확산되므로써 비저항이 감소한 것이다.

Fig. 2(a)와 (b)는 Fig. 1과 같은 조건이나 16 nm의 산화막 위에 실리콘 증착온도를 540°C로 하여 다결정 실리콘(polycrystalline-Si) 대신 비정질 실리콘(amorphous-Si)을 증착시킨 후 역시 동일 조건으로 POCl₃ 처리한 후의 비저항을 열처리 전과 후로 비교한 것이다. Fig. 1의 증착온도 625°C의 다결정 실리콘에 비해서 전체적으로 비저항 값이 작지만, 두께가 50 nm이며 실리콘 기판의 면저항이 12 ohm/sq와 33 ohm/sq로 POCl₃ 확산시킨 경우는 다결정 실리콘보다 오히려 비저항이 더 크다. 이는 비정질 실리콘과 다결정 실리콘의 증착온도 차이에 기인한 결정질 및 입자크기가 달라지므로써 야기된 것으로 추정된다.

Fig. 3은 산화막 위에 다결정 실리콘과 비정질 실리콘을 110 nm 두께로 증착 후 실리콘 기판의 면저항이 55 ohm/sq가 되도록 POCl₃ 확산시킨 다음 인 농도를 SIMS로 비교한 것이고, Fig. 4는 이들의 결정립 크기를

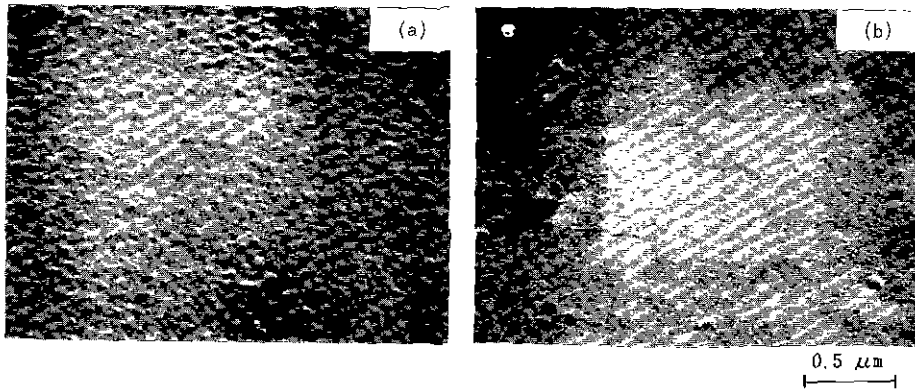


Fig. 4. Comparison of grain size for (a) poly-Si and (b) amorphous-Si.

비교한 사진이다. 증착 실리콘 층이 비정질일 때 “P”이 더 쉽게 그리고 많이 도핑(doping)되고, 최종 결정립 크기도 크다. 즉 비정질 실리콘에 확산된 인 양이 많아 전도도에 기여하는 전자의 농도가 증가하고 입자도 커서 입자에 의한 전자 이동역계 가능성도 적어, 두께가 두꺼운 경우 다결정 실리콘보다 비정질 실리콘의 비저항이 감소한 것이다.

그러나 POCl_3 확산시 온도가 850°C 이상이기 때문에 540°C 의 비정질 실리콘 상태로 증착했어도 최종 결정 상태는 다결정 실리콘상이 되므로써 인 고용도가 저하될 수 있다. 따라서 계면에 인 성분이 채석출되므로써 두께가 얇고 면저항이 낮은 경우는 다결정 실리콘보다 비저항이 크다고 할 수 있다.

즉 면저항이 낮은 경우 두께 증가로 비저항이 낮아지는 것은 증착 실리콘내의 인 농도가 최적 고용도에 접근하기 때문이라고 여겨진다. 면저항이 큰 55, 110 ohm/sq 경우 두께 증가로 다시 비저항 증가가 나타나는 것은 저 도핑 상태에서 증착 실리콘 두께 증가에 의한 저항 성분 증

가로 역시 설명된다. $900^\circ\text{C}/30\text{ min}$ 열처리 추가로 인한 비저항 변화는 두께가 얇은 50 nm 경우는 거의 변화가 없으나 두꺼운 경우는 비저항 감소가 비교적 커서 인의 상호 확산 및 분포에 따른 비저항 변화가 나타난 것이다.

Fig. 5는 Fig. 1의 다결정 실리콘 증착 후 50 nm의 WSi_2 를 CVD로 증착 후 열처리 유무, 다결정 실리콘 두께, 그리고 POCl_3 확산에 따른 면저항의 함수로써 poly-Si/ WSi_2 전극 구조의 면저항 변화를 도시한 것이다. 각 그림의 좌측에 도시한 것은 16 nm의 산화막 위에 직접 CVD- WSi_2 를 50 nm 증착한 것의 면저항 값으로 증착 직후는 약 90 ohm/sq 정도였고, N_2 분위기에서 $900^\circ\text{C}/30\text{ min}$ 열처리 후는 약 30 ohm/sq로 면저항이 낮아져 CVD- WSi_2 증착 후 면저항 감소를 위해서 후속 열처리가 필요함을 알 수 있다. 이것은 CVD- WSi_2 막의 조성비가 정확히 $\text{W}:\text{Si}=1:2$ 의 비율이 아니고 다소 벗어나 있으나 열처리로 안정한 WSi_2 상이 되므로써 저저항값에 도달한 것이다.

$900^\circ\text{C}/30\text{ min}$ 열처리 전의 poly-Si/ WSi_2 구조에서 다

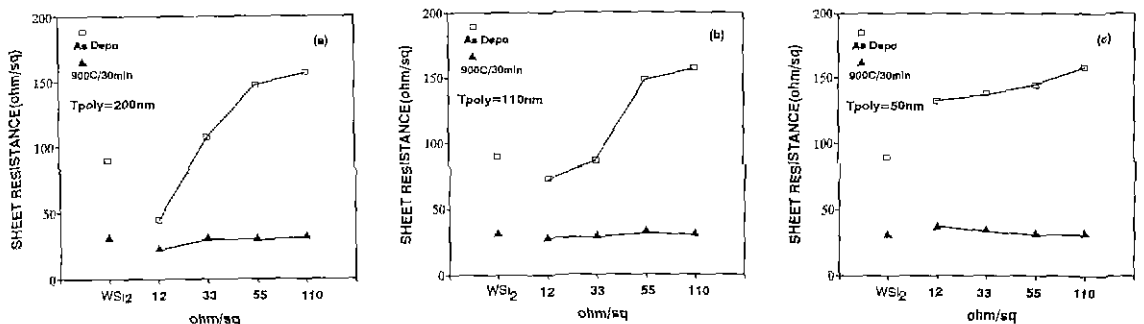


Fig. 5. Sheet resistance variation before and after annealing at 900°C for 30 min in N_2 ambient for the structure of $\text{WSi}_2/\text{poly-Si}/\text{SiO}_2$.

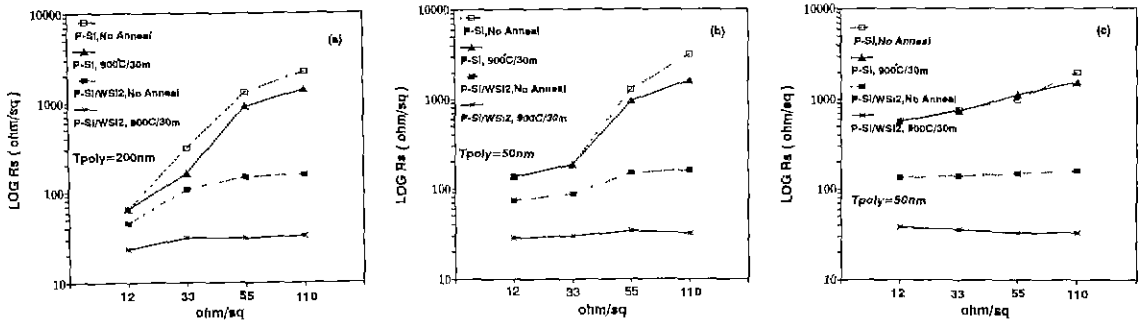


Fig. 6. Sheet resistance variation before and after annealing at 900°C for 30 min in N₂ ambient for the structure of poly-Si/SiO₂ and WSi₂/poly-Si/SiO₂.

결정 실리콘의 두께 및 POCl₃ 확산조건에 따른 면저항 변화는 다결정 실리콘의 두께가 얇은 Fig. 5(c)의 50 nm의 경우는 영향이 미소하나, (a)와 (b)에 도시한 것처럼 다결정 실리콘의 면저항이 낮은 경우, 두께 증가로 poly-Si/WSi₂ 구조의 면저항 역시 감소하는 것이 관찰된다. 이것은 다결정 실리콘의 면저항이 큰 경우는 전류이동 경로가 WSi₂로만 이루어지나 면저항이 낮은 경우, 즉 인 확산⁶⁾ 농도가 커서 아래 층인 다결정 실리콘의 비저항이 작으면 WSi₂ 및 다결정 실리콘 모두 전류 이동 경로가 될 수 있어서 전체 면저항이 감소한다.

Fig. 6은 poly-Si/SiO₂와 WSi₂/poly-Si/SiO₂ 구조의 열처리 전후 면저항 변화를 도시한 것이다. Poly-Si/SiO₂ 구조에 POCl₃만을 확산시킨 시편의 면저항은 열처리 실시로 약간 감소하나 거의 차이가 없다. 즉 실리콘 기판의 면저항이 12 ohm/sq인 경우 후속 열처리를 해도, 두께가 50 nm인 것의 면저항은 약 565 ohm/sq이고, 두께를 200 nm로 증착한 것은 약 65 ohm/sq이었다. 그러나 50 nm의 WSi₂ 증착 후 900°C/30 min 열처리 전의 면저항 값은 약 90 ohm/sq이나, 열처리 후는 약 30 ohm/sq 정도의 값을 가져, Fig. 5에 도시한 것처럼 면저항이 열처리 전에는 다결정 실리콘 상태에 영향을 받지만 열처리 후는 WSi₂ 막을 통해서만 주로 전도가 이루어지게 된다. 동일한 경향을 역시 비정질 실리콘에서도 확인했다.

Fig. 7은 WSi₂ 증착 전의 다결정 실리콘의 표면 SEM 사진으로, 110 nm의 다결정 실리콘에 기판 실리콘의 면저항이 12 ohm/sq로 POCl₃ 확산시킨 것을 (a)로, 33 ohm/sq로 처리한 것을 (b)로 표시했고, (a)와 (b) 시편에 WSi₂를 50 nm 증착 후의 사진을 Fig. 8의 (a)와 (b)에 각각 도시했다.

Fig. 7의 (a)와 (b)의 표면 상태는 POCl₃ 확산 조건에 의해 변하는 것을 알 수 있고, 이것은 과잉 인 석출 혹은

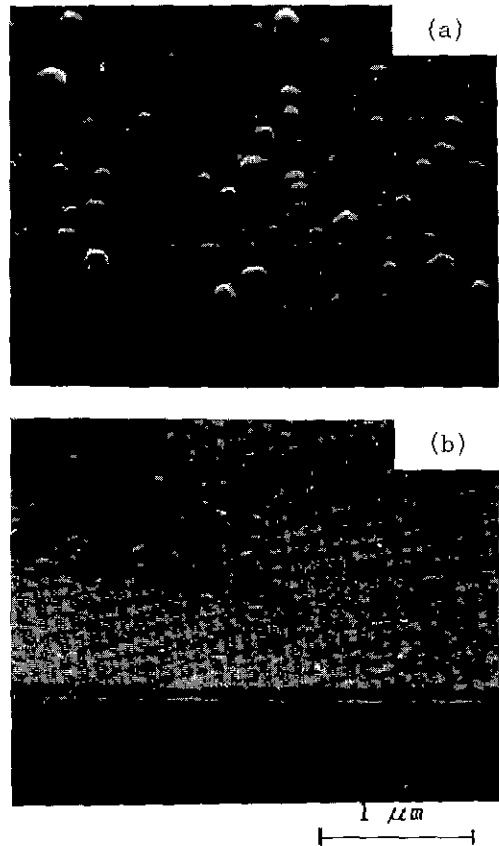


Fig. 7. Surface images of poly-Si with sheet resistance. (a) 12 ohm/sq and (b) 33 ohm/sq.

실리콘 표면의 물질이동에 의한 응집(agglomeration) 결과로 볼 수 있다. 또 Fig. 7과 Fig. 8로부터 WSi₂ 증착 전후의 표면상태는 다결정 실리콘의 표면상태에 의존해서, WSi₂/poly-Si 구조의 균일도("uniformity")는 WSi₂ 막

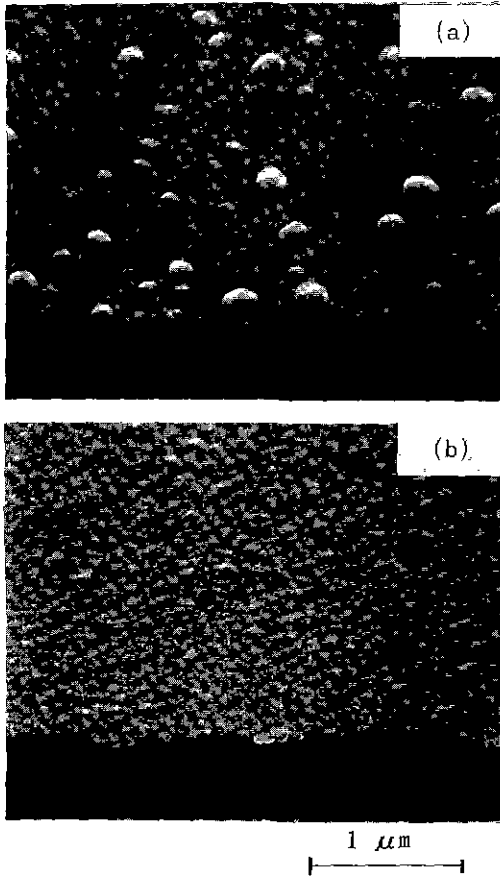


Fig. 8. Surface images of WSi_2 with sheet resistance of poly-Si. (a) 12 ohm/sq and (b) 33 ohm/sq.

질보다는 아래층인 다결정 실리콘의 표면상태에 의해 결정된다. 즉 WSi_2 의 증착 두께 균일도는 비교적 우수해서 다결정 실리콘층 표면이 인으로 과잉 도핑된 경우인 석출물 혹은 실리콘 응집으로 표면상태가 저하되고, 이것이 최종 WSi_2 /poly-Si 구조에 그대로 반영된다.

WSi_2 /poly-Si/ SiO_2 구조의 열처리 온도에 따른 산화막 내로의 텅스텐 확산을 Fig. 9에, poly-Si에 확산시킨 인의 WSi_2 막 쪽으로의 확산을 Fig. 10에, 그리고 WSi_2 와 SiO_2 에서의 불소의 지동을 Fig. 11에 각각 도시했다. Fig. 9는 N_2 분위기에서 $950^\circ C$ /30 min 열처리 후의 텅스텐 분포를 도시한 것으로 산화막내 텅스텐이 검출한계 이하로 산화막쪽으로 확산이 관찰되지 않아 WSi_2 의 아래층인 poly-Si 막이 텅스텐에 대해 우수한 확산장벽 역할을 하고 있다. 그러나 아래층인 poly-Si 층에 확산시킨 인은 WSi_2 쪽으로, 그리고 불소는 산화막쪽으로 온도 증가로 확산됨을 각각 Fig. 10과 Fig. 11로부터 알 수 있다. 인이 WSi_2

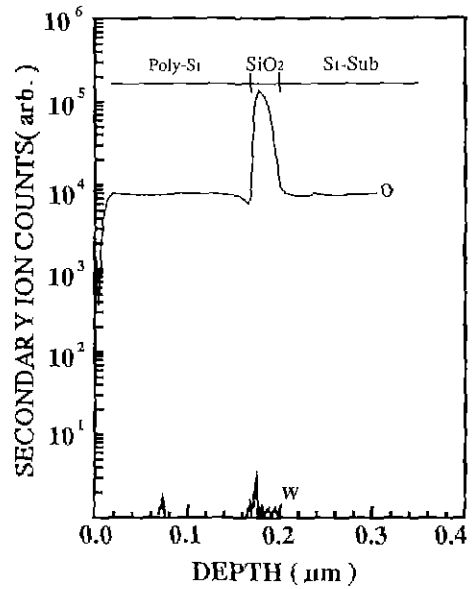


Fig. 9. SIMS depth profile for tungsten after annealing at $900^\circ C$ for 30 min in N_2 ambient.

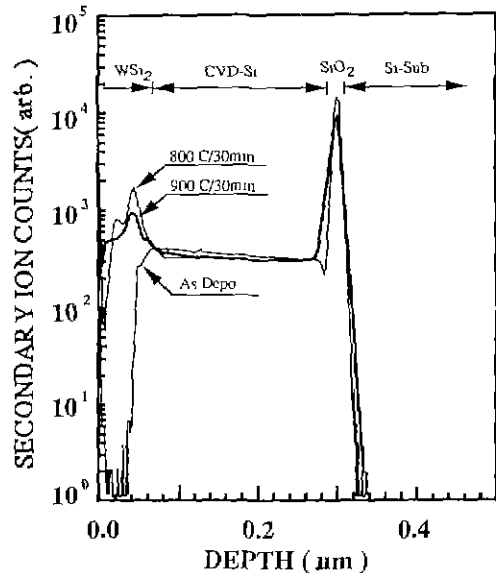


Fig. 10. SIMS depth profile for phosphorus with annealing temperature for 30 min in N_2 ambient.

막으로 확산되더라도 전체 저항값은 Fig. 6에서 알 수 있듯이 WSi_2 만을 증착시킨 시편의 면저항과 비슷해서 인에 의한 WSi_2 막의 저항 변화는 거의 없다고 할 수 있다. 불소는 온도 증가로 산화막쪽으로 이동해서 WSi_2 막의 불소 양은 온도 증가로 점차로 감소하나 산화막내의

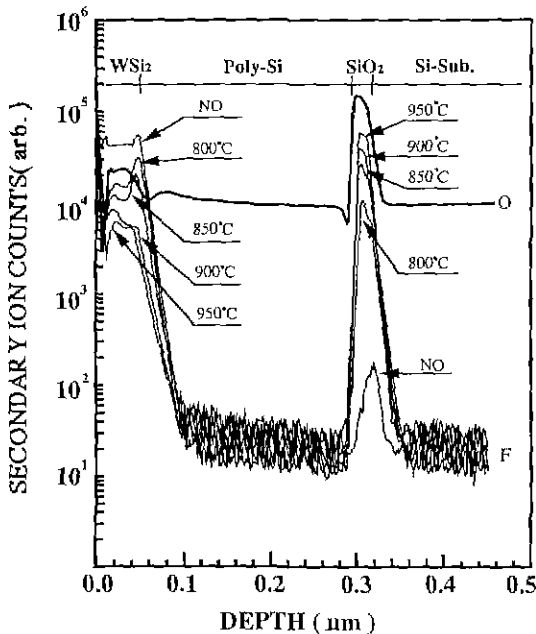


Fig. 11. SIMS depth profile for fluorine with annealing temperature for 30 min in N₂ ambient.

불소량은 오히려 증가해서, WF₆의 의해 WSi₂ 막내에 유입된 불소 성분이 열처리에 의해 산화막으로 이동한다.

이러한 산화막내의 불소 성분은 산화막 두께 및 유전을 등에 영향을 주어 산화막 특성을 변화시킬 수 있어, 산화막 신뢰성과 관련된 불소의 영향은 현재 연구 중이다.

4. 결 론

증착 실리콘 온도 및 두께, POCl₃ 확산조건, 그리고 WSi₂ 증착 유무에 따른 면저항 변화와 불소, 인 등의 확산 거동은 다음과 같다.

실리콘 기판에서의 면저항이 12 ohm/sq와 33 ohm/sq가 되도록 한 시편의 면저항은 두께 증가로 비저항이 다소 감소하거나 비슷하나, 55 ohm/sq와 110 ohm/sq 경우는 두께 증가로 비저항이 증가한다. 비정질 실리콘이 다결정 실리콘에 비해서 전체적으로 비저항값이 작지만, 두께가

50 nm이며 실리콘 기판의 면저항이 12 ohm/sq와 33 ohm/sq로 POCl₃ 확산시킨 경우는 다결정 실리콘보다 오히려 비저항이 더 크다. 16 nm의 산화막 위에 직접 CVD-WSi₂ 증착 직후의 면저항은 약 90 ohm/sq 정도였고, N₂ 분위기에서 900°C/30 min 열처리 후는 약 30 ohm/sq로 면저항이 감소한다. WSi₂/poly-Si 게이트 전극의 전도성은 WSi₂ 막에 의해 결정되나 후속 열처리 하지 않은 것은 CVD 실리콘의 두께 및 저항에 영향을 받는다. 다결정 실리콘의 표면 형태는 POCl₃ 확산에 따른 면저항이 작을수록 나쁘고 이것은 WSi₂ 막의 상태에 역시 영향을 준다.

열처리에 따른 WSi₂ 막에서 게이트 산화막쪽으로 텅스텐의 확산은 없지만, 불소는 산화막쪽으로 확산된다. 후속 열처리로 다결정 실리콘내의 인 성분은 WSi₂ 막 쪽으로 확산이 되나 poly-Si/WSi₂ 전극의 면저항값은 거의 변화가 없다.

REFERENCES

1. T. Shibata, K. Heida, M. Konaka, IEEE Trans. Electron Devices, **ED-29**, 531 (1982).
2. J.S. Park, W.S. Lee, D.J. Jung et al., "Thin Oxide Degradation by Ti-Polycide Gate in MOS Device," Kor. Inst. Tele. Elect., in press
3. P.J. Wright and K.C. Saraawat, "The Effect of Fluorine in Silicon Dioxide Gate Dielectrics," IEEE Trans. Electron Devices., **36**(5), 789-889 (1989).
4. H.J. Whitlow et al., "Fluorine in Low-pressure Chemical Vapor Deposited W/Si contact structures: Inclusion and Thermal Stability." Appl. Phys Lett, **50**, 1497-1499 (1987).
5. M. Ushiyama, Y. Ohji, T. Nishimoto, K. Komori, H. Murakoshi, H. Kume and S. Tachu, "Two Dimensional Inhomogeneous Structure at Gate-Electrode/Gate-Insulator Interface causing Fowler-Nordheim Current Deviation in Nonvolatile Memory," Inter. Rel. Phys 29th Annual Proc., p. 331-336 (1991).
6. J. Torres, O. Thomas, D. Tourdon, M. Mardar, A. Perio, J.P. Senateur, "Phosphorus Redistribution in a WSi₂/Polycrystalline-Silicon Gate Structure during Furnace Annealing." J. Appl Phys **63**(3), 732-742 (1988)