

電力系統 Simulator의 製作技術 및 國産化 展望

조 길 상*
 (*포스콘기술연구소 선임연구원)

1. 서 론

80년대 후반에 들어와 세계의 우수전력회사들은 Digital Simulation에서 구현할 수 없는 계통운용상의 가상모의시험 및 전력계통의 SVC, PSS, HVDC, Digital 보호계전기등을 실시간 검증시험할 수 있는 Simulator를 개발 운영하고 있으며 이에대한 지속적인 연구가 진행되고 있다.

최근 국내에서도 실시간 모의할 수 있는 전력계통 Simulator의 필요성을 인식하고 설치의 타당성과 국산화 방안을 한전기술연구원과 기초전력공학(연) 등 산학연이 협력하여 설치검토하는 것은 아주 다행한 일이다.

본 특집에서는 최신의 실시간 Simulator 중에서 대규모의 전력계통 구성이 가능한 대표적인 일본의 후지와 히다찌가 공동개발하여 관서전력, 동경전

력, 중부전력에 설치한 APSA(Advanced Power System Analyzer)와 캐나다의 Manitoba Hydro Research Center에서 개발하여 Ontario HYDRO 등에 설치한 RTDS(Real Time Digital Simulator), 그리고 미쓰비시에서 개발하여 동경전력에 설치한 PPSCS(Parallel Processing Super Computing Simulator)에 대하여 논하고 이들의 기술분석을 통해 국산화 전망의 가능성을 논하고자 한다.

2. 실시간 전력계통 Simulator의 기술검토

2.1 정의와 구성

실시간 전력계통 Simulator란 계통현상과 일정한 시간으로 피시험 대상장치와 상호작용이 가능한 모의 시험장치이다.

실시간 전력계통 Simulator는, 그림1에서와 같이 크게 나누어, Simulation 전체를 운영하고 감시, 제어하며 계측하는 운용/감시/제어/계측부, 전력계통의 각 Unit를 Simulation하는 Simulation부, 그리고 피시험대상장치와 상호작용을 할 수 있도록 Interface하는 Analogue/Digital Converter 및 증폭기부로 구성된다.

2.2 실시간 전력계통 Simulator의 구분 및 구현방법

전력계통 Simulator의 종류는 구현하는 방식에 따라 HYBRID 방식과 Digital 방식으로 구분된다.

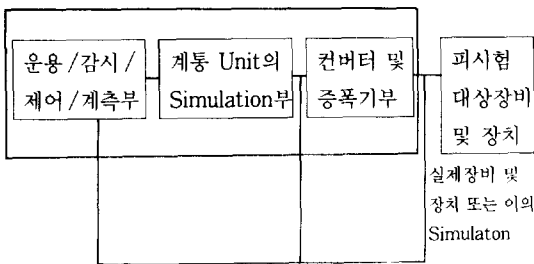


그림 1. 실시간 전력계통 Simulator의 구성

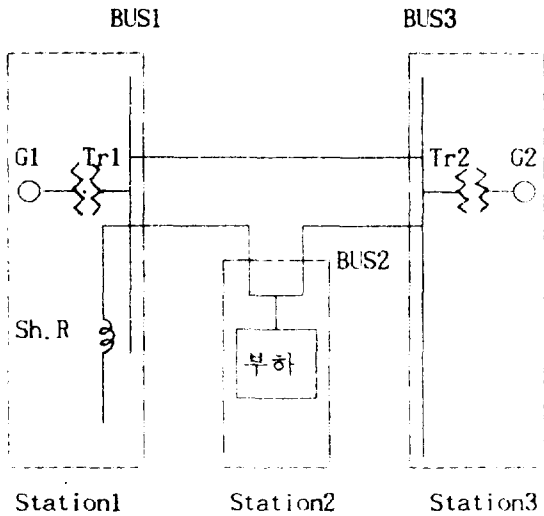


그림 2. Simulator 대상의 전력계통도

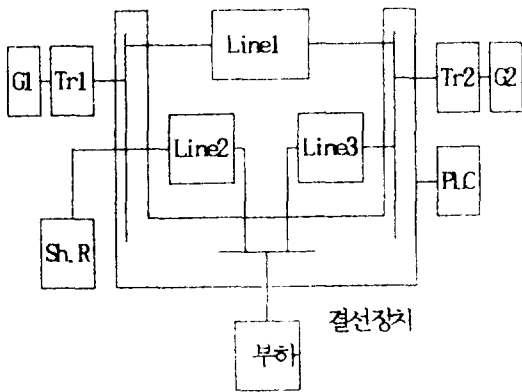


그림 3. 그림 2에 대한 APSA의 Hardware 대응

이중 운용/감시/제어/계측부와 컨버터 및 증폭기 부는 어느방식이든 동일하고 계통 Unit를 Simulation하는 부분은 구현방법에 따라 달라진다.

Processor로 연산하는 연산부와 전기, 전자소자의 Analog 회로를 조합, 구성하여 회로상에 실제의 Analog 신호인 전압, 전류(50V, 0.0125A)를 흘리는 방식을 HYBRID 방식이라고 하고, Processor를 Parallel로 구성하여 완전히 Program에만 의존하는 방식을 Digital 방식이라 한다.

그림3, 4, 5는 각각 HYBRID 방식인 APSA와 Digital 방식인 RTDS, PPSCS가 그림 2의 3BUS

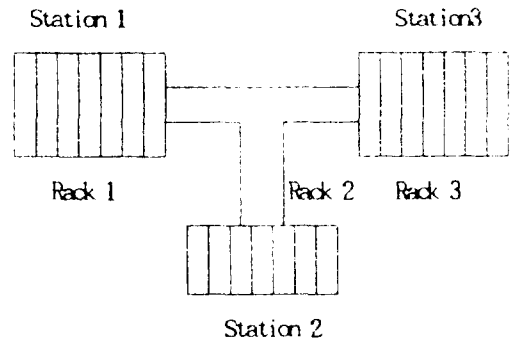


그림 4. 그림 2에 대한 RTDS의 Hardware 대응

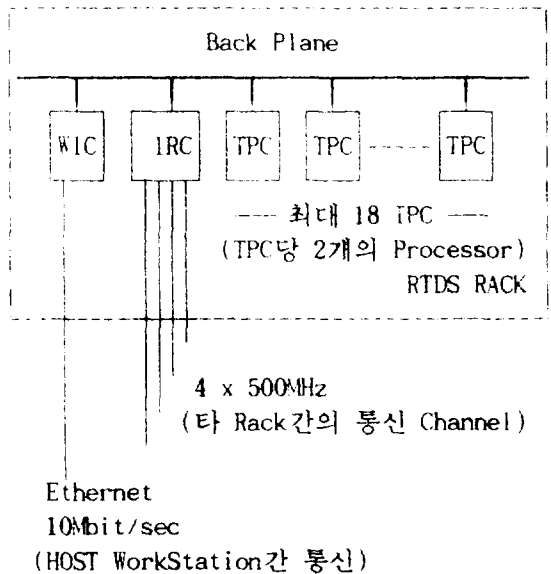


그림 5. RTDS Rack의 내부구성

로 구성된 전력계통을 Simulation시에 Hardware 구성과의 대응관계를 나타낸다. 그림2는 3개의 Station과 2기의 발전기(조속기특성, 여자기특성, 축계특성, 터어빈-보일러특성), 부하(확률부하, 정 Impedence, 정전류, 정전압, 다항식부하), Sh. R로 구성된 계통을 표현한다.

그림 3은 그림 2의 전력계통을 HYBRID 방식인 APSA에서 구현한 Hardware 대응관계를 나타낸다.

여기서 발전기 G1, G2는 조속기특성, 여자기특성, 터어빈-보일러특성, 축계특성등을 연산하는 80286+80287로 구성된 4Set의 Processor와 3상 정현파를 발생하는 전압발생장치, Processor의 신

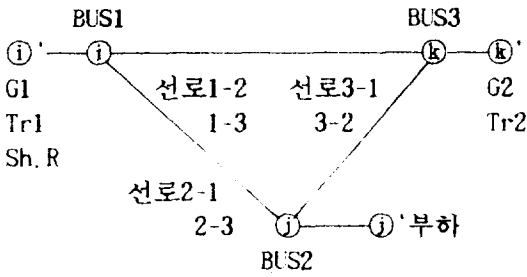


그림 6. 그림 2에 대한 PPSCS의 Hardware 대응

호를 증폭하는 증폭기, 발생된 전류, 전압을 검출하여 Processor에 입력하는 Sensor로 구성되고 송전선로 모델은 저항, 리액터, 콘덴서와 이를 가변하기 위한 절환스위치로 구성된다. 또한 변압기와 Sh.R은 포화특성을 나타내는 리액터와 Tap으로 구성한다. 부하모델은 확률연산, 다항식연산, 지수연산을 하는 Processor와 유효전력과 무효전력을 구현하는 소자로 구성되고, 절선장치는 Relay와 BUS Bar로 이루어진 Matrix로 구성되어 PLC에 의해 제어된다.

그림 4는 그림 2의 전력계통을 Digital 방식인 RTDS에서 구현한 Hardware 대응관계를 나타낸다.

여기서 Station 1, 2, 3은 Rack 1, 2, 3과 대응되고 발전기, 부하, Sh.R, 송전선로, TR은 그림 5에서 RTDS의 Rack내의 TPC Processor에 Simulation 계산량에 따라 대응된다. 즉, 발전기는 발전기 주회로에 1개, 조속기특성에 1개, 여자기특성에 1개, 터어빈보일러 특성에 1개등 4개의 Processor, 부하, Sh.R, TR에 각각 1개의 Processor, 송전선로에서는 π 등가형 일경우는 별도의 Processor가 필요하지 않고 단지 분포특성을 표현하기 위해서는 1개의 Processor가 대응된다.

그림 6은 그림 2의 전력계통을 Digital 방식인 PPS- CS에서 구현한 Hardware 대응관계를 나타낸다.

여기서 BUS 1, 2, 3과 그 BUS간의 송전선로는 i, j, k에 대응되고 Station 1의 G1과 Sh.R은 CPU i'에, Station 2의 부하는 CPU j'에 Station 3의 발전기는 CPU k'에 대응된다.

2.3 최신개발된 대표적인 실시간 전력계통 Simulator

2.3.1 APSA(Advanced Power System Analyzer)

그림 7은 HYBRID 방식인 APSA의 구성도를 나타내며 다음은 이에대한 각 구성 Unit의 개략적인 설명이다.

1) HOST Computer

- 25MHz, 7. 4MIPS
- 개량Y법 입력에 준하여 입력형태 실현
- 해석장치에 적합한 축약수법의 채용
- 양면 SIZE의 확대와 계통 결합기능
- Data 복사기능
- 계통도, 기기정수, AVR, GOV 등 설비정수의 Data Base화
- 계통도, 계량 Y법 계산결과와 출력기능

2) DBS Computer

- 시험중의 각종 계측신호와 상태신호를 Digital화 하여 기록
- 필요 최소의 결과 Data를 읽어들이 수 있도록 함.
- 순시치 및 On/Off신호, 기록 20MB/64CH
- 실효치 및 On/Off신호, 기록 20MB/64CH
- 특수신호 기록용(HVDC, SVC등) 20MB/64CH
- 실효치 신호기록용(주요신호)20MB/64CH

3) Workstation

- 75MIPS
- Multi-User, Touch Screen User Control
- User와의 원활한 Graphic Interface
 - Network Drawing
 - Parameter 설정
 - Sequence 실행

4) FEP

- HOST Computer의 부하경감을 위해 각 제어장치와 모델간의 Interface 장치

5) 계측절체반

- 변환기와 신호절환 Unit로 구성

6) System 제어장치-PLC 구성

7) 하이브리드 발전기

- 대용량 : 50V, 0.5A, 축계없음.
- 기준용량 : 50V, 0.0125A, 축계없음.
- 기준용량 : 50V, 0.0125A, 축계없음.

8) 디지털 발전기 50V, 0.5A, 0.0125A

9) 변압기

- 발전기용 : 50V, 0.5A, 0.0125A, 3상, 발전기 반에 수납.

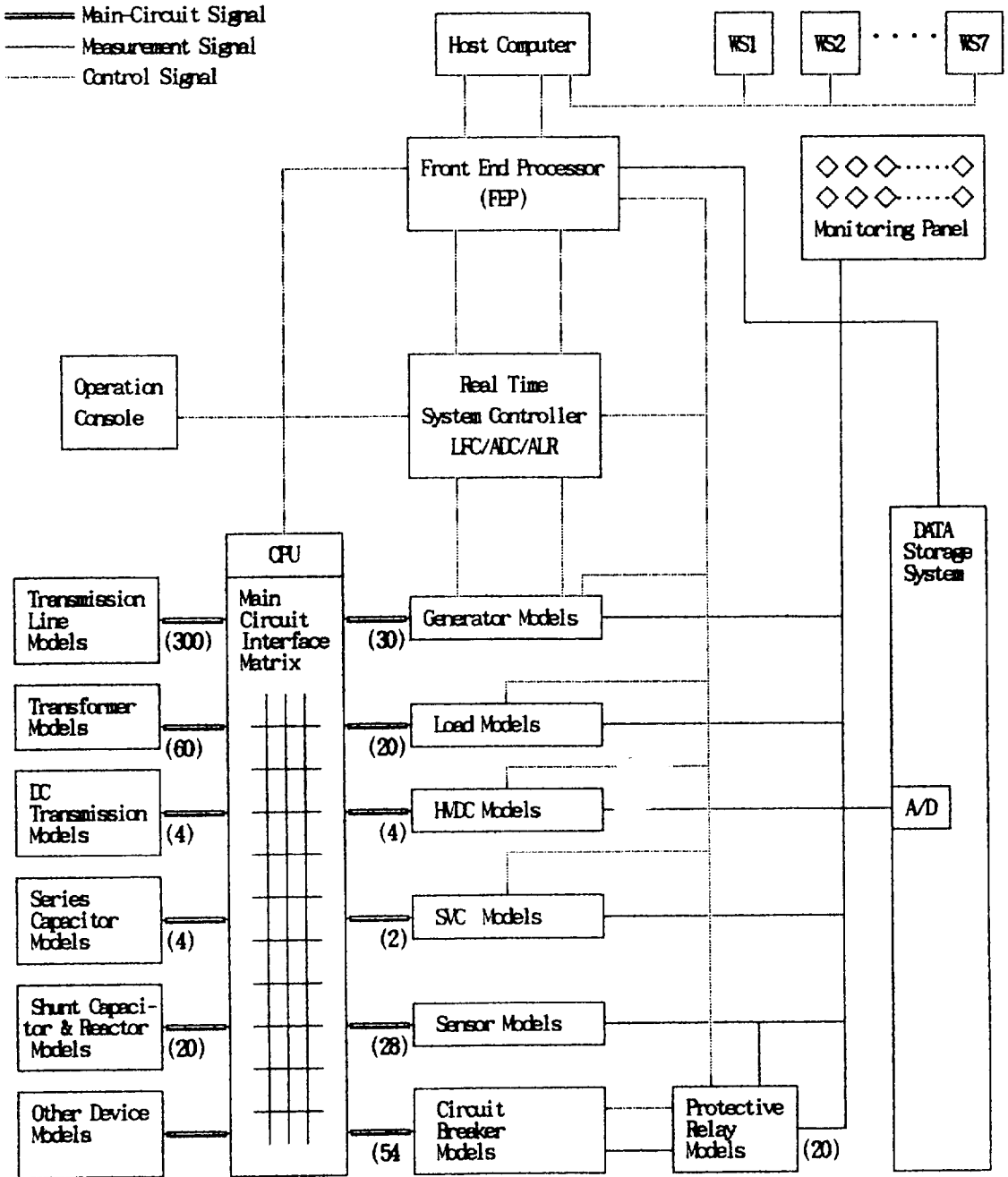


그림 7. APSA의 구성도

- 저압용 : 50V, 0.0125A, 단상, 접속절환가능, 수동결선
- 10) 차단기
- 발전기용 : 50V, 5A, 전류영점차단

- 송전선용 : 50V, 5A, 전류영점차단
- 고장발생용 : 50V, 15A, 고장점저항부착
- 11) 송전선로
- 2회선 상세형 (13%, 6.5%, 1.3%, 0.44%) :

- 50V, 0.5A, 주파수한계 >1KHz
- 2회선 등가형(13%, 6.5%, 1.3%, 0.44%) : 50V, 0.5A, 주파수한계 >1KHz
- 2회선 불평형형(6.5%, 1.3%) : 50V, 0.5A, 전류영점차단
- DC용 : 자기및외부 정류, 12상, 쌍극성
- 12) 부하모델
 - 50V, 0.25A, 주파수특성, 전압특성(정 Z, I, P, Q), 자동결선, 자동설정
- 13) 보호Relay 모델
 - 디지털형 각종특성, 차단기에내장, 센서 Unit 와 접속, 자동설정
- 14) SSC-부하제한, 전원제한기능, 자동설정
- 15) 피뢰기
 - 저압형 : 60-82.5V, 2.5V Step
 - 고압형 : 82.5V-105V, 2.5V Step, 수동결선, 수동설정
- 16) 센서 Unit
 - 3xV, 3xI, Vo, P, Q, 수동결선, 수동설정
- 17) Static Var Compensator
 - 50V, 60Hz, 32.4VA(lead), 21.6VA(lag)
- 18) 고조파발생장치
 - 50V, 0.0125A, 0.001-120KHz, 수동결선, 수동설정
- 19) 무한대모션장치
 - 50V, ±8A연속, 30A 2초, 0.5Step설정가능, 자동결선, 자동설정
- 20) SDR-전원제한기능
- 21) SrC
- 22) NR-가변저항, Tap구성
- 23) Sh.R
 - 가변리액터, Tap구성
- 24) S.C
 - 가변콘덴서, Tap구성
- 25) 회선간결합장치
- 26) 자동결선장치
 - Block Unit : 50V, 5A, 18x4 교접
 - Central Unit : 50V, 5A, 자동선택
- 27) 직류안정화전원장치
 - 자동결선장치용 : DC24V, 125A
 - 실제 Relay용 : DC110V
- 28) μ ST-IGBT Repeater

29) 원격감시 및 제어장치

- PLC 구성

2.3.2 RTDS(Real Time Digital Simulator)

그림 8은 Digital 방식의 하나인 RTDS의 구성도를 나타내며 다음은 이에대한 각 구성 Unit의 개략적인 설명이다.

1) Workstation

- 40MHz CPU
- UNIX Operating System
- Ethernet Interface Port
- X-11 Based Window Manager

2) TPC(Tandem Processor Card)

모델을 모의연산하고 피시험 대상기기와 전압, 전류, 증폭기를 통해 신호를 Interface하는 역할을 한다.

- Back Plane : VMS BUS Interface
- Digital 입,출력 & Analog 입력
 - Analog Input 2CH
 - Digital Input /Output 각 32CH
- Digital Signal Processor Program & Data Memory
 - Card당 2개의 DSP(NEC 77240)

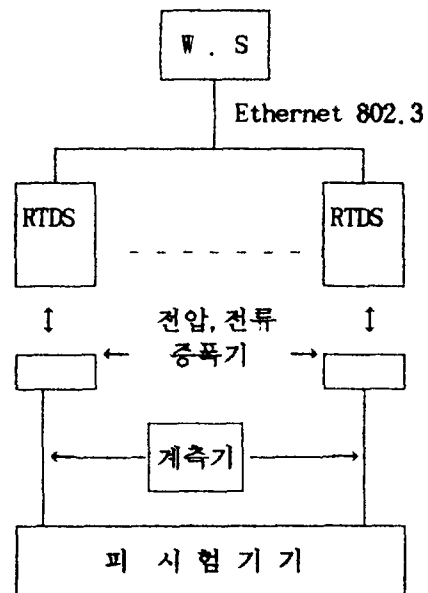


그림 8. RTDS의 구성도

- DSP당 MAX 22 MFLOPS
- DSP당 40KByte Memory
- Dual Ported Memory – DSP 간 상호통신용
- Decoding & Timing 처리를 위한 VLSI
- Analogue. 출력채널 – DSP당 4채널

3) WIC(Workstation Interface Card)

Workstation과 RTDS간 Back Plane내 Processor로 부터의 통신요구를 처리한다.

- Back Plane Interface – VME BUS Status LED
- Back Plane 통신을 처리하는 VLSI
 - 다른 TPC간의 Data 교환
 - 각 Processor는 Data를 보내거나 받을 준비를 할때 WIC에 신호를 보낸다.
- Low Level M68020 미니Computer
 - Multitasking O/S
 - 전체 Rack을 진단
 - Workstation과 TPC내 Processor 간 Data 통신을 위한 방향설정
 - Workstation과 Processor 간 통신기능만 담당
- Simulation Time-Step Clock
 - 4MB RAM, 256KB Flash, Δt Clock
 - Simulation 동안 신호전송과 관련한 모든 시간동기는 Simulation이 시작되기 전에 Software에 의해 미리 정해진다.
 - Simulation의 Step은 User에 의해 미리 정해지고 Off Line Software는 RTDS가 Simulation을 할 수 있는지, 없는지를 판정, 또한 최소의 Time-Step을 정할 수 있다.

• Ethernet LAN Port Controller
4) IRC(Inter Rack Communication Card)

Rack간의 통신을 처리기능을 담당한다.

- Back Plane Interface – VME BUS
- Status LED
- Coaxial Communication Port
 - Wiring의 혼잡을 줄인다.
 - Communication의 물리적 결선구성 Map은 Workstation File에 저장된다.
 - 4CH, 32bit로 500MHz
- Receiver / Transmitter Pair
 - Error bit가 자동삽입, 자동제거됨.

5) 증폭기 및 계측기기

피시험기기와 상호 신호를 주고받도록 하고 계측을 할 수 있도록 하는 Unit이다.

- 전류 : 최대 연속 정격 20A rms
- 전압 : 최대 연속 정격 120V rms

2.3.3 PPSCS(Parallel Processing Super Computing Simulator)

그림9는 Digital 방식의 하나인 PPSCS의 구성도를 나타내며 다음은 이에대한 각 구성 Unit의 개략적인 설명이다.

1) Workstation

- SUN의 VME BUS와 NCUBE의 HOST Sub System간은 DR-11W BUS로 연결
- 계통구성도를 Graphic으로 입력
- 각 기기정수 및 Parameter 설정
- Operator On-Line Event 조작
 - Network Line 임피던스 변화
 - 선로 차단, 발전기 차단
 - AVR, 조속기의 기준값 변화
 - SVC의 Parameter 변화
 - 부하변화(전력값, Impedence 치변화)
 - 분로리액터 스위칭
 - Power Condensor 스위칭
 - 차단기 스위칭
 - Simulation의 정지와 재시동
 - 정하는 시간의 Data 저장과 그 시간으로 부터의 재시동

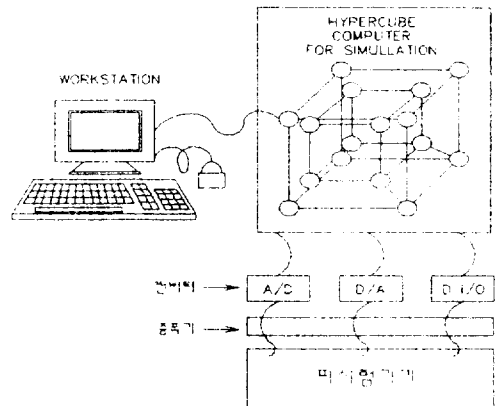


그림 9. PPSCS의 구성도

- 표시된 화면의 변화
 - 시험결과 Display
 - Trend, 계기형태 Graph
 - 시험결과 저장
 - 각 정수 및 Parameter 저장
- 2) HYPERCUBE Computer
- Processor의 최대수 8192
 - 최대수행능력
 - 단정도 27GFLOPS
 - 배정도 18.5GFLOPS, 6000MIPS
 - HYPERCUBE Network 구조
 - Processer당 수행능력
 - 단정도 3.5MFLOPS
 - 배정도 2.4MFLOPS, 7.5MIPS
 - 20MHz, 64bits
 - 최대 Memory 32GBytes
 - Workstation 으로부터 Parameter 및 기기 정수 Download
 - 각 모델의 Simulation 실행
 - 피측정기와 Interface

- 3) Analog /Digital Converter
- D/A Converter
 - Data는 각 BUS의 Processor에서 매 Step 마다 전송
 - Data는 실효치에서 3상동기 아날로그 값 으 로 실시간 변환
 - 순시치는 Power Amplifier를 통해 Analogue 장비에 연결
 - A/D Converter
 - Data는 순시치가 Digital 평방근으로 변환되고 모든 적분Step에서 미리결정된 BUS로 전송
 - D/IO(Digital Input /Output)

2.4 실시간 전력계통 Simulator의 검토 및 분석

최신의 전력계통 Simulator를 종류별로 해석범위와 Network의 표현방법, Hardware구성, Software구성등의 항목으로 비교를 하고자 한다. 그림 10은 전력계통의 현상과 이의 시간영역에서의 비교를 나타내고 System별 해석의 범위를 나타낸다. 즉, RTDS는 과도현상의 해석이 가능하고 APSA

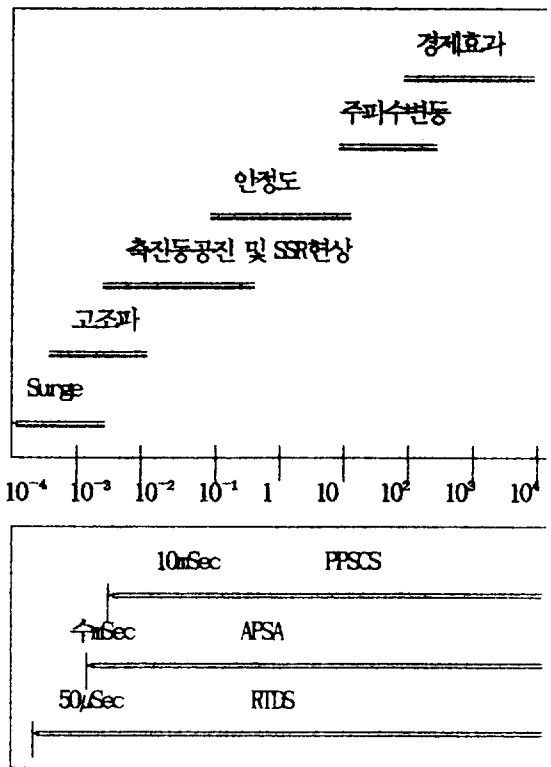


그림 10. System 별 전력계통의 현상과 이의 시간

는 Surge특성 일부와 고조파특성 일부의 해석이 가능하며, PPSCS는 축전동공진 및 SSR현상 일부의 해석능력이 가능하다.

표1은 System 종류별 Network 표현방법, Hardware, Software구성에 대한 비교를 나타내고 각 방식별 고려사항은 HYBRID 방식인 APSA에서는 정격전압과 전류가 각각 50V, 0.0125A로 저전압, 저전류이므로 Switch와 Relay등의 접촉부에서 전압강하 방지를 위해 저저항으로 하는것과 반도체소자등의 내전압을 고려하고, 실기기와 자기포화특성을 똑같이 하기위해 고투자율, 박형의 특수 Core를 제작하는 것이며, Digital 방식인 RTD-S, PPSCS에서는 Parallel Processing의 Hardware환경과 Software 개발 Tool의 지원이라 할 수 있겠다.

3. 전력계통 Simulator의 제안

앞에서 살펴본 실시간 전력계통 Simulator는 그

표 1. 각 System별 비교표

구분		A P S A	P T D S	P P S C S
Network의 표현		가변 R,L,C 등 가회로인 송전선로와 변압기 Module의 연결 그대로 표현.	EMTP에서 적용하는 Domel식으로 R,L,C를 시간지연의 전류원과 저항으로 표현하고 반복법을 사용하지 않음.	PSS /E와 같은 Program에서 적용하는 기법이요, 인접 모선만을 고려한 키르히호프법적 적용, 반복법사용(Gauss-Seidal법)
Hardware 구성	운용 / 감시 / 제어 / 계측부	<ul style="list-style-type: none"> • Host • DBS • WorkStation • 결선장치 • 감시제어 장치 • 감시 제어반 	<ul style="list-style-type: none"> • Work Station 	<ul style="list-style-type: none"> • Work Station
	Simulation 부	<ul style="list-style-type: none"> • Processor 응용 • 전기전자 소자응용 <ul style="list-style-type: none"> -가변저항, 가변 콘덴서, 가변 리액터, 절환 Tap, Lamp류, 증폭기류, FET, MOSFET, Thyristor(정격 50V, 0.0125A) • 계장류 <ul style="list-style-type: none"> -Ranel, 계기류, Relay, Lamp류, 코넥터, Wire, 스위치류 • 기타 	<ul style="list-style-type: none"> • Rack 형의 Parall Processing Computer 	<ul style="list-style-type: none"> • HYPERCUBE형의 Parallel Processing Computer
	컨버터 및 증폭기	고속 A/D, D/A, Digital I/O 와 전류증폭기(최대 20A rms), 전압증폭기(최대 280V rms)	좌동	좌동

구분		A P S A	P T D S	P P S C S	
Software 구성	APPLICATION S/W	운용 / 감시 / 제어 / 계측부	<ul style="list-style-type: none"> • User 조작 용이한 MMI Tool제공 • 계통구성 조작 • 각기기의 정수 및 Parameter 설정 • On-Line Event 제공 	좌동	좌동
		Simulation 부	<ul style="list-style-type: none"> • 수식연산 <ul style="list-style-type: none"> -행렬식, 다항식, 미분방정식, 지수함수, 적분식, 대수식 • 기능모의 <ul style="list-style-type: none"> -수위조정, 시간조정, Sequence 조정, 위상조정, Data크기조정 	좌동	좌동
	SYSTEM S/W	운용 / 감시 / 제어 / 계측부	O/C 일부 Unix계열	좌동	좌동
		컴파일러	일반 C, fortran 컴파일러	• RTDS Parallel Processor 용 Fortran 컴파일러	• HYPERCUBE Parallel Processor 용 Fortran 77 컴파일러
		Simulation 부	O/S 모델에 따라 Single, Multitasking	• Paralle 1 Processing O/A	• Pasralle 1 Processing O/S
컴파일러	모델에 따라 어셈블리어, Ladder Diagram	• Workstation에서 Compile하여 Code를 Down Load	좌동		

종류별로 장점이 있는 반면에 몇가지의 제약들을 가지고있다. 즉, HYBRID 방식인 APSA는 제작 및 설치비용이 너무많이 들고(300억원), 설치공간을 너무 넓게 차지하며(1000 m²), 운용비가 과대하게 소요되기 때문에 발전기의 경우 20~30기 까지가 적정규모라할 수 있다. 따라서 아무리 기술수준이 발전하더라도 이같은 비용 및 설치공간의 제약을 줄이기는 어렵다.

이에반해 Digital 방식인 RTDS는 비용(HYBRID식의 1/4배)과 설치공간(HYBRID식의 1/10), 운용비가 적게들며 Simulation 대상에 대한 규모도 제약이 없으므로 APSA에 비해 아주 유리하다. 그러나 계통 Network의 모델링을 EMTP에서 적용한 Domel식으로 표현하기가 까다롭고 Software에 있어서 User가 모델의 추가나 수정보완이 거의 불가능하기 때문에 불편한면도 있다.

또한 PPSCS는 RTDS와 거의 동일하고 Network의 모델링도 PSS/E와 같은 Program기법의 적용으로 Software의 추가, 수정이 용이하여 모든 면에서 유리하다. 그러나 반복법의 사용으로 1Step이 10mSec로 축진동공진과 SSR의 일부현상 까지만 Simulation 할 수밖에 없어 제약이 따른다.

이에 언급된 사항들을 고려할때 이상적인 실시간 Simulator는 제작비용, 설치공간, 운용비등이 경제적이여야하며, Software 측면에서 모델링의 추가, 수정이 용이하여 최소한 APSA의 해석영역과 같이 Step당 수 mSec로 계산하여 Surge의 일부특성해석이 가능해야한다.

이와같은 조건을 만족하는 것으로는 Parallel Processing을 활용한 Digital 방식이 적합하다. 더욱이 최근 Hardware의 기능과 성능향상으로 연산속도와 명령처리를 초고속화하고 Parallel Processing의 환경제공에 대한 Memory 공유, 독립 Cash Memory, 초고속 BUS, 초고속 I/O처리기능등을 제공하며 Software 측면에서 Real Time Parallel Processing O/S의 개발, 다양한 Library의 제공으로 고급언어 사용으로도 고속처리의 가능, 용이한 개발 Tool의 제공등으로 Digital 방식의 접근을 더욱 가깝게한다.

또한 2000년대초에 Parallel Processing Hardware 기술은 현재의 Super Computer 보다 훨씬 성능이 좋은 Computer가 서류가방 크기만하게 Size

가 준다고 하며, 이는 10년후에 가서는 전력계통 Simulator를 마치 오실로스코프와 같이 현장에 가지고 가서 Simulation을 할수있도록 Portable 형으로 할수있다는 예상이다. 즉, Panel 1면으로 현재의 RTDS나 PPSCS의 수배이상의 성능을 발휘할 수 있을것이다.

따라서 미래형 Simulator까지 고려한다면 Digital 형 Simulator가 고찰되어야할 것이다

이에따라 제안가능한 미래지향적인 Digital 방식은 첫째 최근 개발된 캐나다의 RTDS Rack구조인 Parallel Processing이면서 공유 Memory와 초고속 BUS, 초고속 I/O의 지원이 가능한 SunSparc 2000 Center의 적용과 둘째, 동경전력의 HYP-ERCUBE 식과 유사한 구조의 구성이 가능하고 성능면에서 수십배 향상된 Transputer 9000 등의 적용을 제안하고 싶다.

4. 국내업체현황 및 국산화전망

실시간 전력계통 Simulator의 국산화를 전망하기 위해서는 먼저 국내업체의 기술력과 경험을 먼저 고려해야 할것이다.

만일 구현방식을 APSA 방식인 HYBRID 형으로 고려한다면, 응용/감시/계측/제어부분의 소·중·대형 Computer와 DAS(Data Acquisition System), 계측기, PLC로 종합구성된 System Integration 기술에 대해 국내여러 Maker에서 이런 류의 Project는 수행한 경험이 많음을 볼때 Hardware 자체를 국산화하는 것 이외에는 어려운 문제가 아니다. Simulation 부분의 발전기와 부하에서의 Processor 응용은 역시 국내의 여러 Maker에서 Motor Driver나 계측기등에 적용한 경험이 많다. 전기·전자소자는 비용과 시간을 고려하여 소재 자체는 외국에서 도입하고 이들 소자를 이용하여 설계하고 제작하는 일은 국내 Maker에서도 충분히 가능하다.

또한 구현방식을 RTDS와 PPSCS 방식인 Digital 형으로 고려한다면, 앞에서 언급한 Parallel Processing을 구현하는 Hardware의 성능과 기능향상, Software의 용이한 개발환경을 고려할때 Parallel Processing을 이용하는 Multi Graphic이나 Radar 추적장치등 일부 몇몇응용 분야에서

Prototype이 개발되었고 여러분야에 실제적용을 활발히 하고있으므로 전력계통 Simulator의 Digital 방식의 구현도 어렵지않다.

5. SIMULATOR 관련기술의 타분야 파급효과

HYBRID 식의 기술 파급효과는, Hardware 적으로 중·대·소형의 Computer와 PLC 및 계측장비와 초고속 Processor의 응용, 정도가 높은 전기·전자·자기소자 등이 복잡하게 구성된 대규모 System이며, Software적으로는 각각의 기능을 가진 CPU가 단독 또는 연계하여 시간동기되어 Real Time Multitasking으로 기능수행을 하는 복잡한 시스템이다, 또한 전력계통에서는 계통전반의 물리적 현상을 파악하고 운용과 제어에 대한 Algorithm 분석기술을 요하기때문에 직·간접으로의 기술 파급은 아주 크다고 할 수있다. 먼저 운용/감시/제어/계측부를 통한 기술로서는 전력계통의 SCADA, 배전자동화, 배전종합보호제어 시스템 및 EMS 등에 응용이 가능할것이다. 그리고, 시뮬레이션부의 각 모델부는 그 자체가 약간의 변형으로 실제의 제어장치로 사용이 가능할 것이다. 즉, 발전기 모델에서는 여자기제어장치, 조속기제어장치, 터어빈-보일러 제어장치를, 보호계전기모델은 최근 상당히 부각 되고 있는 디지털보호계전기에, SVC모델은 SVC에, HVDC모델은 HVDC개발시에 활용이 가능할것이다. 또한 간접적인 파급효과로는 피뢰기와 변압기, 송전선로모델등에서의 물리적인 현상의 분석을 통해 중전기분야에서 설계시에 반영이 가능할 것이고, 전력계통분야 외에도 철강·화학·시멘트분야의 대규모 Plant에의 적용이 가능할 것이다.

또한 Parallel Processing을 응용한 Digital 방식의 기술파급효과도 HYBRID 방식 못지않게 크다고할 수있다. 즉 향후의 모든 대규모의 시스템의 각종 현상의 분석과 종합적인 제어가 점점 실시간을 요구하고 있으며 Compact화 되고있다. 예로서 실시간 전력안정화장치가 벌써 미국에서는 개발중에 있으며, 서울시 전체의 교통신호제어장치나 그 외에 화학계통의 분자의 상호작용에 관한 해석분야, 일기예보분야, 증권분석분야, 음성 및 영상인식분야, 자원탐사분야, 원자핵 반응연구분야에도 응

용이 가능할것이다

6. 결 론

실시간 전력계통시뮬레이터를 국산화한다는 것은 HYBRID 방식이든 Digital 방식이든 다음과 같은 이유로 그다지 어려운 문제 만은 아니다.

먼저 HYBRID 방식에서는 첫째, 운용/감시/제어/계측시스템은 적용경험이 많고, 둘째, Processor 응용은 Motor의 Driver나 계측장치등에 많은 적용을 하고 있으며 셋째, 전기·전자·자기소자의 응용에서도 기술수준이 상당히 높아져있다.

또한 Digital 방식에서는 첫째, Hardware적으로 Processor의 성능이 초고속화하고(100MIPS, 24 MFLOPS), Parallel Processing의 환경제공(공유MEMORY, 독립 Cash Memory, 초고속BUS (500MByte/Sec), 초고속 I/O(80 MByte/Sec)으로 종래의 10여배이상의 향상이 있으며 둘째, Software에서는 초고속 처리에 의해 고급언어의 사용으로도 Program의 작성이 가능하며, Library와 Tool의 제공으로 모델링의 수정 추가가 보다 용이하게 되었고 셋째, 국내에서도 점차 Parallel Processing에 대한 인식이 높아져 화상인식장치 등에 Prototype을 개발하였고, Radar추적장치 등 상품개발도 하고있다.

따라서 전력계통 Simulator를 상품화 한다는 것은 기술적인 문제라기보다 의지의 문제라고 생각하며, 오히려 보다 좋은 개발환경에 따라 종래방식보다 더좋은 성능의 Simulator도 개발가능할것이다.

참 고 문 헌

- [1] R. Kuffel: "A REAL TIME DIGITAL SIMULATOR FOR TESTING RELAYS", Transactions on Power Delivery, Vol.7 No. 1, January 1992.
- [2] 또이 히로스케 외: "고성능 계통 Simulator 특집", FUJI 시보, Vol.63 No.3, March 1990.
- [3] 윤용호, 모상만: "병렬처리컴퓨터시스템 특집", 전자과학, JUNE 1991.
- [4] HISAO TAOKA: "REAL-TIME DIGITAL SIMULATOR FOR POWER SYSTEM

-
- ANALYSIS ON A HYPERCUBE COMPUTER", IEEE 91 WM158-6 PWRs, 1991.
- [5] GEORGE S. Almasi : "HIGHLY PARAEELL COMPUTING", The Benjamin /Cumming
- [6] L. Elder, Mj. Metcalfe, "An Efficient Method For Real Time Simulation of Power System Disturbances", IEEE Trans. on PAS Vol. PAS-101, No.2 February 1982.
- [7] P.BORNARD, P.ERHARD, P.FAUQUEMBERGUE, "A DATA PROCESSING PROGRAM FOR TESTING TRANSMISSION LINE PROTECTIVE RELAYS", IEEE Trans. on PD Vol.3, No.4, October 1988.
- [8] H.Taoka, S.Abe, S.Takeda, "FAST TRANSIENT STATABILITY SOLUTION USING AN ARRAY PROCESSOR", IEEE Trans. on PAS Vol. PAS-102, No.12, December 1983.
- [9] J.GHOSH, K.D.GOVEAS, J.T.DRAPER, "Performance Evaluation of a Parallel I/O Subsystem for Hypercube Multicomputers", Journal of Parallel and Distributed Computing 17,90-106,1993.
-



조길상(趙吉相)

1962년 2월 8일생, 1984년 성균관대 공대 전기공학과 졸업. 1986년 중앙대 대학원 전기공학과 졸업(석사). 현재 (주)포스콘 기술연구소 선임연구원.