스마트 파워 IC 기술

황 성 규*
(*전자부품종합기술연구소 전자회로연구실 전임연구원)

1. 서 론

제2의 electronics 혁명[1]이라고 일컬어 지고있는 스마트 파워 IC(smart power integrated circuit) 혹은 고성능(intelligent) 파워 IC는 동일 개념의 용어로써 VLSI 기술과 개별 전력용 반도체소자(discrete power semiconductor device) 기술의 발전에 힘입어 '80년대에 제품화되기 시작하여 모터 제어, 자동차 전장부품등의 산업 응용분야에서 부터 전자식안정기, 가전제품(CDP, LDP, 캠코더 등) 소형모터 제어등의 민생용 소비재 분야까지 광범위하게 응용되고 있다. 스마트 파워 IC는 오디오 전력 증폭기, 레귤레이터를 중심으로 발전해온 기존의 파워 IC와 비교해 1W 이상의 전력을 제어하는 정량적인 측면에서는 동일한 의미를 가질수 있으나, 스마트 파워 IC를 구성하는 요소기술과 설계방식, 제조공정 그리고 기능적인 측면에서 기존의 파워 IC와 큰 차이가 있으며 고유한 특성을 갖고 있다. 따라서 본 논단에서는 스마트 파워 IC를 구현하는 주요 핵심기술이라고 말할 수 있는 횡형 전력소자(lateral power device)의 기본구조와 특성, 전기적 격리기술, 설계자동화에 필요한 CAD 환경, 그리고 제품 개발 동향에 대해 알아보고 마지막으로 스마트 파워 IC의 응용분야에 대해서 고찰하기로 한다.

2. 스마트 파워 IC의 구성 및 기술

2. 1 스마트 파워 IC의 구성

스마트 파워 IC의 용어에 대한 명확한 정의는 아직까지 이루어져 있지는 않지만, 광의의 정의는 디지틀 제어 논리회로(digital control logic circuit)와 파워 부하간의 접속(interface)기능을 갖는 출력 1W 이상의 IC로 정의한다[1]. 스마트 파워 IC의 대표적인 구성도를 그림 1에 나타냈다. 스마트 파워 IC 구성도에 나타낸 바와같이 스마트 파워 IC는 한 칩내에 출력소자와 구동회로, 보호회로, 검출회로 및 인터페이스회로로 구성되어 집적화된다. 파워 부하 구동의 기능을 하는 출력소자는 대부분 집적화에 용이한 횡형 전력소자로 구성되며, 대표적인 소자는 LDMOS(Lateral Double-diffused

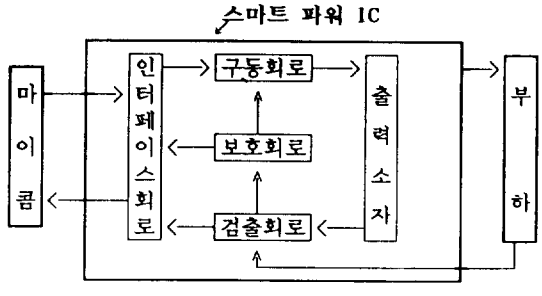


그림 1 스마트 파워 IC의 구성도

MOS), LIGBT(Lateral Insulated Gate Bipolar Transistor) 등이 있다. 구동회로는 이들 전력소자를 구동하며, 보호회로는 스마트 파워 IC를 과전압, 과전류, 과열로 부터 보호하는 회로로 구성된다. 또한 검출회로의 기능은 부하에서 발생가능한 부하의 단락 및 개방등의 이상조건을 검출하여 인터페이스회로와 함께 마이컴에 시스템에서 요구되는 정보교류를 수행한다.

2. 2 스마트 파워 기술

스마트 파워 IC의 고유한 특성인 칩 및 부하상태에 관한 자기진단 및 보호(self diagnostic & protection) 기능, 마크로프로세서와의 정보교류를 위한 접속기능 그리고 광범위한 전력용량의 부하구동을 위한 전력소자등을 구현하는 스마트 파워 기술은 그림 2에 나타낸 바와같이 크게 전력제어, 검출 및 보호,그리고 접속기능 기술로 구분할 수 있으며 이들 세가지 기술을 구성하는 기본 요소기술들을 함께 나타냈다[1]. 전력제어 기술은 전력소자와 그 구동회로로 구성된다. 스마트 파워 IC에 응용되

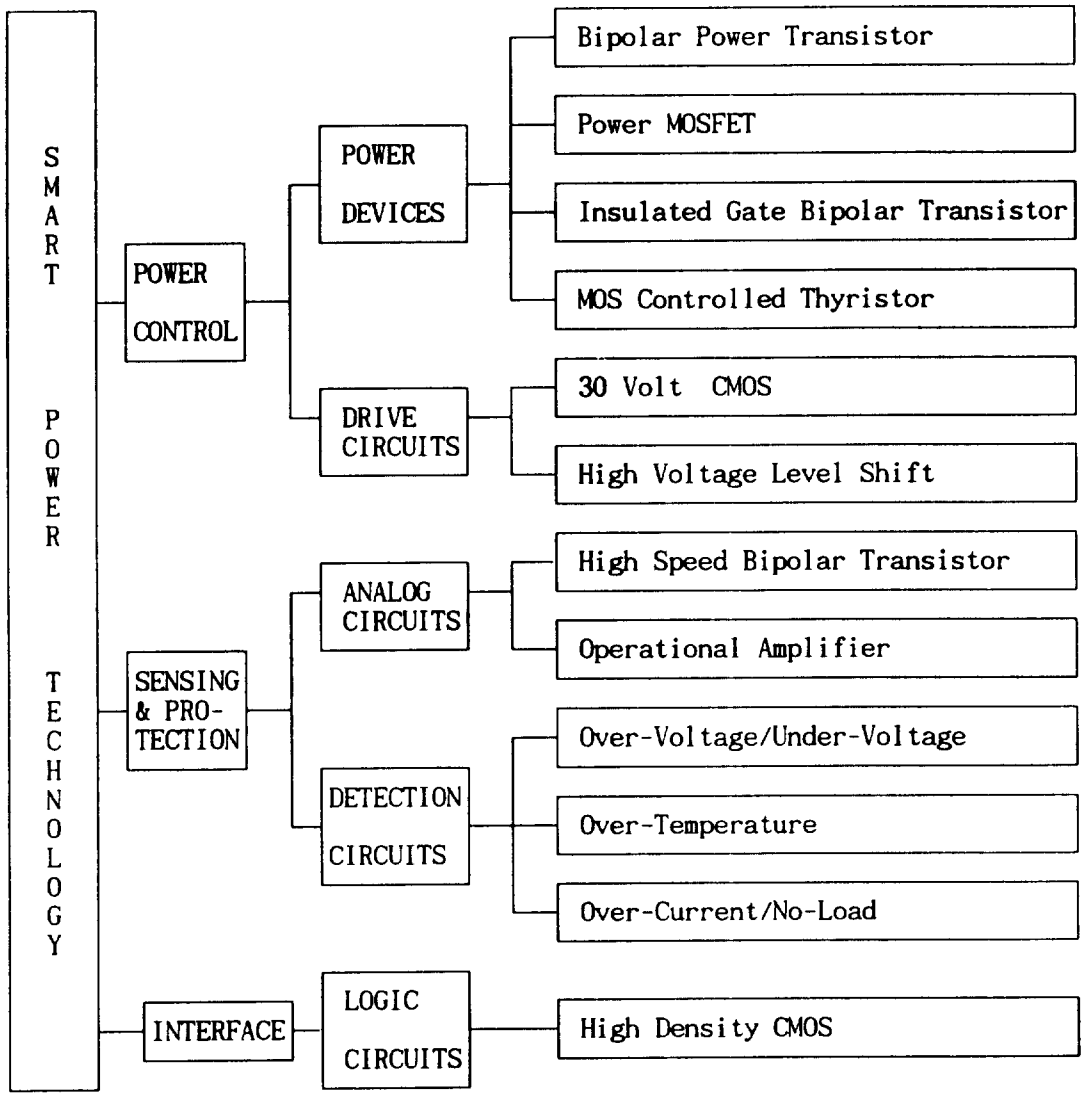


그림 2 스마트 파워 IC의 구성기술과 기본요소기술

는 전력소자는 바이폴라 전력 트랜지스터, 전력 MOSFET, IGBT, MCT(MOS Controlled Thyristor)등이 있다. 이들 전력소자에 의해 출력소자가 구현되는 스마트 파워 IC는 고내압, 대전류의 고유한 특성을 갖는다. 전력소자의 구동회로는 전력소자의 게이트를 구동하기에 충분한 전압 30V까지 동작이 가능한 CMOS로 대부분 설계되며, 또한 totem-pole 방식의 출력단을 위해 고전압으로 level shifting을 수행할 수 있어야 한다. 스마트 파워 IC의 과전류, 과전압, 과열 및 부하개방, 단락등에 대한 검출 및 보호기능은 고속 바이폴라 트랜지스터와 연산증폭기(operational amplifier)로 구성되는 고성능 아날로그 회로에 의해 구현된다. 스마트 파워 IC의 접속기능은 고집적 CMOS의 논리회로로 구성되며, 이와같은 접속기능을 위한 엔코디(encode) 및 디코디(decode) 동작의 CMOS 논리회로는 마이크로프로세서로부터의 신호에 응답해야 할 뿐만아니라 과열 차단과 같은 칩의 동작상태와 부하의 이상현상에 관련된 정보를 마이크로프로세서로 보내는 역할도 해야한다. 아울러 스마트 파워 IC의 자기발열(self heating)에 의한 칩의 고온상태 및 큰 전압변동(voltage swing)은 CMOS 회로의 래치엎(latch-up)의 주요 원인이 되기때문에 스마트 파워 IC에 응용되는 CMOS는 이 래치엎을 억제할수 있는 설계가 매우 중요하다.

이상에서 기술한 바와같이 스마트 파워 IC를 구현하기 위한 주요 핵심기술은 전력제어 기능의 전력소자와 그 구동회로, 마이크로프로세서와의 접속기능을 하는 고집적 CMOS 논리회로, 검출 및 보호기능의 고성능 아날로그 회로등의 설계기술과 이들 소자, 회로간의 양립성(compatability) 있는 BCDMOS (Bipolar-CMOS- DMOS)공정 조합기술, 고전압 전력소자 와 저전압 소자 및 회로간의 전기적 격리(electrical isolation)를 구현하는 격리기술등이 있다. 또한 스마트 파워 IC는 이미 언급한 바와같이 디지틀 논리회로와 고성능 아날로그회로 및 전력소자가 동일 칩내에서 제작되는 혼성신호 IC로써 IC의 성능, 설계기간, 신뢰도 및 제품의 시장성등을 고려할때 스마트 파워 IC는 시스템 레벨(level)을 비롯한 회로, 소자, 제조공정 레벨에서 시뮬레이션을 수행 및 검증에 의한 칩 제작을 할수 있는 체계적인 CAD 환경구축 또한 스마트 파워 IC의 중요한 기술이라 할 수 있다.

2. 3 전력소자

스마트 파워 IC의 출력소자는 대부분 고내압, 대전류 특성의 전력 트랜지스터로 구성되며, 현재까지 매우 다양한 구조 및 특성의 전력 트랜지스터가 개발되어 스마트 파워 IC에 응용되고 있다. 이와같은 전력 트랜지스터는 고내압, 대전류 밀도의 특성은 물론이고, 고집적 CMOS 디지틀 혹은 고성능 아날로그 회로와 동일 칩상에서 제조되기 때문에 공정의 양립성과 내부배선에 용이한 소자구조, 고속 스위칭속도, 전력손실을 줄이기 위한 낮은 도통저항(on-resistance) 및 간단한 구동회로등의 특성을 갖추어야 한다. 따라서 이러한 스마트 파워 IC의 출력소자 조건에 적합한 전력소자는 DMOS (Double-diffused MOS)를 기본구조로 하는 횡형 전력 트랜지스터(lateral power transistor)가 대부분 응용되고 있다. 이러한 횡형 전력소자로는 LDMOSFET, LIGBT, SINFET(Schottky Injection FET), HSINFET(Hybrid SINFET)등의 전력 트랜지스터가 개발되어 스마트 파워 IC의 출력소자에 응용되어 부하의 전력제어 역할을 담당하고 있다. 본 절에서는 횡형 전력 트랜지스터의 종류와 기본 구조 및 전기적 특성에 대해 비교 분석하여 스마트 파워 IC의 출력소자로의 응용가능성에 대한 이해를 돕고자 한다.

2. 3. 1 LDMOSFET

위에서 언급한 횡형 전력 트랜지스터중 LDMOSFET는 가장 먼저 개발되어 고전압 IC 및 스마트 파워 IC에 광범위하게 응용되는 소자로써 그림 3에 LDMOSFET의 단면구조와 전형적인 출력 특성을 나타냈다. LDMOSFET의 단면구조에 나타낸 바와같이 트랜지스터는 소오스, 드레인, 게이트 세 단자 모두가 칩의 표면에 형성되어 집적화되는 주변 회로와 내부 결선이 용이하다는 장점이 있다. LDMOSFET의 소오스와 게이트 단자는 자기정렬된 이중확산 공정(self-aligned double-diffusion process)을 이용하여 형성되며, 1~2μm 정도까지의 비교적 짧은 채널의 형성이 가능하여 소자의 도통저항(on-resistance)을 감소할 수 있다[2]. LDMOSFET의 내압을 의미하는 소오스-드레인간

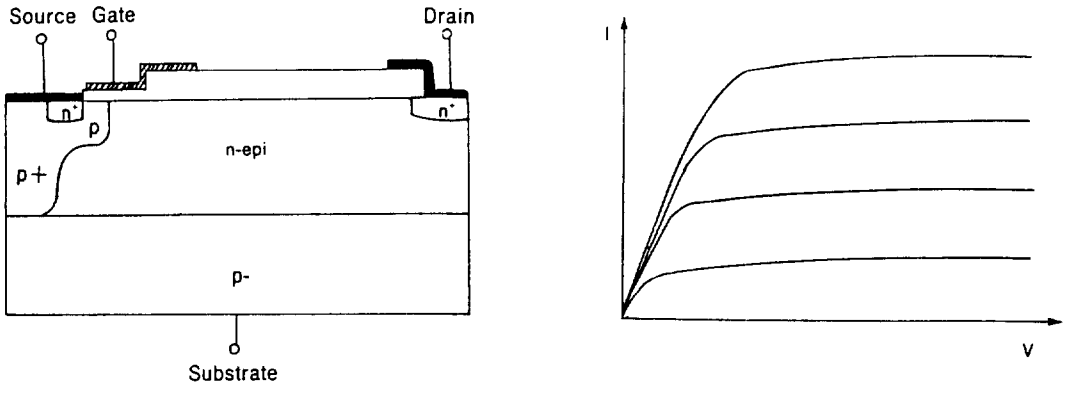


그림 3 LDMOFET의 (a)단면구조 (b)출력특성[2]

의 높은 항복전압을 구현하기 위해 사용된 불순물 농도가 낮고 두께가 큰 에피층의 직렬저항(series resistance) 성분에 의한 도통저항 증가 또한 설계시 고려하여야 한다. 따라서 LDMOSFET의 기술개발은 항복전압의 증가와 더불어 도통저항의 감소, 고속스위칭 특성을 구현하기 위해 수많은 노력이 진행되고 있다.

LDMOSFET의 항복전압은 드리프트 표면층의 전하밀도, 드리프트 영역의 길이, 그리고 기판의 불순물농도와 밀접한 관련이 있다. 드리프트 영역과 기판의 전하제어 방법의 RESURF(Reduced Surface Field)원리[3]를 이용하여 주어진 항복전압을 구현하는 동시에 에피층 두께를 감소하여 LDMOSFET의 단위면적당 도통저항을 2배 정도로 감소할 수 있다. 또한 SIPOS(Semi-Insulating Polysilicon)[4]와 같은 resistive field plate를 게이트와 드레인 단자간의 표면에 형성하여 드리프트 영역의 표면 전계 완화효과에 의해 항복전압을 증가시키며, 또한 소자의 도통상태에서는 SIPOS층 아래영역에 전하 축적층이 유기되기 때문에 도통저항의 감소효과도 가져온다. 반면에 SIPOS 층과 유기된 전하축적층간에 형성되는 커패시턴스(capacitance) 성분에 의한 분포 RC효과는 스위칭속도를 지연시키기 때문에 소자의 단점으로 지적된다.

LDMOSFET의 높은 항복전압 구현과 동시에 도통저항을 감소하는 또다른 소자의 단면구조를 그림 4에 나타냈다. 이 단면구조에 알수 있듯이 앞에서

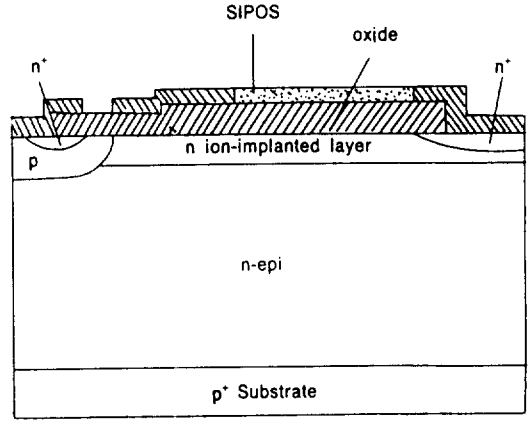


그림 4 SIPOS 층과 이온주입층이 있는 LDMOSFET의 단면구조[5]

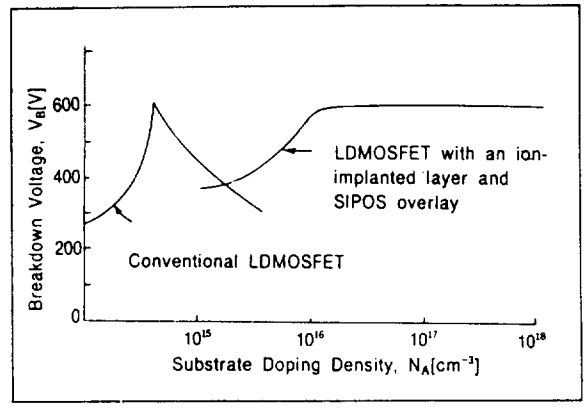


그림 5 LDMOSFET의 기판농도에 따른 항복전압의 변화[5]

기술한 SIPOS층 형성에 부가적으로 소오스와 드레인간의 드리프트 표면영역에 n형 이온주입층을 형성한 구조이다[5]. 이와같은 SIPOS층과 n형 이온주입층이 중첩된 LDMOSFET의 특성은 그림 5에 보여진 바와같이 항복전압에 영향을 미치는 기판의 농도에 비교적 적은 영향을 받기 때문에 LDMOSFET의 설계시 광범위한 기판농도의 선택이 가능한 설계상의 이점을 제공하고 있다.

LDMOSFET는 다수캐리어에 의한 전류전송으로 바이폴라 트랜지스터소자에서 발생하는 소수캐리어 축적(minority carrier storage) 현상이 없어 고속 스위칭특성을 갖는 고주파 응용에 적합한 소자이다. 게이트와 드레인간의 커패시턴스 및 인덕턴스 성분을 감소시켜 주파수 2. 45GHz에서 스위칭 동작이 가능한 LDMOSFET도 개발되었다[6]. 이러한 고속 스위칭 속도와 드레인 전류의 부온도계수(negative temperature coeffcient)로 인한 우수한 SOA(Safe Operating Area)특성에도 불구하고 LDMOSFET는 비교적 큰 도통저항에 의한 전도 손실(conduction loss)과 대전류 구동에 필요한 큰 순방향 드레인-소오스 전압 인가등은 바이폴라 전력소자에 비교해 큰 전력소비의 원인이 되어 LDMOSFET의 대전류 응용에 제한요소가 되고 있다.

2. 3. 2 LIGBT

LIGBT는 LDMOSFET의 비교적 큰 전도손실의 단점을 해결한 낮은 도통저항 특성을 갖는 대전류 구현에 적합한 전력소자이다. LIGBT의 전형적인 단면구조와 출력특성을 그림 6에 나타냈다.

LIGBT의 단면구조에 나타낸 바와같이 캐소드와 게이트 영역은 짧은 채널길이 형성을 위한 자기정렬된 이중확산 공정을 이용한 LDMOSFET의 소오스와 게이트영역 형성방법과 동일하나, LDMOSFET의 n^+형 드레인 영역이 p^+형 애노드영역으로 대치된 구조 차이를 보이고 있다. LIGBT의 구동 및 스위칭 동작은 게이트 전압으로 제어되기 때문에 전력소자로서의 조건인 높은 입력 임피던스와 간단한 구동회로의 특성을 갖고 있다. 그림 6(b)의 출력특성에 보여진 바와같이 LIGBT의 turn-on 동작은 애노드 영역을 형성하고 있는 pn 접합을 turn-on 하는 순방향 애노드-캐소드 전압(약 0. 7V이내)의 인가가 필요하다. LIGBT의 애노드-캐소드 순방향 전압의 증가에 따라 p^+형 애노드는 n^-형 드리프트 영역으로 소수캐리어인 정공이 주입되며 주입된 정공에 의해 드리프트 영역의 전도도 변조(conductivity modulation)가 발생한다. 이 전도도 변조특성을 갖는 LIGBT는 LDMOSFET에 비교해 5 ~ 10배 정도 상대적으로 낮은 도통저항의 특성을 나타낸다. 반면에 LIGBT의 turn-off 특성은 드리프트 영역으로 주입된 소수캐리어의 재결합 시간에 의존하며, 전형적인 turn-off 시간은 1~3㎲ 정도이다[7]. LDMOSFET에 비교해 이러한 LIGBT의 느린 turn-off 시간은 고주파

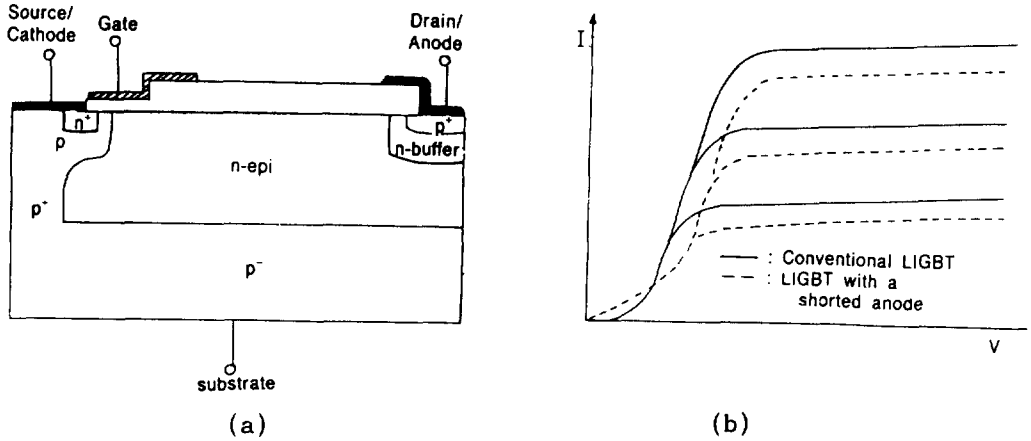


그림 6 LIGBT의 (a) 단면구조 (b) 출력특성[2]

응용에 제한요소로 작용한다. LIGBT의 스위칭 속도 개선을 위해 애노드 영역이 p^+형과 n^+형 확산영역이 단락된 구조를 갖는 LIGBT가 개발되었으며, 그림 7에 소자의 단면구조를 나타냈으며, 관련된 소자의 출력특성은 그림 6 (a)의 p^+형 애노드 영역만을 갖는 LIGBT 출력특성과 비교하기 위해 점선으로 그림 6 (b)에 같이 표현하였다. p^+형과 n^+형 확산영역이 단락된 애노드는 LIGBT의 turn-off 동작시 드리프트 영역내에 존재하는 과잉 소수캐리어를 효과적으로 제거하여 그림 6 (a) 구조의 LIGBT에 비교해 상대적으로 빠른 스위칭 속도의 특성을 갖지만 그림 6 (b)에 보여진 바와같이 상대적으로 더 큰 순방향 전압의 인가가 필요하며, 전류밀도는 상대적으로 낮음을 알 수 있다. 그러나 p^+형과 n^+형 확산영역이 단락된 애노드구조를 갖는 LIGBT의 항복전압은 애노드로부터 기판의 수직방향으로 구성되는 pnp 바이폴라 트랜지스터의 BV_{CES}에 의해 결정되며, 보통구조의 LIGBT의 항복전압을 결정하는 BV_{CES} 보다 더 크기 때문에 항복전압을 개선하는 장점이 있다[8].

LIGBT의 n^+형 캐소드 영역과 p-body 영역간의 형성된 pn접합은 외부적으로는 소오스 단자에 의해 단락되었지만 소자가 매우 높은 전류밀도에서 동작할때 이 pn 접합을 turn-on 할 수 있는 충분한 전압강하가 발생하면 캐소드, body 및 드리프트 영역으로 구성되는 기생 npn 바이폴라 트랜지스터가 구동되며 이 기생 트랜지스터의 콜렉터 전류는 body, 드리프트 및 애노드 영역으로 구성되는 기생 pnp 바이폴라 트랜지스터를 또한 구동시킨다. 이러한 두 기생적인 바이폴라 트랜지스터가 구동되어 전류이득의 합이 1에 도달하면 LIGBT 내에 매우 큰 전류가 흐르며, 이때 LIGBT는 게이트 전압으로 제어할수 없는 래치업 현상이 발생하여 소자의 오동작 혹은 파괴 원인이 되기도 한다. 따라서 이러한 LIGBT의 래치업 개시전류(latch-up threshold current)는 LIGBT의 설계시 고려해야할 중요한 변수이며, 래치업 방지기술은 LIGBT에 있어 매우 중요한 기술중의 하나이다. 이러한 LIGBT의 래치업 방지기술로써 기생 npn 바이폴라 트랜지스터의 전류이득을 줄이는 방법으로 p-body 영역 아래로 p^+ sinker 혹은 p^+ 매몰층(buried layer)을 삽입하는 방법이 있으며, 또한 기판단자와 캐소드단자

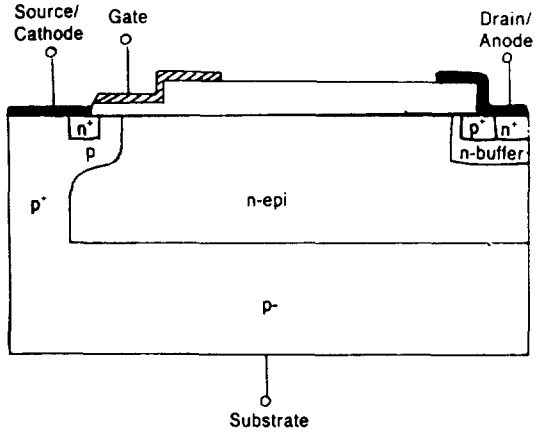


그림 7 p^+형과 n^+형 확산영역이 단락된 애노드를 갖는 LIGBT의 단면구조[2]

를 공통접지하여 애노드로부터 기판으로 구성되는 수직형 pnp 바이폴라 트랜지스터를 이용하여 p-body 영역을 향해 흐르는 전류의 약간량을 전환시켜 래치업 개시전류를 증가시키는 방법도 응용되기도 한다. 그리고 애노드 영역에 형성된 n-buffer층 또한 애노드로부터 주입되는 소수캐리어인 정공의 양을 제한하는 역할을 하여 래치업 개시전류 및 스위칭 속도의 개선 효과도 나타낸다. 지금까지 기술한 래치업 억제 기술을 이용한 LIGBT의 래치업 전류밀도는 현재 550 A/㎠ 까지, 이때 소자의 동작 전류밀도는 475 A/㎠ 까지 구현가능한 것으로 알려져 있다[9].

2. 3. 3 SINFET

지금까지 언급한 LIGBT는 애노드측의 pn 접합을 이용하여 소수캐리어를 드리프트 영역으로 주입시켜 소자의 동작 전류밀도 증가와 전도손실을 줄이는 반면에 SINFET [10]는 쇼트키(Schottky) 접합(Al-n형 실리콘)을 이용하여 소수캐리어를 주입하는 소자로써 그림 8에 SINFET의 단면구조를 나타냈다. SINFET의 단면구조에 보여진 바와같이 캐소드와 게이트는 LDMOS 및 LIGBT와 동일한 DMOS 구조로 형성하며, 애노드 영역을 형성하고 있는 쇼트키 다이오드는 드리프트 영역으로 적당량의 소수캐리어를 주입하며, 주입된 소수캐리어에 의해 드리프트 영역의 전도도를 증가시켜 LDM-

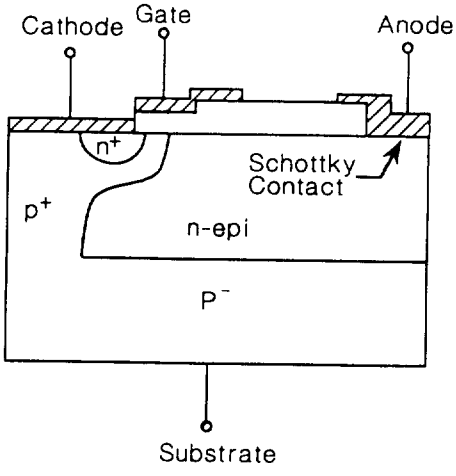


그림 8 SINFET의 단면구조

OSFET에 비해 상대적으로 낮은 도통저항의 특성을 갖는다. 또한 쇼트키 접합은 pn 접합 보다 더 낮은 에너지 장벽 특성을 갖기때문에 LIGBT에 비교해 상대적으로 낮은 순방향 인가전압에서 SINFET은 turn-on 되며, 소수캐리어 제한된 주입은 드리프트 영역내의 전하 축적효과를 무시할 수 있어 LIGBT에 비해 상대적으로 도통저항은 크지만, 빠른 turn-off 시간에 의해 고속 스위칭 특성을 나타낸다. 이러한 고속 특성을 갖는 SINFET의 설계시 고려해야할 사항은 소자의 항복전압, 스위칭 속도 등에 매우 밀접한 관련이 있는 쇼트키 장벽 계면의 표면조건 뿐만아니라 에너지 장벽높이 등에 관해 고려해야 한다. 따라서 SINFET의 제조공정상의 변화는 소자 항복전압, 스위칭 속도등에 직접적인 영향을 미친다. 또한 SINFET의 고내압 구현을 위해 사용한 RESURF 기술은 드리프트 영역 길이의 감소에 의해 도통저항을 감소시키고 이 감소된 드리프트 영역 길이에 의해 애노드의 쇼트키 접합과 p-body 영역 혹은 기판간에 punchthrough 현상의 가능성이 있기 때문에 SINFET의 설계시 주의 깊은 드리프트 영역 길이의 설계가 요구된다[2].

2. 3. 4 HSINFET

HSINFET[11]은 앞에서 논의한 LIGBT와 SINFET의 애노드 영역을 형성하고 있는 각각의 pn 접합과 쇼트키 접합이 혼성 단락된 애노드구조를 형성하고 있다. 그림 9에 HSINFET의 단면구조와 출력특성을 나타냈다. 이와같은 pn 접합과 쇼트키 접합이 단락된 애노드 구조를 갖는 HSINFET은 애노드의 pn 접합으로 부터의 소수캐리어 주입이 발생되어 주입된 소수캐리어에 의해 드리프트영역의 전도도가 증가되어 도통저항이 감소된다. HSINFET은 LDMOSFET에 비교해 3. 5배 정도의 큰 전류밀도를 가지며, turn-off시 애노드 영역을 형성하고 있는 쇼트키 접합에 의해 드리프트영역에 축적된 소수캐리어를 효과적으로 제거할 수

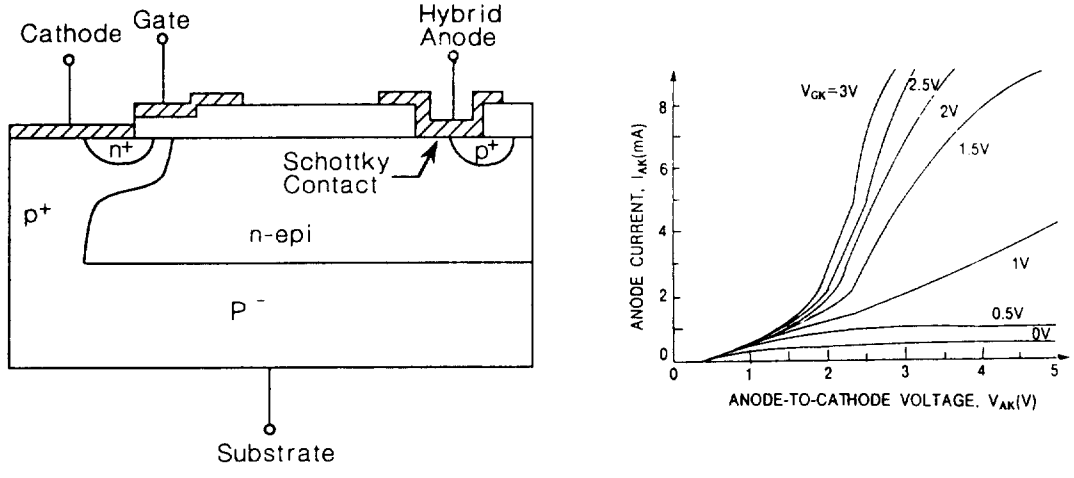


그림 9 HSINFET의 (a) 단면구조 (b) 출력특성

있어 LDMOSFET과 비교할만한 고속 스위칭 특성을 나타낸다. 그림 9 (b) HSINFET의 출력특성에 보여진 바와같이 전류-전압특성은 두가지 영역으로 구분하여 해석이 가능하다. 낮은 애노드-캐소드 전압에서는 쇼트키 접합이 먼저 turn-on 되어 쇼트키 접합을 통한 소수캐리어 주입에 의하여 전류가 흐르며, 애노드-캐소드 전압을 더 증가하면 비로서 pn 접합이 turn-on 되며, 이때 쇼트키 접합은 clamp 되어 소자내의 전류 흐름은 이 pn 접합에 의해 주도되어 소수캐리어의 주입양이 갑자기 증가되며 따라서 드리프트영역의 전도도 또한 증가하여 HSINFET은 LIGBT와 대등한 수준의 전류밀도와 낮은 도통저항의 특성을 갖는다.

2. 3. 5 전력소자의 특성비교

본절에서는 스마트 파워 IC의 출력소자를 구성하는 횡형 전력소자로 광범위하게 응용되는 LDMOSFET, LIGBT, SINFET, HSINFET의 특성을 상호 비교 분석하여 스마트 파워 IC 응용에 대해 검토하겠다. 그림 10에 실험값에 근거한 이들 전력소자의 순방향 전도특성을 나타냈다[11]. 그림 10에서 알수 있듯이 순방향 전압 3. 0V에서 이들 소자의 전류밀도를 비교하면 LIGBT가 가장 크며 HSINFET, SINFET, LDMOSFET 소자의 순서로 크며 LIGBT, HSINFET, SINFET의 전류밀도는 거의 대등한 수준이나 이들 소자에 비교해 LDMOSFET의 전류밀도는 상대적으로 작음을 알 수 있다. 또한 전도손실을 예측할 수 있는 도통저항은 LIGBT가 가장 작으나 HSINFET이나 SINFET도 거의 대등한 도통저항을 갖는 반면에 LDMOSFET의 도통저항은 매우 큼을 알 수 있다. 즉 LDMOSFET는 다수캐리어 소자로써 드레인으로 부터 드리프트영역으로 소수캐리어 주입이 없어서 큰 도통저항과 낮은 전류밀도의 특성으로 대전류 구현의 소자로는 적합치 않음을 알 수 있다. 이들 전력소자의 스위칭 특성을 나타내는 전형적인 turn-off 시간은 LDMOSFET-20ns, SINFET-28 ns, HSINFET-35ns, LIGBT가-500ns[11]로 LIGBT를 제외한 나머지 소자는 수십 ns 정도인데 비해 LIGBT는 수백 ns 수준으로 매우 느린 스위칭 특성으로 인하여 고속 스위칭 속도를 요구하는 스마트 파워 IC의 전력소자로는 적합치 않음을 알 수 있다.

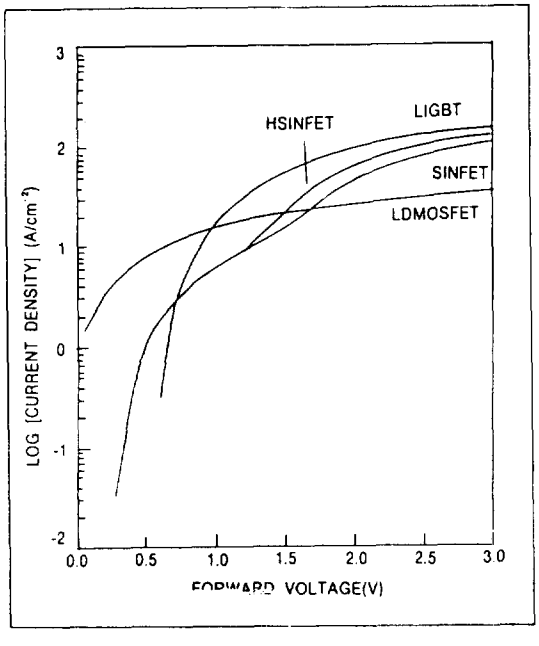


그림 10 LDMOSFET, LIGBT, SINFET, HSINFET의 순방향 전도특성[15]

지금까지 언급한 이들 횡형 전력소자들은 전력스위칭 소자로써의 간단한 구동회로, 높은 입력 임피던스 그리고 집적화에 용이한 구조등의 공통된 특성을 가지고 있지만, 높은 전류밀도, 고속 스위칭, 낮은 전도손실, 고내압 구현, 래치업 억제등의 조건을 완전히 만족하는 소자는 없다. 따라서 스마트 파워 IC의 출력소자인 전력소자를 설계시 고려해야할 점은 스마트 파워 IC가 응용되는 시스템에서 요구되는 특성과 가장 상응하는 전력소자를 선택하여 소자 설계변수간의 상호 연관성을 비교 분석한 최적설계가 중요하다.

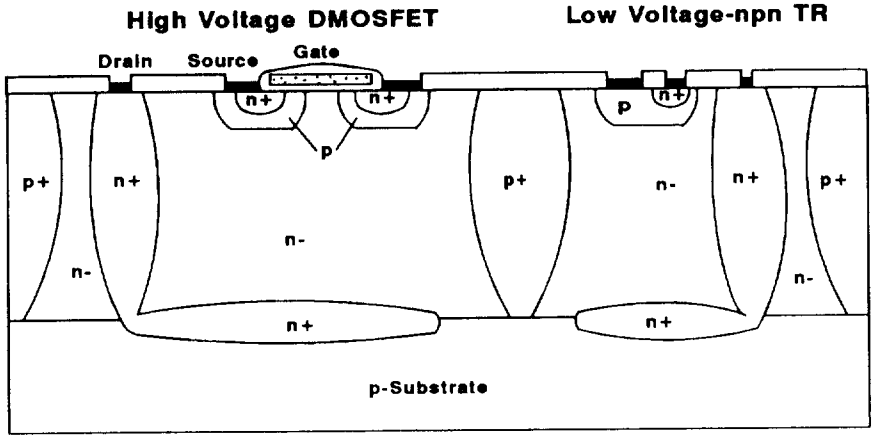
2. 4 전기적 격리기술

스마트 파워 IC의 구현을 위한 가장 기본이면서 중요한 제조공정 기술중의 하나가 전기적 격리기술로써 고내압, 대전류 특성의 전력소자와 저전압에서 동작하는 디지틀 혹은 고성능 아날로그 회로간의 전기적 격리를 구현하는 기술을 의미한다. 스마트 파워 IC에서 이와같은 전기적 격리가 불충분하면 전력소자의 자기발열에 의해 칩은 고온상태에 도달하며, 이 고온의 영향을 받아 칩내에 존재하는

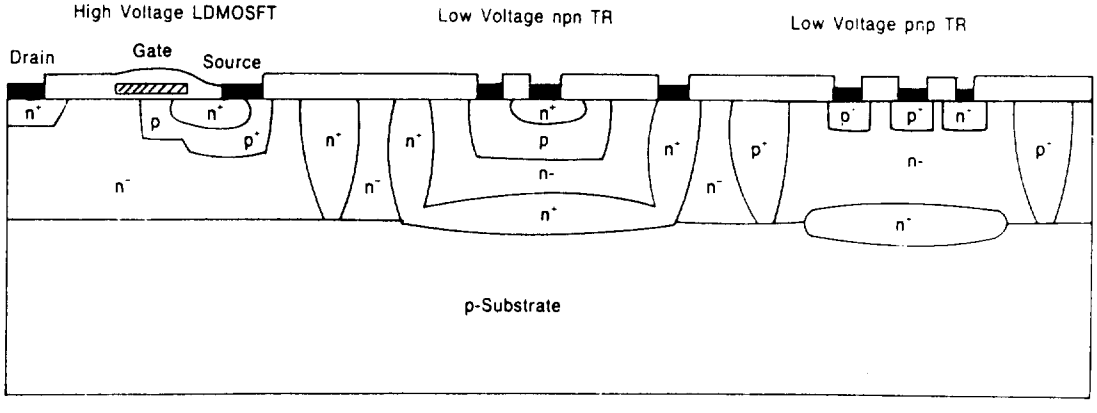
다중 pn 접합에 의해 구성되는 사이리스터(thyristor), 트랜지스터등의 기생소자가 동작하여 래치업 현상이 일어날 가능성이 크다. 이러한 latch-up은 스마트 파워 IC의 오동작과 더불어 칩의 파괴원인이 되기 때문에 스마트 파워 IC에서 전기적 격리기술은 매우 중요하며 반도체 제조공정 기술과 매우 밀접한 관계가 있다. 현재 스마트 파워 IC에서 사용하는 전기적 격리기술은 크게 접합격리(junction isolation), 자기격리(self isolation), 유전체 격리(dielectric isolation)의 3가지로 구분되며 이 격리기술의 각각은 고유한 특성과 제한요소를 갖고 있기 때문에 설계하고자 하는 스마트 파워 IC의 기능과 특성에 적합한 격리기술의 선택적 응용이 되고 있다.

2. 4. 1 접합격리 기술

접합격리 기술은 역바이어스된 pn 접합의 높은 저항성을 이용하여 고전압 트랜지스터와 저전압 소자, 회로간의 전기적 격리를 구현하는 기술이다. 이러한 pn 접합격리 기술을 사용한 전형적인 예를 그림 11에 나타냈다. 그림 11의 (a)는 p형 기판위에 n^+형 매몰층이 형성된 웨이퍼를 사용, 고내압 구현에 적합한 두꺼운 에피층을 성장하여, 농도가 매우 큰 p^+형 불순물이 p형 기판까지 도달하는 깊은 확



(a) 두꺼운 에피층의 사용



(b) 얇은 에피층의 사용

그림 11 접합격리 기술의 대표적인 예

산방법에 의해 격리가 구현된 n-well내에 고전압 DMOSFET와 저전압 npn 바이폴라 트랜지스터가 제작된 각각의 단면구조를 보여주고 있다. 이 구조에 사용된 n^+ 매몰층은 DMOSFET의 드레인과 npn 바이폴라 트랜지스터의 콜렉터 영역으로 사용된 n^+ sinker 영역과 도통하게 되어, 소자의 직렬 저항 성분을 감소시키며, 아울러 p형 기판으로 방출되는 정공에 대한 장벽 역할도 한다. 이러한 두꺼운 에피층을 사용하는 접합격리 기술은 전기적 격리를 위해 사용된 깊은 p^+ 확산영역 및 n^+ sinker는 깊은 확산공정에 의존하여 구현되는데, 이들 두 깊은 확산영역의 공정시 부가적인 측면확산(lateral diffusion)도 일어나 칩의 대면적의 소요가 불가피하며, 농도가 낮고 두꺼운 에피층내에 제작된 저전압 트랜지스터의 특성에 나쁜 영향을 미치는 단점이 있다. 그림 11의 (b)에 나타낸 접합격리 기술은 그림 11의 (a)의 구조에서 설명한 방법과 동일하지만 차이점은 두꺼운 에피층 대신에 얇은 에피층과 고전압 DMOSFET가 종형 구조가 아닌 횡형 구조인 LDMOSFET가 사용된 것이다. 얇은 에피층내의 LDMOSFET의 고내압은 RESURF의 원리에 위해 구현되며, 에피층의 최적설계를 통해 저전압 npn 및 pnp 트랜지스터 특성의 개선이 가능하다. RESURF 원리에 의한 얇은 에피층내에서 LDMOSFET의 고내압 구현이 가능한 이와같은 접합격리 기술은 LDMOSFET의 게이트-소오스 영역과 드레인 영역간의 거리로 정의되는 드리프트 영역 길이의 변화만으로 다양한 내압을 구현할 수 있다.

즉, 다양한 고내압 구현이 제조공정상의 변화가 없이 단순히 마스크(mask)상에서 드리프트영역 길이를 조절하여 구현되는 간단한 설계가 최대의 장점이다. 이와같은 pn 접합격리 기술은 20년이상의 역사를 가지고 바이폴라 IC에서 광범위하게 사용되고 있으며, 깊은 p^+영역 및 n^+ sinker 확산에 의한 칩의 대면적 소요와 기생적인 다중 pn 접합 존재에 의해 래치업 현상, 누설전류 등의 요인으로 내압 1000V 이상의 고전압 스마트 파워 IC 응용에는 제한이 있는 기술이라 사료된다. 지금까지 논의한 pn 접합격리 기술을 이용한 대표적인 스마트 파워 IC는 60V, 수십 A급의 자동차용 기계식 릴레이(relay)를 전자식으로 대치하는 하이 사이드 스위치(high side switch)와 내압 200V 정도가 요구되는 프라즈마 디스프레이 구동용 IC 등이 있다.

2. 4. 2 자기격리 기술

자기격리 기술은 역바이어스된 pn 접합의 높은 저항성을 이용하여 전기적 격리를 구현하는 개념에서는 접합격리의 원리와 동일하다. 그림 12는 자기격리 기술을 이용하여 저전압 동작의 논리회로를 구성하는 CMOS 트랜지스터와 고전압 특성의 LDMOSFET가 집적화된 단면구조를 보여주고 있다. 그림 12에 보여진 바와같이 자기격리 기술의 원리는 소오스-드레인 영역과 body 영역 간의 역바이어스된 접합에 의해 전기적 격리가 실현된다.

이 구조에 사용된 p형 기판은 저전압 nMOSFET 대해 body 역할을 하며 pMOS를 제작하기 위해 n-well을 형성하였으며, 이와같은 자기격

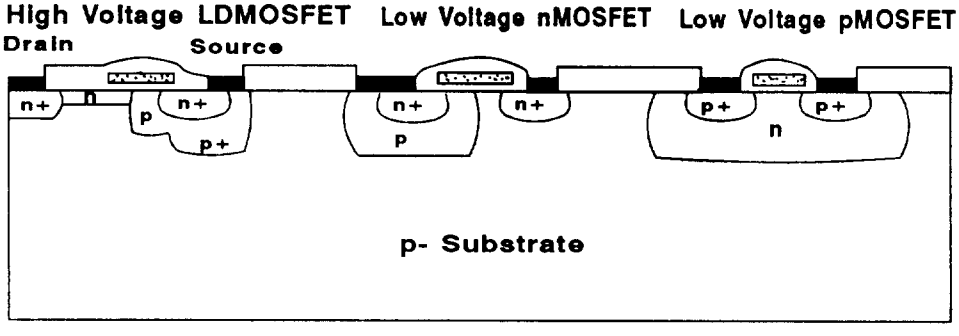


그림 12 자기격리 기술을 이용한 CMOS 논리회로와 고전압 LDMOSFET의 단면구조

리 기술은 소자들의 격리를 위해 각각의 독립된 영역을 형성할 필요가 없어 접합격리 기술에 비교해 상대적으로 적은 면적의 소요, 간단한 공정이 장점이 되지만 자기격리 기술에 의해 격리 가능한 소자의 유형이 MOS 소자로만 제한되며, 또한 고전압 소자의 소오스 단자와 공통접지가 필요하기 때문에 스마트 파워 IC를 구현할수 있는 소자의 유연성에 문제점을 갖고 있다. 이러한 자기격리 기술을 이용한 전형적인 스마트 파워 IC는 내압 1000V를 구현한 디스플레이 구동 IC가 개발보고 되었다[12].

2. 4. 3 유전체 격리기술

지금까지 논의한 접합 및 자기격리 기술은 스마트 파워 IC에서 요구되는 다양한 소자 및 회로간의 집적화와 기생적인 다중 pn 접합에 의해 발생할수 있는 래치업, 기판으로 전류누설, 그리고 격리구현을 위한 대면적의 소요등의 문제점을 가지고 있어 스마트 파워 IC 응용에 어느 정도의 문제점을 갖고 있다. 이와같은 문제점의 해결과 내압 1000V 이상의 전력소자의 전기적 격리 구현에 매우 적합한 기술이 바로 유전체 격리(dielectric isolation)기술이다. 유전체 격리기술을 구현하기 위한 기본적인 기판제조의 주요 공정을 그림 13에 나타냈다.

그림 13에 보여진 바와 같이 유전체 격리기술의 기판제조 주요 공정은 단결정 실리콘 웨이퍼를 V-groove 에칭을 행한 후 n^+형 불순물의 확산에 이어 산화 공정으로 유전체(SiO_2)를 형성한 후 다결정 실리콘을 증착하고 grind, lap 및 polishing의 공정을 통하여 기판을 제조한다[13]. 이러한 유전체 격리기술을 이용하여 전기적 격리가 구현된 단결정 실리콘 튜브내에 제작한 VDMOSFET(Vertical DMOSFET)의 단면구조를 그림 14에 나타냈다. 이와 같은 유전체 격리기술은 공정이 다소 복잡한 면이 있지만, 기생효과에 의한 latch-up 발생이 배제되고 동일 칩상에서 소자 유형이 다른 바이폴라와 MOS 소자의 제조가 가능하며 전력소자의 자기발열에 의한 저전압 소자에 미치는 영향등을 무시할 수 있다. 또한 접합격리 기술에 비해 효율적인 면적의 이용에 의한 높은 집적도 등의 장점이 있으며 반면에 유전체 격리공정에 의해 단결정 실리콘 튜브가 형성된 웨이퍼의 높은 원가는 스마트 파워 IC 제조원가 상승의 주 원인이 되고 있는 실정이며, 유전체 격리기술의 지속적인 기술발전에 힘입어 가격의 현실화가 이루어지면, 유전체 격리기술

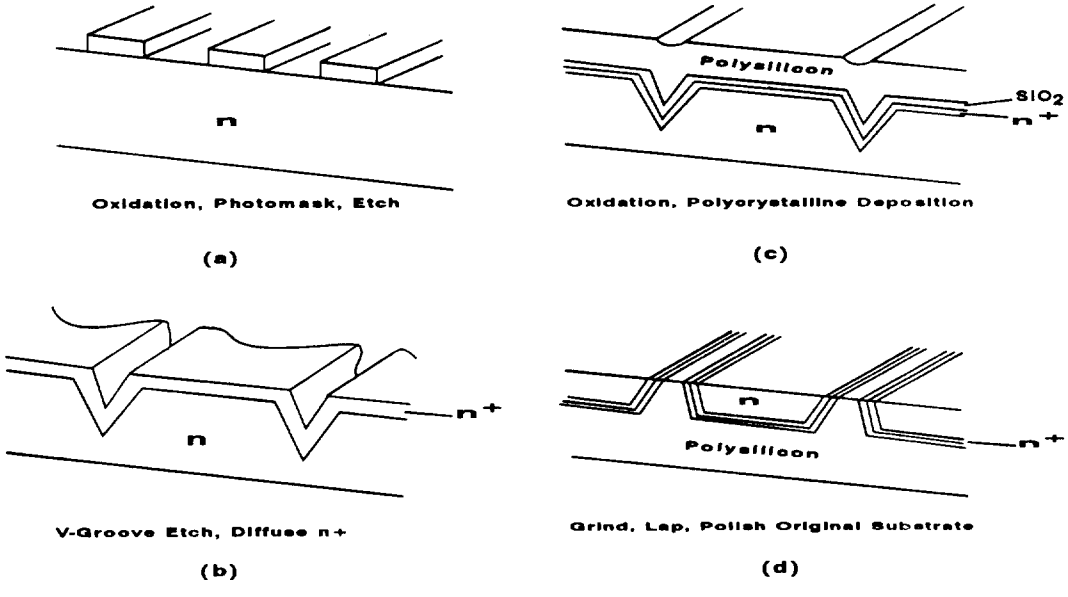


그림 13 유전체 격리구현을 위한 기판제조 주요 공정순서

이 스마트 파워 IC의 전기적 격리기술로 광범위하게 각광을 받을것으로 사료된다.

2. 5 스마트 파워 IC의 CAD 환경

스마트 파워 IC의 제품동향은 표준화된 제품 보다는 수요자의 요구에 일치한 주문형 제품의 응용이 더 기대된다. 스마트 파워 IC는 이미 언급한 바와같이 디지틀 논리회로와 고성능 아날로그회로 및 전력소자가 동일 칩내에서 제작되는 혼성신호 IC로써 IC의 성능, 설계기간, 신뢰도 및 제품의 시장성 등을 고려할때 스마트 파워 IC는 시스템 레벨(level)을 비롯한 회로, 소자, 제조공정 레벨에서 시뮬레이션을 수행 및 검증에 의한 칩 제작을 할수 있는 체계적인 CAD 환경구축이 필수적이며 매우 중요하다. 스마트 파워 IC 원가절감을 위한 단기간의 스마트 파워 IC 설계를 가능하게 하는 CAD 체계는 세부적으로 시스템레벨, 회로레벨, 소자레벨 시뮬레이션을 포함한 공정 시뮬레이션이 가능한 시뮬레이션 tool들에 의해 구축된다. 스마트 파워 IC를 구성하고 있는 전력소자, 고성능 아날로그 회로, 그리고 보호회로등은 소자의 구조, 제조공정등에서 저전압의 디지틀 논리회로를 구성하는 소자, 회로와 다르게 고유한 특성을 갖고 있으므로 스마트 파워 IC 시뮬레이션을 위한 CAD tool은 이러한 소자 및 회로의 특성까지도 시뮬레이션이 가능하여야 한다. 스마트 파워 IC의 제조공정 시뮬레이션에 관련된 tool은 칩의 대면적이 소요되는 전력소자의 시뮬레이션을 위해 100μm 이상의 수평, 수직방향 거리까지 시뮬레이션을 수행할 수 있어야 하며 공정상의 2차원효과, RTP(Rapid Thermal Process) 그리고 내부배선에 이용되는 Al-Si, Al-Cu-Si등의 내화성 금속(refactory metal) 및 silicide 등과 같은 금속에 관련된 정확한 물성과 질화실리콘, BPSG(borophosphosilicate), SIPOS와 같은 물질의 증착에 의한 산화막 성장, 계면에서 trap 상태 등에 관한 정확한 시뮬레이션을 수행할 수 있어야 한다. 또한 전력소자의 lifetime 제어방법으로 많이 사용되는 전자, 양성자 및 감마선 조사등에 의한 공정상의 영향 및 효과까지도 시뮬레이션을 수행할 수 있어야 한다[13].

소자 시뮬레이션을 위한 tool은 전력소자의 고내압 구현에 사용되는 가장자리 처리(edge-termination) 방법, 원통형 pn 접합에서의 전계분포 그리고 소자에서 발생되는 열효과등을 고려한 시뮬레이션이 가능하여야 한다. 회로 시뮬레이션의 tool은 다양한 전력소자(IGBT, MCT 등)의 소자까지도 시뮬레이션을 할 수 있어야 한다. 이러한 각각의 시뮬레이션 tool을 통합 및 조합하여 스마트 파워 IC의 설계를 위한 체계화된 Philips사의 CAD 시스템을 그림 15에 예시 하였다[1]. 예시한 개개의 시뮬레이션 tool은 대부분 상용화된 tool에 의존하였지만 일부는 스마트 파워 IC의 시뮬레이션 및 칩의 자동배치를 가능하게 자체적으로 tool을 수정,보완 및 접속하여 구축하였다. 이러한 CAD 체계의 의존하여 Philips사에서는 스마트 파워 IC를 개발하여 제품화하고 있다.

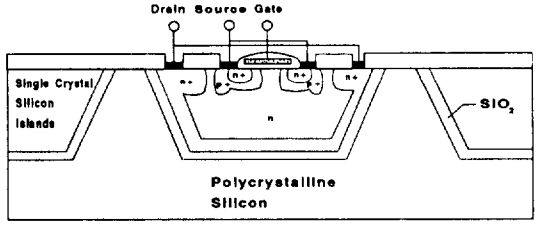


그림 14 유전체 격리기술을 이용하여 제작된 VDMOSFET의 단면구조

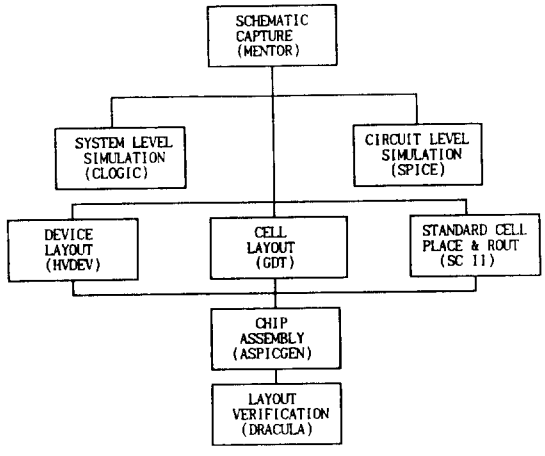


그림 15 스마트 파워 IC의 설계를 위한 Philips사의 CAD 체계도[1]

3. 스마트 파워 IC 제품 동향 및 응용

3. 1 스마트 파워 IC 제품 동향

전자기기의 고기능화, 고신뢰성 및 소형경량화에 주요한 영향을 미치는 스마트 파워 IC는 최근 Matsushita사에서 내압 650V급 LDMOSFET와 PWM(Pulse Width Modulation) 제어회로가 동일 칩상에서 집적화된 스마트 파워 IC를 개발하여 보고하였다[15]. 이 제품은 과전압, 과전류, 과열등에 대한 보호회로가 내장되어 있으며, 출력전류는 0. 8A 정도이며, 전력용량은 입력 교류전압 100V에 10W 및 220V에 20W의 출력과 최대 스위칭 주파수 500kHz까지 동작 가능하다. 이와같은 스위칭 전원장치에 응용되는 스마트 파워 IC 제품외에 모터 제어용을 중심으로 하는 다종의 제품이 개발되어 사용되고 있으며, 최근에는 400V, 20A 급의 모터제어용 스마트 파워 IC가 제품화되어 있으며 1200V, 10A 급 이상의 모터를 제어하는 스마트 파워 IC의 개발노력도 진행 되고있다. 상용화된 스마트 파워 IC의 제품은 저내압, 대전류 영역의 자동차용 하이 사이드 스위치, 소형 모터 구동용 IC와 고내압, 소전류 영역의 평판 디스프레이 구동용 IC, 전자교환기 가입자 회로용 IC와 고내압, 대전류 영역의 스위칭 전원장치, 자동차용 점화코일 구

표 1. 스마트 파워 IC 제품 예 : 자동차용 하이사이드 스위치 (← : 좌동)

제 품 명	HA13701	TPD105S	MPC1510	BTS412A	L9801
용 도 별	자동차(솔레노이드, 램프, 모터구동)	←	←	←	←
입력, 출력, 구성	Bi-CMOS +DMOS	←	←	CMOS +DMOS	BiCMOS +DMOS
전원전압(V)	25	25	30	35	30
출력 인가 전압(V)	60	60	40	45	60
출력전류(A)	10	8	12	10	6
출력 On 저항(Ω)	0.1	0.2	0.1	0.2	-
보호회로	과전류, 과전압, 과열, 부하이상	←	←	←	←
자기진단 기능	유	←	←	←	←
칩사이즈(㎟)	3.9×3.2	3.2×3.2	4.0×4.0	4.7×4.2	22

표 2. 스마트 파워 IC 제품 예 : 모터 제어, 구동 (← : 좌동)

제 품 명	TA8424H	ECN1310	MPC1710	L6202	MPC1700	V100
용 도 별	step motor	step motor(uni-polar 구동용)	소형 DC 모터 구동	←	모터 구동(회전 속도 PWM)	←
입력, 출력, 구성	Bi-CMOS+Bi-polar(X8) Dual H형 bridge	Bi-CMOS+ GTO(X4) H 형 bridge	Bi-CMOS+ DMOS(X4) H 형 bridge	←	Bi-CMOS+ DMOS(X1) off-on Drain	Bipolar Tr + Bipolar Tr
전원전압(V)	6	7	6	60	60	18
출력 인가 전압(V)	40	42	8	60	80	500
출력 전류(A)			1.0/3.0	1.5/4.0	15/-	5/-
출력 On 저항(Ω)	-	-	0.4/0.2	0.3	-	-
보호회로	-	과열	←	←	과전류, 과열	과열

동용 IC, 교류 모터제어 및 구동용 스마트 파워 IC가 개발되어 제품화 되어 있다.

표 1과 표 2는 각각 자동차용 하이 사이드 스위치와 모터 제어, 구동용 스마트 파워 IC의 제품에 대한 전류, 전압에 대한 사양과 내장된 전력소자의 유형과 보호회로의 유무 및 칩사이즈등이 나타나 있다. 이와같은 스마트 파워 IC의 사용으로 전력 시스템을 구성하는 주변회로가 더욱 간소화 되며 필요한 부품수가 감소 되어, 그 결과 접속개소가 대폭 줄어들어 전자기기 계통의 시스템이 소형경량화, 고기능화되어 신뢰성 향상에도 큰 영향을 미치며 제품의 고부가가치의 창출이 가능하다.

3. 2 스마트 파워 IC의 응용

그림 16은 개발되어 응용되고 있는 스마트 파워 IC를 전류, 전압에 따라 응용분야를 표현한 것이다. 그림에 나타낸 바와같이 전류, 전압의 용량에 따라 응용분야를 3가지로 분류할 수 있다[16]. 저내압, 대전류 영역에 응용되는 스마트 파워 IC는 자동차 하이사이드 스위치, 정전압원, 스위칭 전원

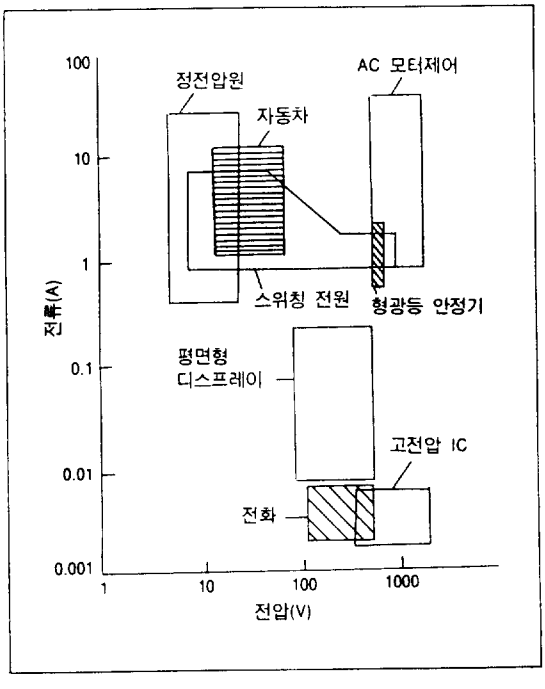


그림 16 스마트 파워 IC의 전류, 전압에 따른 응용분야

장치등에 이용되며, 고내압, 대전류 스마트 파워 IC는 형광등 안정기용, AC 모터 제어용, 스위칭 전원의 일부에 응용되고 있으며, 고내압,저전류 영역의 스마트 파워 IC는 평판 디스프레이 구동용, 전자교환기 가입자회로용 및 고전압 파워 IC등이 응용되고 있다.

4. 결 론

본 논단에서는 스마트 파워 IC의 개념과 주요 구성 핵심기술인 횡형 전력소자들의 기본구조와 특성을 비교하였으며, 공정에 밀접한 관련 있는 전기적 격리기술, 그리고 스마트 파워 칩 구현을 위한 CAD 체계에 대해 논의하였다. 또한 자동차 하이 사이드 스위치와 모터 제어및 구동용 스마트 파워 IC의 제품을 중심으로 스마트 파워 IC의 응용분야에 대해 간략하게 살펴 보았다.

전자기기에 광범위하게 응용되어 시스템의 고급화, 고신뢰도 및 소형경량화에 중요한 영향을 미치는 스마트 파워 IC는 Dataquest사에 의하면 '91년 세계시장은 약 10억불로써 개별 전력용 반도체 소자를 포함한 전체 전력 반도체소자 시장 50억불의 20%를 형성하였다. 최근 스마트 파워 IC의 큰 시장으로 주목되는 자동차 전장부품에 응용되는 스마트 파워 IC는 자동차 1대당 50개에서 140개까지 소요 예상되리라는 보고도 되고 있다[16].

스마트 파워 IC는 고내압, 대전류, 고속 스위칭 특성을 갖는 전력소자 및 전기적 격리기술 그리고 설계자동화를 위한 스마트 파워 IC의 구성 요소기술들의 지속적인 발전에 힘입어 더욱 고기능화된 제품개발에 의해 민생용 소비재 분야에서 산업분야까지 현재 보다 더 광범위한 응용이 기대된다.

참 고 문 헌

[1] B. J. Baliga, "An overview of smart power technology", IEEE Trans. Electron Devices, vol. ED-38, pp. 1568~1575,1991.

[2] M. N. Darwish, M. A. Shibib, "Lateral MOS-gated power devices - a unified view", IEEE Trans. Electron Devices, vol. ED-38, pp. 1600~1604,1991.

[3] J. A. Appel,H. M. J. Vaes, "High voltage thin layer devices(RESURF devices)", in IEDM Tech. Dig. , p. 238, 1979.
[4] S. E. D. Habib, "Reduction of on-resistance of power MOSFETs by surface accumulation layers", U. K. Patent 2150746A,July 3, 1985.
[5] K. Board,M. N. Darwish, "LDMOS transistor with implanted and deposited surface layers", IEE Proceedings,vol. 132, pp. 177~180,1985.
[6] O. Ishikawa et al., "A 2. 45GHz power LD-MOSFET with reduced source inductance by V-groove connections", in IEDM Tech. Dig., p. 166,1985.
[7] M. N. Darwish, M. A. Shibib, "DC and transient analysis of lateral insulated gate transistors", in Proc. Symp. on High Voltage and Smart Power ICs, vol. 87-13, p. 295,1987.
[8] T. P. Chow et al., "Comparison of p-channel lateral insulated gate bipolar transistors", in Proc. Symp. on High Voltage and Smart Power ICs, vol. 11, p.184,1990.
[9] A. L. Robinson et al., "Lateral insulated gate transistor with improved latching characteristics", IEEE Trans. Electron Device Lett., vol. EDL-7, p. 61,1986.
[10] J. K. O. Sin et al., "The SINFET- A Schottky injection MOS-gated power transistors", IEEE Trans. Electron Devices, vol. ED-33, p. 1940,1986.
[11] J. K. O. Sin et al., "Analysis and characterization of the hybrid Schottky injection field effect transistor", in IEDM Tech. Dig., p. 222, 1986.
[12] T. Yamaguchi and S. Morimoto, "Process and design of a 1000V MOS IC", IEEE Trans. Electron Devices, vol. ED-29, pp. 1171 ~ 1178, 1982.
[13] H. W. Becke, "Approaches to isolation in high voltage integrated circuits", in IEDM Tech. Dig., p. 250~253, 1981.
[14] R. K. Williams, "Issues in computer engineering for power semiconductor devices and ICs", pp. 15~20, 1992.
[15] Nikkei Electronics Asia, pp. 33~35, Sep. 1992.
[16] Nikkei Electronics Asia, pp. 22~31, Nov. 1992.

황성규(黃聖圭)
1965년 8월 20일생, 1987년 아주대공대 전자공학과 졸업. 1989년 동대학원 전자공학과 졸업(석사). 현재 전자부품종합기술연구소 전자회로연구실 전임연구원.