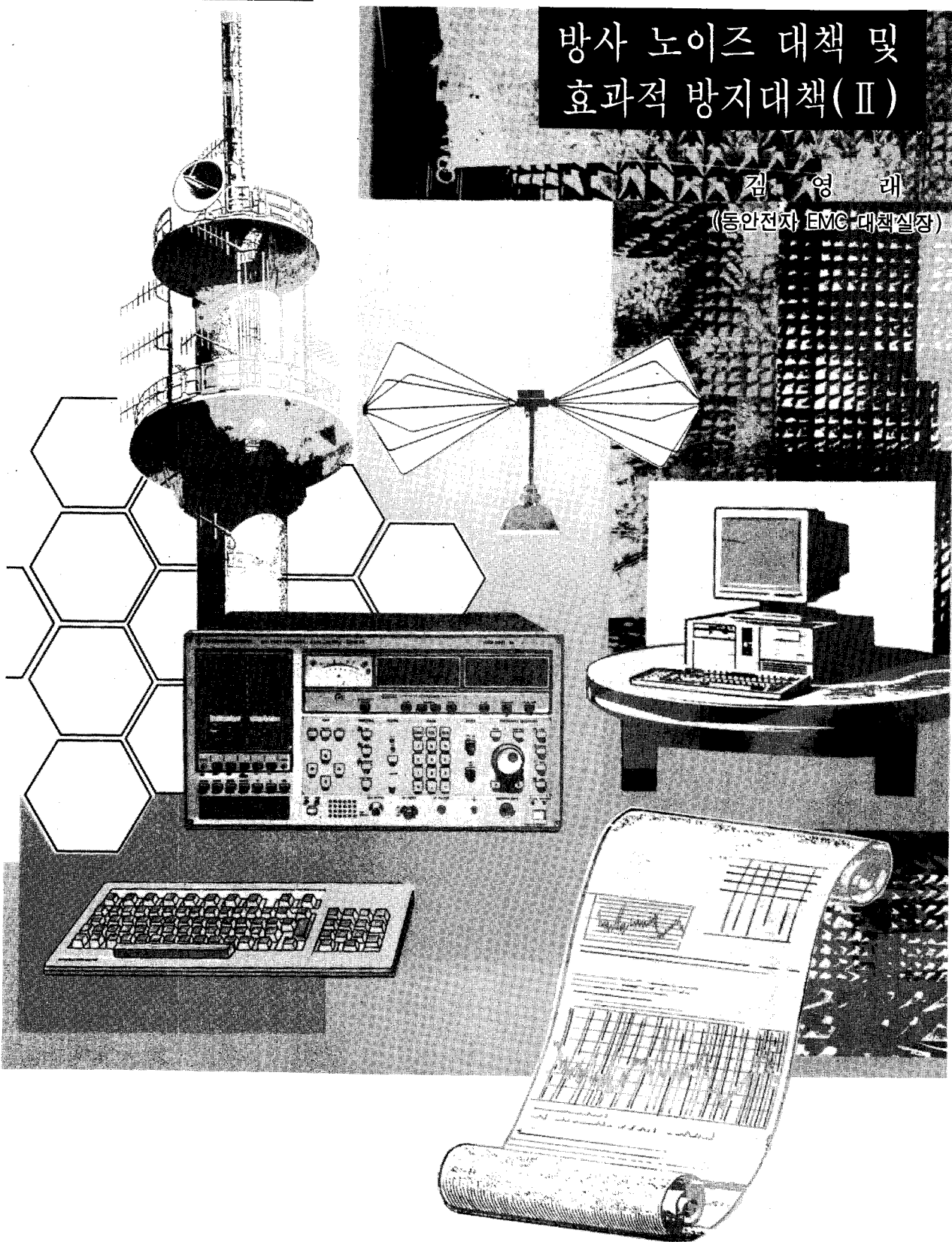


방사 노이즈 대책 및 효과적 방지대책(Ⅱ)

김영래
(동안전자 EMC 대책실장)

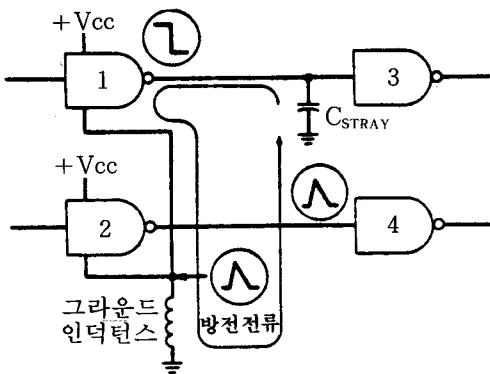


(3) 디지털 로직 회로의 스위칭
노이즈 대책

PCB설계시 EMI대책으로서 간과해서는 안될 것이 디지털 로직 회로의 스위칭에 따른 일시 과도 전류(Transient Current)에 의한 전원라인의 노이즈다. 최근들어 사용 주파수가 100MHz정도의 높은 주파수 까지 확장되면서 이러한 노이즈가 한층 더 중요시 되고 있으며, 일부 외국의 EMI규격에서는 이에 따라 규제의 상한 주파수를 높여려는 경향도 나타나고 있다. (1GHz에서 2.2GHz까지 확장 추세)

이러한 노이즈의 기본적인 발생원리 및 대책방법에 대하여 2가지 대표적인 예는 다음과 같다.

1) Stray캐피시턴스에 의한 Ringing현상
(그림 11)는 4개의 게이트로 구성된 간단한 디지털 논리 회로를 나타내었다.



〈그림 11〉 게이트1이 High에서 Low로
스위칭 될때 노이즈 발생

게이트1의 출력이 High에서 Low로 스위칭 되었을 때의 현상을 알아보면, 게이트1

이 스위칭 되기 전에는 출력이 High이고, 게이트1과 2사이의 패턴Stray캐피시턴스는 전원 전압에 의해 충전된 상태이다. 게이트1이 스위칭되면, Stray캐피시턴스는 게이트3이 Low로 변화 되기전 방전 되어진다.

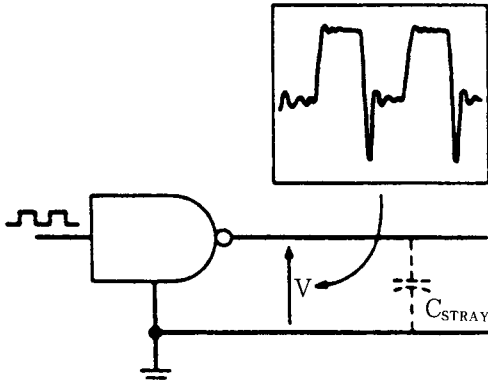
따라서 Stray캐피시턴스에 의한 큰 과도 전류가 흘러 그라운드 시스템을 통해 방전 된다.

그라운드 인덕턴스에 의해서 이러한 전류는 노이즈전압 펄스를 게이트1과2의 그라운드 단자에 유발시킨다. 만약 게이트2의 출력이 Low이면 이 노이즈 펄스는 그림에서와 같이 게이트4의 입력에 유도시켜 스위칭 될 수도 있다.

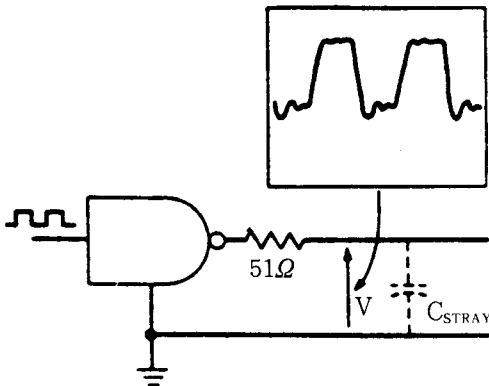
이러한 그라운드 노이즈 전압의 크기를 줄이는 방법은 그라운드 시스템이 가지는 인덕턴스를 줄이는 것이다.

Stray캐피시턴스로 부터의 방전회로는 게이트1의 출력과 그라운드 회로에 아주 낮은 값의 저항 성분을 가지고 있어 마치 High-Q직렬 공진 회로와 같은 발진기와 유사하며, 이 결과 게이트1의 출력에서 〈그림 12 (가)〉와 같이 음(Negative)으로 떨어지는 Ringing현상이 나타나며 이것으로 인하여 오동작 및 EMI방사 노이즈 원이 되고 있다. 이것을 감소시키기 위해 게이트1의 출력에 Damping 저항 또는 Ferrite Bead등을 삽입하면 이러한 Ringing노이즈는 상당히 감소 시킬 수 있다. 만약 이러한 Damping저항을 사용하는 경우, 동작 전류가 감소되고, 원치않던 열 손실이 발생 될

수 있으므로 주의해야 한다.



(가) Stray캐패시턴스와 그라운드 인덕턴스에 의한 Ringing



(나) 출력Damping저항에 의한 Ringing 노이즈 감소

(그림 12) 로직회로의 출력 파형 예

2) Totem pole출력에 의한 과도전류 노이즈

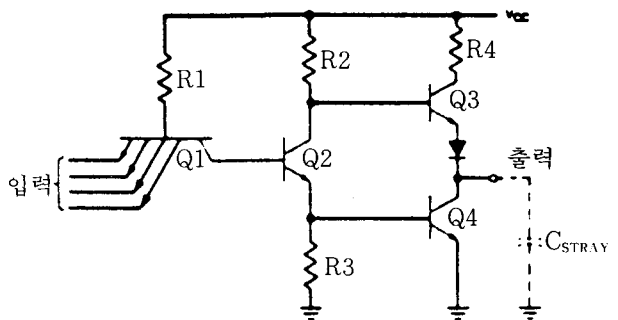
(그림 13)은 Totem pole출력 회로(트랜지스터 Q3, Q4)에 의한 로직 게이트의 전형적인 회로를 나타내었다. 입력중 1개 이상이 그라운드 되면 트랜지스터 Q1이 도통(Turn-On)되고, Q2와 Q4는 차단(off)된다. 따라서 Q3는 Q2를 통한 전류에 의해

도통된다. 트랜지스터 Q3는 이 전류를 증폭시켜 부하 캐패시턴스 C_{stray} 를 충전시킨다. 그러나 이 경우는 Damping저항 R4에 의해 앞의 1)항에서와 같은 심각한 Ringing노이즈 현상은 발생되지 않는다.

Totem pole출력회로에서 가장 중요한 노이즈 발생 메카니즘은 로직 디바이스에 의해서 생긴다.

출력이 '1'상태일때 트랜지스터 Q3는 On이고, Q4는 Off이다. 반대로 출력이 '0'상태일때는 Q3는 Off이고, Q4는 On이 된다. 이 양쪽 상태 모두 전원 V_{cc} 와 그라운드는 High임피던스 상태이다. 그렇지만 게이트가 스위칭 할때 아주 짧은 시간 동안은 트랜지스터 Q3 및 Q4가 모두 On되는 상태가 유지된다.

이런 짧은 Overlap결과에 의해 전원과 그라운드 사이가 Low임피던스로 연결되고 약 30mA에서 100mA의 전원 전류 스파이크가 생긴다. 이 전류는 부하 캐패시턴스 (C_{stray})를 충전시키고, Tetam pole출력 회로에 단락 전류(Short-Circuit Current)가



(그림 13) 기본적인 TTL의 Totem Pole출력 회로

흐르게 한다.

다시 말해서 아주 짧은 순간이지만 전원과 그라운드가 도통되어 아주 큰 순간 전류가 흐르게 되고 이것이 노이즈원이 되는 것이다.

이러한 순간 과도 전류가 전원 라인과 그라운드 라인의 인덕턴스를 통해 흐르고, 이것이 전원 전압이 순간적으로 크게 떨어지는 원인이 된다. 이런 노이즈 발생 대책으로서 디지털 적으로 동작하는 각 게이트의 가까운 위치에 과도 전류에 의해서 전원 라인과 그라운드 라인의 인덕턴스를 통해 일시적인 전압 강하가 일어나지 않도록 충전 전류원(캐패시터)을 추가하는 것이다.

이것은 큰 과도 전류가 흐르는 전류의 루프 면적을 적게 하는 효과를 나타내며, 이러한 과도 전류에 의한 노이즈 방사를 줄이는데 매우 효과적이다.

이런 충전원으로 사용되는 캐패시터를 디커플링 캐패시터(Decoupling Capacitor)라고 하며, 순간적인 스위칭이 일어날때 이 캐패시터에 의해 전원이 공급되므로써 과도 전류가 흐르는 면적을 적게하는 것으로, 실제 PCB의 패턴 설계시 직접회로(IC)소자와 캐패시터 사이의 인덕턴스가 최소화 되도록 가능한한 IC에 가깝게 배치 시키는 것이 중요하다. 또한 이와같은 디커플링 캐패시터의 배치와 더불어 중요한 것은 사용되는 캐패시터의 용량값과 고주파 특성이다. 이러한 디커플링 캐패시터의 효과를 최대로 발휘하기 위해서는,

① 목적에 맞는 적당한 특성과 용량을 선택

② 캐패시터의 위치를 가능한 소자에 가깝게 배치

③ 상호 연결 패턴을 가능한 짧고, 굵게 설계한다.

(4) 실제적인 디지털 회로의

그라운드 설계

실제로 고주파로 동작되는 디지털 회로의 그라운드 시스템은 상호 연결되어 동작되는 모든 IC 및 회로간의 연결은 낮은 임피던스(낮은 인덕턴스)로 설계되어야 한다. 그렇게 하기 위해서는 가능한한 병렬 회로 패턴을 많이 만드는 것이다. 비록 가는(좁은) 패턴이지만 추가 패턴이 1개라도 있으면 없는것 보다는 노이즈 적으로는 매우 효과적이다.

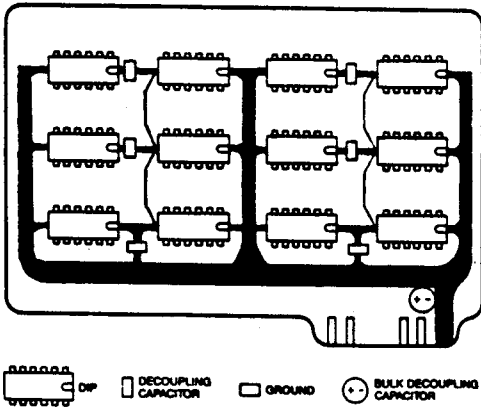
이러한 개념에서 무한히 많은 병렬 회로 패턴을 가지면 EMI노이즈 적으로는 좋아지고, 궁극적으로는 1개의 면(Plane)을 완전한 그라운드 면으로 하는 것이 필요로 하게 되는데, 이렇게 하려면 더 넓은 면적의 PCB 또는 다층 PCB를 채용해야 하는데 이로 인해 원가 상승 요인을 유발 시킨다. 이러한 점을 감안할때 그라운드 인덕턴스를 감소시키면서 원가 상승을 최소화 하기 위한 가장 효과적인 방법은 그물망 형태의 그라운드(Grid Ground) 시스템을 채용하는 것이다.

이것은 <그림 14>에서와 같이 PCB상에 수평과 수직 양 방향으로(그물망 형태로)

그라운드 패턴을 설계하는 것이다. 일반적으로 디지털 기기에서 4cm~5cm간격으로 그리드를 설치한 경우에도 동작상에는 큰 문제가 없겠지만 EMI노이즈 면에서 볼때, 가장 적절한 그리드 사이즈는 PCB상에서 모든 IC간에 떨어진 간격이 2cm이내인 것이 좋다.

이렇게 설계되면 IC간에 많은 경로의 그라운드 리턴 회로가 구성되게 된다.

이러한 그물망 형태의 그라운드는 아주 복잡하게 설계된 양면 PCB인 경우도 사용될 수 있는데 수직방향의 그라운드 패턴을 PCB의 한쪽면에 설계하고, 수평 방향의 패턴은 다른쪽 면에 설계한 다음 PCB양쪽면 사이를 관통 Hold(Through-Hole)을 이용하여 연결 시킨다.



〈그림 14〉 PCB에서 그물망 형태의 그라운드

복잡한 형태의 PCB에서도 패턴 설계시에 조금만 노력하면 만족할 만한 그물망 그라운드 시스템을 쉽게 만들 수 있다. 이 경우 패턴 설계시 가장 먼저 PCB상에 그라

운드 그리드를 배치한 다음, 다른 신호나 버스 라인을 설계하는 것이 중요하다. 일단 신호라인 패턴을 보드에 배치한 다음에는 불가능 한것은 아니겠지만, 그리드를 나중에 설치하는 것은 매우 어렵게 된다.

그리드 시스템은 노이즈 대책으로서 매우 효과적이면서 제품 생산시 원가상승을 일으키지 않는 면에서 유용한 대책 방법이다.

이러한 그물망 형태의 그라운드는 한점 그라운드 방법보다 그라운드 노이즈 전압 대책으로는 더 효과적이다.

적절한 그물망 형태의 그라운드 시스템으로 설계한 경우도 충분한 그라운드 노이즈 전압 대책 효과를 얻을 수 있으며, 완전히 한면을 그라운드 면으로 설계하면(다층 PCB채용), 이 보다 조금 더 효과가 있겠지만 그물망이 차지하는 면적 부분은 전체 PCB면적에서 보면 적은 부분을 차지하게 되므로 생산성 면에서는 더 좋은 방법이라고 할 수 있다.

다시 말해서, 그라운드 시스템은 디지털 로직 회로PCB에서 아주 기본적인 중요한 사항이며, 만일 적절치 못한 그라운드 시스템을 가진 경우에는 노이즈 대책을 세우는데 아주 어렵게 된다. 따라서 모든 디지털 회로 PCB설계시는 반드시 1개면을 그라운드 면으로 하거나 그물망 그라운드를 설계하여야 한다.

(5) 부품 및 회로의 배치 배선

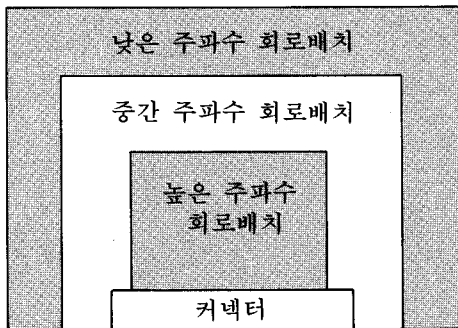
1) 주파수별 배치

프린트 기관상에 회로 부품 소자를 배치

할때 주파수(로직의 동작 속도)가 다른 부품이 있을 경우 이를 구분하여 배치할 필요가 있다.

높은 주파수로 동작하는 부품 및 회로 배선 일수록 PCB기판상에서 좌 우로 분포되지 않도록 즉, 신호라인과 리턴 전류 회로가 전원단과 그라운드 시스템으로 부터 가능한 짧은 거리를 갖도록 배치한다.

그렇게 하기 위해서는 <그림 15>와 같이 전원과 그라운드 Connector로 부터 가까운 위치로부터 가장 높은 주파수, 중간 주파수, 낮은 주파수 순으로 부품 및 회로를 배치하는 방법이 좋다.



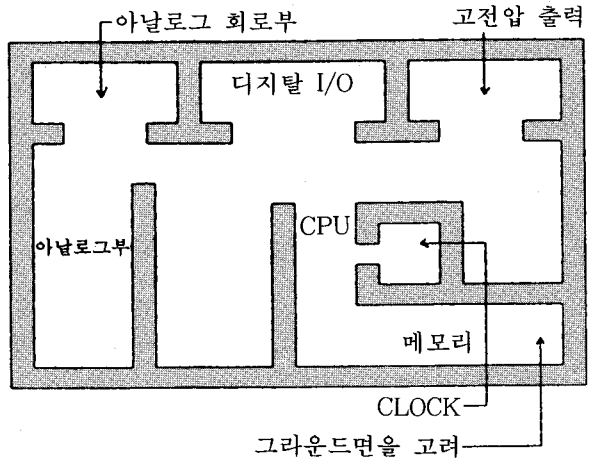
<그림 15> 주파수별 부품 배치

2) 기능별 배치

회로를 각 기능별로 배치하는 것도 중요하다. 디지털과 아날로그 회로를 분리하고, 클럭 발생부, CPU단, 메모리부, I/O부 등을 분리하여, 앞에서 언급한 주파수 별 회로도 고려하여 배치한다. <그림 16>은 회로를 기능별로 블록화하여, 여러가지 블록의 그라운드를 분리한 예를 나타내었다.

또한 전류의 루프가 작게 되도록 배치를

하고, IC의 배치 및 방향은 리턴 전류가 흐르는 경로를 예상하여, IC Pin전류의 병목 현상이 일어나지 않도록 고려하지 않으면 안된다.



<그림 16> 기능별 배치

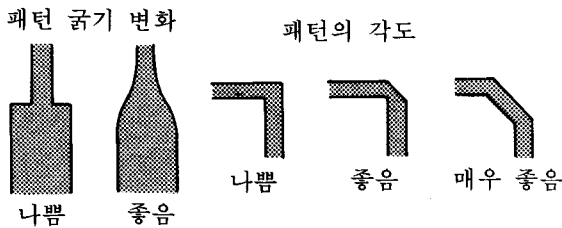
3) 신호 배선

배선으로 부터의 방사는 소자 주변으로 부터의 문제에 비해서 그다지 크지 않고 생각된다. 일반적으로 배선으로 부터의 방사를 적게하기 위해서, 패턴을 직각으로 굽히는 것은 피해야 된다고 말하고 있지만, 실제로 어느 정도의 방사가 되는지는 아직 확실하지 않다.

여기에서 <그림 17>에서와 같이 90도 직각, 45도, 곡선인 모델 패턴으로 부터 전계 강도를 측정해 보면, 곡선으로 된 것이 주파수에 따른 방사의 변화가 일정한 경향을 나타낸다.

또한, 관통홀(Through Hole)의 효과를 알아보기 위해 직선(Straight)패턴과, 양면으로 상하 교대로 관통홀로 연결된 패턴에 의

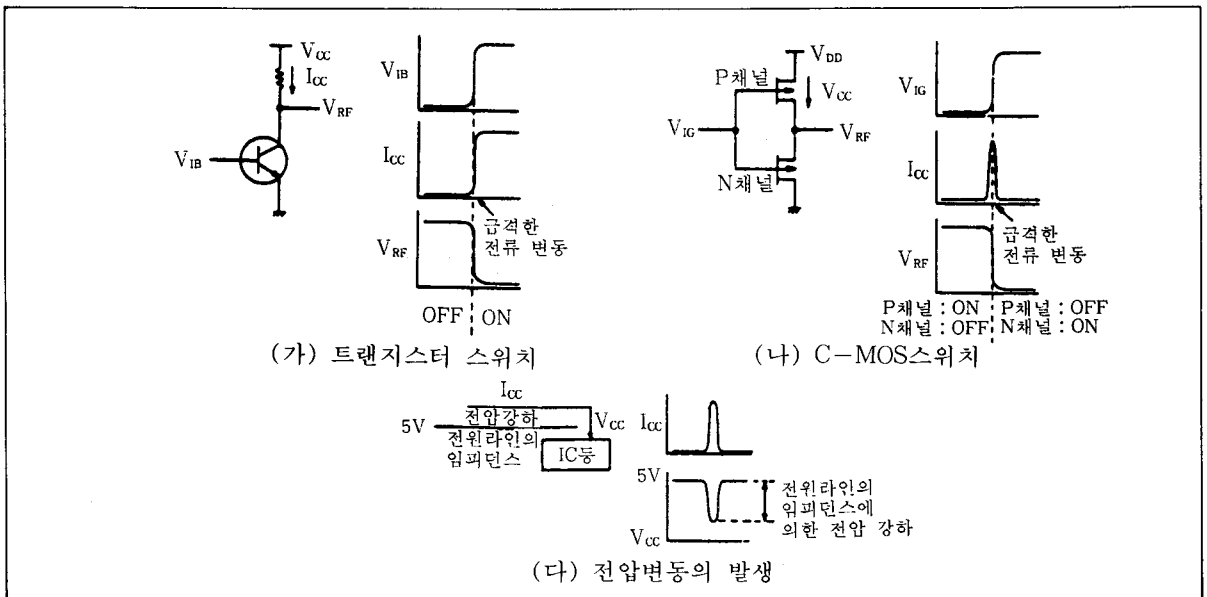
한 전계 강도를 비교하여 보면, 관통홀에 의한 패턴 쪽이 더 큰 방사가 측정된다. 이것에 대해서는 아직 검토의 여지가 있지만, 높은 주파수 또는 클럭 패턴에 대해서는 관통홀이 적게하는 쪽이 유리하다.



〈그림 18〉 전원 전류 변동과 전원 노이즈

디지털 소자의 동작 노이즈의 경우에는 전류 변동이 급격하므로 고주파 성분을 많이 포함하고 있다. 그런데 일반적으로 전원 라인이 갖는 임피던스는 고주파가 되면 증가한다. 따라서 디지털 IC와 같이 전류가 급격히 변동하는 경우에는 비교적 큰 전압 변동을 일으킨다. 이와 같은 큰 전압 변동은 고주파 성분을 많이 포함하고 있으며 펄스성 노이즈가 된다.

전원 전류의 변동에 의한 노이즈 발생을 억제하려면 전원 변동을 작게하고, 전원 인덕턴스를 낮추는 2가지 방법이 고려될 수 있다.



〈그림 17〉 PCB에서 패턴의 각도

(6) IC전원 라인의 대책

기본적으로 IC전원 회로 설계시에도 그라운드 시스템 설계시와 마찬가지로 병렬회로 패턴을 만들어야 한다. 그러나 실질적으로

이러한 병렬 회로 패턴을 만드는 것이 쉽지 않을때가 많으며, 이런 경우 적절한 디커플링 캐패시터(Decoupling Capacitor)에 의해 전원노이즈를 감소시키는 방법이 있다.

1) 전원 노이즈 발생 원인

디지털 회로 동작에 따라 발생하는 노이즈 중 대표적인 것은 디지털 IC의 동작 노이즈이다. TTL 게이트 IC나 트랜지스터 등의 디지털 소자는 스위칭 동작을 할 때 (그림 18)에 나타난 것과 같은 급격한 전원 전류가 변동한다.

이 전원 전압과 전원라인 등이 갖는 임피던스에 의해 전원 전압에도 변동을 일으킨다. 이와같은 전원변동은 디지털 소자뿐만 아니라 거의 모든 회로의 동작에 따라 발생하게 된다. 이러한 변동의 크기는 일반적으로 그리 크지 않으나, 노이즈 트러블의 원인이 되는 경우는 전류의 변동이나 전원라인 등의 임피던스가 특히 큰 경우이다.

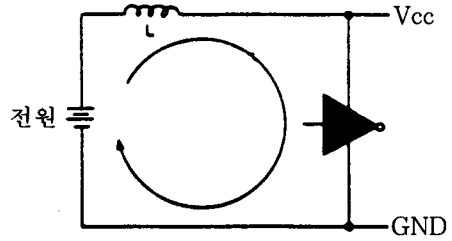
이와 같은 경우 IC의 동작 전류는 고정된 경우가 많으므로, 전원라인의 임피던스(인덕턴스)를 낮추는 것이 유용한 방법인 경우가 많다.

2) 전원 디커플링

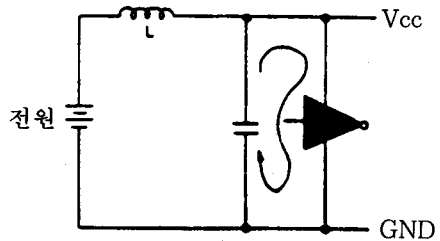
아주 좋은 그라운드(저 인덕턴스) 시스템을 설계한 경우라도, (그림 19(가))에서와 같은 문제를 가지게 된다.

가장 심각한 문제는 전원라인의 인덕턴스 L에 의해 나타나는 전압강하이다. 이러한 인덕턴스를 통해서 흐르는 과도전류에 의해 로직 회로의 전원(Vcc)단자에 큰 노이즈 전압으로 나타나게 된다.

전원 전압 변동의 크기는 인덕턴스(Lp)의 값을 줄이거나, 또는 이 인덕턴스를 통해 흐르는 과도 전류를 줄임으로써 적게 할



(가) 디커플링 캐패시터가 없는 경우



(나) 디커플링 캐패시터가 있는 경우

(그림 19) 과도적인 전원전류의 흐름

수 있다. 인덕턴스는 그라운드 시스템에서와 같이 전원면(다층) 또는 전원 그물망(Grid)을 설치 하므로써 줄일 수 있다.

또한 일시적인 전류의 흐름은 (그림 19(나))에서와 같이 로직 회로 가까이에 설치한 캐패시터와 같은 또 다른 전류원에 의해 전류를 공급함으로써 최소화 할 수 있다.

게이트 양단간에 나타나는 노이즈 전압은 디커플링 캐패시터(Decoupling Capacitor)와, 그것과 게이트간의 배치에 많이 좌우된다. 사용되는 캐패시터의 종류, 용량 및 위치가 IC에 따라 매우 중요하며, 영향을 많이 받게 된다.

전원 패턴면이나 그물망(Grid)을 사용한 경우에도 과도전류 흐름에 의한 방사노이즈 감소를 위해 디커플링 캐패시터가 역시 필요하다. 이러한 디커플링 캐패시터에 의해

과도 전류 흐름에 의한 루프 면적(Loop Area)을 줄일 수 있기 때문이다.

3) 대용량 디커플링 캐패시터

IC의 디커플링 캐패시터는 재충전 되어야 한다. 이러한 재충전 전류는 각각 IC의 디커플링 캐패시터 보다는 상당히 느린 속도로 PCB상에 위치한 대용량 디커플링 캐패시터(Bulk Decoupling Capacitor)에 의해 흐르게 된다. 이 대용량 캐패시터의 용량값은 그리 중요하지는 않지만 통상 각 디커플링 캐패시터 용량의 합보다 10배이상 되어야 하며 위치는 PCB로 전원이 유입되는 초단에 배치하여야 한다.

20개 이상의 IC가 사용된 경우에는 2개 이상의 Bulk Decoupling Capacitor가 사용되도록 하고, 매 15개 또는 20개 IC마다 1개씩 추가 사용하는게 좋다. 이러한 대용량 디커플링 캐패시터로는 등가직렬 인덕턴스가 적은 것을 사용해야 하며, 탄탈-전해 또는 메탈 폴리카본네이트 콘덴서가 내부 인덕턴스가 적으므로 이러한 용도에 적합하고, 알루미늄 전해 콘덴서는 인덕턴스 값이 높으므로 적당하지 않다.

외부 노이즈가 시스템 내로 전도 될 수도 있고, 또한 내부 노이즈가 전원 라인을 통해 시스템 외부로 전도될 수도 있다. 따라서 전원라인의 디커플링(Decoupling)과 필터링(Filtering)은 실제 설계시에 기본적인 것이다.

높은 주파수의 과도 전류 전원은 디지털 회로 PCB내에 한정 시켜야 하고, 다른 DC

전원 회로에 흐르지 않도록 해야 한다. 이러한 목적으로 별도의 인덕터(1-10 μ H) 또는 페라이트 비드를 디지털 회로 밖으로(Bulk Capacitor 유입전단 회로) 추가하여 과도 전원 전류가 최소로 되도록 하므로써 방사노이즈를 줄일 수 있다.

4) 디커플링 캐패시터의 종류 및 용량

디커플링 캐패시터는 고주파 특성이 좋고, 낮은 인덕턴스를 가지는 것이 필요하다. 따라서 디스크 세라믹이나 적층 세라믹 콘덴서가 적절하다. 각종 콘덴서의 고주파 특성을 비교하여 보면 <그림 20>과 같으며, 비교적 소용량(0.01 μ F~0.1 μ F정도)의 것으로는 세라믹 콘덴서가, 대용량(0.1 μ F~10 μ F정도)이면 탄탈 콘덴서가 적당하다. 어떤 콘덴서나 정확하게 실장하면 수십 MHz정도의 범위에서 전원 임피던스를 충분히 낮출 수 있으나, 알루미늄 전해 콘덴서나 마일러 콘덴서 등은 고주파에서 임피던스가 높으므로 디커플링 캐패시터로 부적당하나, 알루미늄 전해 콘덴서인 경우 대용량(10 μ F이상)인 것을 쉽게 얻을 수 있으므로 특히 대용량 디커플링 캐패시터(Bulk Decoupling Capacitor)를 필요로 할 때 사용될 수 있다.

디커플링 캐패시터는 IC가 스위칭시에 필요한 모든 전류를 공급할 수 있어야 한다.

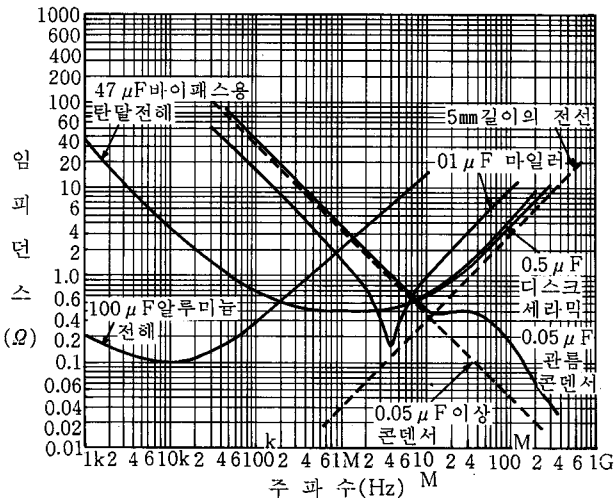
캐패시터의 최소 용량은

$$C = \frac{dI dt}{dV}$$

로 계산할 수 있다.

여기서 dV : 전원 과도 전압에 의한 전압 강하, dI : 시간 dt 동안의 전류변동 분이다.

대부분의 개발 담당자들은 필요이상 큰 용량의 디커플링 캐패시터를 사용하는 경향이 있으며, 모든 캐패시터는 직렬로 인덕턴스 성분을 가지게 된다.



〈그림 20〉 각종 콘덴서의 주파수 특성

이러한 캐패시터스와 인덕턴스의 조합에 의해 특정 주파수에서 자기 공진을 일으키게 된다. 이런 자기 공진 주파수에서 캐패시터는 매우 낮은 임피던스로 바이패스 역할을 한다. 자기 공진 이상의 주파수에서는 회로가 인덕터(코일)로 동작하여 주파수에 따라 임피던스가 증가하게 되어 디커플링 캐패시터로서의 역할을 하지 못하게 된다.

여기서 L-C 직렬 회로의 공진 주파수는

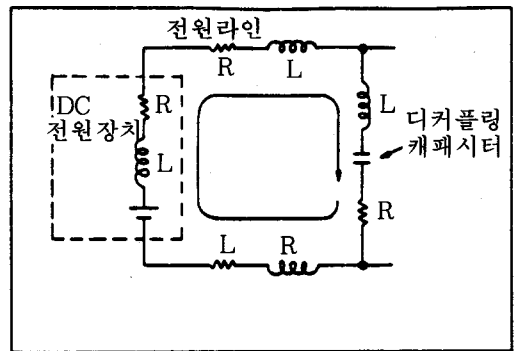
$$f = \frac{1}{2\pi\sqrt{LC}}$$

이다.

같은 크기의 인덕턴스에 대해 더 큰 캐패시터 용량을 사용하게 되면, 더 낮은 쪽에서 자기 공진 주파수를 나타내게 될 것이다. 즉, 더 낮은 쪽에서 자기 공진 주파수가 생기지 않도록, 필요 이상의 큰 용량의 디커플링 캐패시터를 사용하지 말아야 한다.

반면 너무 작은 용량의 캐패시터를 사용하게 되면, 과도 상태의 전압 강하가 생기지 않도록 IC의 스위칭에 필요한 전류를 공급할 수 있는 충전 용량이 부족하게 될 것이다.

따라서, 가장 적절한 용량 값으로 적용하는 것이 필요하다.



$$\left(\begin{array}{l} \text{R.L.C 직렬공진회로} \\ f_0 = \frac{1}{2\pi\sqrt{LC}} \end{array} \right)$$

〈그림 21〉 직렬 공진 회로

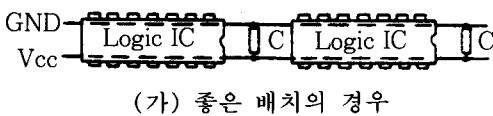
5) 디커플링 캐패시터의 배치

디커플링 캐패시터는 가능한한 IC에 가깝게 배치하여야 한다. 이것은 IC와 캐패시터 사이의 인덕턴스(Inductance)와 과도전류(Transient Current)가 흐르는 루프 면적을 최소화 하기 위한 목적이다.

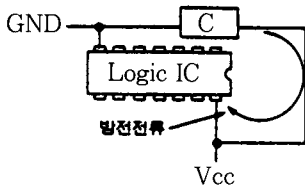
만약 IC들을 일렬로 배치한 경우에는 〈그

림 22)에서와 같이 두개의 IC에 대하여 동시에 영향을 미치게 할 수 있다. 이런 경우 전원과 그라운드 패턴의 배치는 IC의 핀 또는 다른 IC의 반대쪽 핀에 가깝게 배치하는 것이 좋다.

다시 강조하지만 가장 중요한 점은 IC와 디커플링 캐패시터 사이의 인덕턴스를 최소화 하는 것이다.



(가) 좋은 배치의 경우



(나) 나쁜 배치의 경우

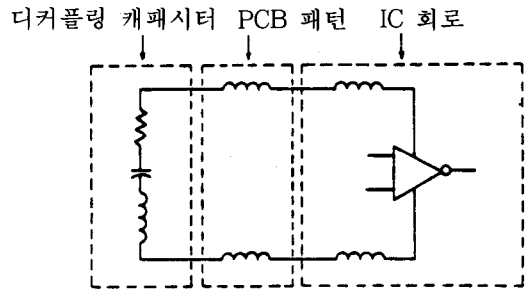
〈그림 22〉 디커플링 캐패시터의 배치

실제 회로 설계시 인덕턴스 값에 영향을 미치는 요소로는 〈그림 23〉에서와 같이 3가지로 구분할 수 있다.

- 캐패시터 자체의 내부 인덕턴스,
- 캐패시터와 IC를 연결하는 패턴의 인덕턴스,
- IC내부의 리드 프레임의 인덕턴스이다.

이 경우 캐패시터의 종류(Type)를 디커플링용에 맞게 적절하게 선택하면 캐패시터 내부 인덕턴스는 무시하고 다른 두가지 경우에만 고려하면 되고, IC 내부의 리드프레임에 의한 인덕턴스는 IC의 선택시 이러한

스펙을 고려하여 선정하므로써 상당히 줄일 수 있으나, PCB패턴에 의한 인덕턴스는 개발 담당자에 의해 쉽게 대책이 가능한 요소이다.



〈그림 23〉 디커플링 캐패시터에 의한 인덕턴스의 증가회로

따라서 루프 면적을 최소화 하기 위해 가능한 IC와 캐패시터는 가깝게 배치하여 패턴의 길이를 줄여야 한다. 이때 전체 패턴의 길이(전원과 그라운드 패턴 포함)를 3Cm이내로 하는 것이 좋다.

다음은 실제 설계시에 인덕턴스를 줄이기 위해 적용 가능한 방법들을 열거한 것이다.

- ① 리드가 없거나 짧은 형태의 IC패키지를 사용
- ② IC장착전에(IC밀면으로) 분배 캐패시터(노이즈 캔슬러) 사용
- ③ IC소켓 장착용 캐패시터 사용
- ④ PCB패턴 면으로(부품이 없는쪽) 표면 실장용(Surface Mounted) 캐패시터를 사용한다.
- ⑤ IC패키지 안에 리드-프레임 캐패시터가 포함된 IC를 사용한다.