

## 이층 배선공정에서 층간 절연막의 층덮힘성 연구 : PECVD와 O<sub>3</sub> ThCVD 산화막

박대규 · 김정태 · 고철기  
현대전자(주) 반도체연구소

Step-Coverage Consideration of Inter Metal Dielectrics in DLM Processing  
: PECVD and O<sub>3</sub> ThCVD Oxides

Dae Gyu Park, Chung Tae Kim, and Chul Gi Ko  
*Semiconductor Research and Development Laboratories*  
*Hyundai Electronics Industries Co. Ltd., Kyungki-do, 467-860*

**요약** 서브마이크론 설계규칙을 갖는 소자의 이층 배선 공정에서 다침버 장비를 이용한 금속 층간 절연막의 공극없는 평탄화를 위하여 PECVD와 O<sub>3</sub> ThCVD 산화막의 종착시 층덮힘성을 연구하였다. 산화막의 두께가 증가됨에 따라 변화되는 순간단차비의 개념을 도입하여 공극형성의 개시점을 예측할 수 있는 관계식을 모델링하였고, 금속배선간격의 초기 단차비가 다양한 패턴에서 산화막의 두께에 따른 순간 단차비의 변화를 조사하였다. 모델링 검정 결과 5° 이하의 re-entrant 각을 갖는 TEOS에 의한 PECVD 산화막의 순간단차비가 모델링에 잘 일치하였다. 공극없는 평탄화는 제1층의 PECVD 산화막의 순간 단차비를 0.8 이하로 유지하거나 Ar sputter식각을 통하여 산화막의 모서리에 경사를 준 후 층덮힘성이 우수한 O<sub>3</sub> ThCVD 산화막을 종착함으로써 가능하였다. O<sub>3</sub> ThCVD 산화막의 etchback이 non etchback 공정에 비하여 via 접촉저항체인에서 높은 수율을 보였으며, via 접촉저항은 0.1~0.3Ω/μm<sup>2</sup>로 나타났다.

**Abstract** An investigation on the step-coverage of PECVD and O<sub>3</sub> ThCVD oxides was undertaken to implement into the void-free inter metal dielectric planarization using multi-chamber system for the submicron double level metallization. At various initial aspect ratios the instantaneous aspect ratios were measured through modelling and experiment by depositing the oxides up to 0.9 μm in thickness in order to monitor the onset of void formation. The modelling was found to be in a good agreement with the observed instantaneous aspect ratio of TEOS-based PECVD oxide whose re-entrant angle was less than 5°. It is demonstrated that either keeping the instantaneous aspect ratio of PECVD oxide as a first layer less than a factor of 0.8 or employing Ar sputter etch to create sloped oxide edge ensures the void-free planarization after O<sub>3</sub> ThCVD oxide deposition whose step-coverage is superior to PECVD oxide. It has been observed that O<sub>3</sub> ThCVD oxide etchback scheme has shown higher yield of via contact chain than non etchback process, with resistance per via contact of 0.1~0.3Ω/μm<sup>2</sup>.

### I. 서 론

반도체 소자의 임계치수가 서브마이크론(submicron)으로 감소함에 따라 topology 심화에 따른 평탄화 기술의 중요성이 증가하고 있다. 2층 배선(DLM : double level metallization) 구조를 갖는 소자에서 설계규칙(design rule)이 서브마이크론으로 축소됨에 따라 제1

금속 배선 층 형성 시 배선간 간격의 감소와 함께 높은 단차비(A/R : aspect ratio)를 갖게 되어 금속 층간 절연막(IMD : inter metal dielectric)을 종착할 때 더욱 급격한 단차비 및 공극(void)을 형성하게 된다. 이로 인하여 제2금속 층의 패턴(pattern) 형성 시 유발되는 금속 브릿지(metal bridge or stringer) 및 cracking을 방지하기 위해서 공극없는 평탄화가 이

루어져야 한다<sup>1~5)</sup>.

공극없는 평탄한 IMD형성을 위한 기술로써 spin-on glass도포<sup>6, 7)</sup>, Ar sputtering 식각과 IMD etchback을 이용한 다층 CVD충막형성<sup>1,4,5)</sup>, TEOS(tetra ethyl ortho silicate)와 오존(ozone)을 이용한 저온 APCVD SiO<sub>2</sub>산화막<sup>8,9)</sup>, 그리고 ECR(electron cyclotron resonance)CVD와 같은 공정들이 개발되고 있다<sup>10)</sup>. 이들중 CVD 산화막의 증착과 식각 공정을 in-situ로 할 수 있는 다챔버(multi-chamber)장비를 이용하여 plasma-enhanced CVD(PECVD), ozone (O<sub>3</sub>) thermal CVD(ThCVD) TEOS에 의한 SiO<sub>2</sub>산화막과 Ar sputtering 및 비동방성 식각(anisotropic etch)등을 이용한 공정이 주목을 받고 있다<sup>1,4,5)</sup>. 이는 다챔버장비를 이용한 공정이 sinlge wafer형태로써 SOG공정에 비해서 장비에 대한 의존성이 크기 때문에 대량 생산 측면에서는 약점이 있으나 부가가치가 큰 고집적 소자의 제조 측면으로 본다면 particle발생의 감소 및 산화막의 안정성과 같은 장점이 있기 때문이다.

이와 같은 공정의 개발을 위해서는 IMD에 관한 연구들이 선행되어야 하는데 현재까지 진행된 IMD에 관한 연구는 산화막의 일정두께에서 단차비에 따른 충덮힘성(step coverage) 또는 일정단차비에서 제1금속층과 산화막의 두께비에 따른 충덮힘성 변화등에 관한 것이다<sup>11,12)</sup>. 일반적으로 PECVD SiO<sub>2</sub> 산화막의 충덮힘성은 1이하이고, 산화막의 두께가 증가될수록 음의 기울기를 나타내기 때문에 PECVD산화막과 O<sub>3</sub> ThCVD산화막을 다층으로 하여 IMD로 사용할 때 절연막 자체의 충덮힘성과 entrant각은 중요하게 된다. 또한 산화막의 두께 증가에 따른 순간단차비(instantaneous aspect ratio : [A/R]<sub>i</sub>)는 증착되는 절연막의 충덮힘성에 의존되어 산화막의 두께가 증가됨에 따라 단차비가 증가하고, 마침내 음의 기울기를 갖게 되면 공극을 형성하게 되어 소자의 신뢰성 측면에서 바람직하지 않다.

그리므로 본 실험에서는 다챔버 장비를 이용하여 in-situ방법에 의한 공극없는 평탄한 IMD형성을 위하여 산화막의 두께 증가에 따른 악화되는 단차비([A/R]<sub>i</sub>)의 관계식을 도출(modelling)하였고, 초기 단차비가 다양한 패턴에서 PECVD산화막과 O<sub>3</sub> ThCVD산화막

의 두께에 따른 충덮힘성, entrant각 및 순간 단차비의 변화를 조사하였다. 그리고 모델링 한 식의 타당성 및 검증을 위하여 실제 패턴에서 구한 순간 단차비와 비교하였으며 이를 바탕으로 공정에 적용하고 서브마이크론의 DLM구조를 갖는 소자에 적용하여 금속충간의 접촉저항을 측정하였다.

## II. Modelling

서브마이크론 설계 규칙의 스택 캐퍼스터(stack capacitor)구조를 갖는 소자의 DLM형성시 요구되는 제1금속 배선층의 단차비는 약 1.5로써 다양하다. 금속충간에 절연층으로 사용되고 있는 산화막의 충덮힘성은 제1금속 배선층의 단차비에 의존하고, 산화막의 두께가 증가될수록 단차비는 악화된다. 따라서 본 장에서는 산화막의 두께, 충덮힘성 및 순간 단차비와의 관계식을 도출하고자 한다. 본 식이 성립하기 위해서는 다음과 같은 가정이 필요하다. 가정 1) 산화막이 증착되기 전에 수직한 금속패턴이 형성되어야 하고 2) 증착되는 산화막에 의해서 공극이 형성되서는 안된다. 모델링에 필요한 용어 및 수식에 대한 정의를 Fig. 1에 나타내었다. Fig. 1으로 부터 제1금속 배선층의 초기 단차비([A/R]<sub>i</sub>)는 다음과 같이 나타낼 수 있다.

$$[A/R]_i = M/S_M$$

그리고, 산화막이 증착됨에 따른 단차비의 변화인 [A/R]<sub>i</sub>는

$$[A/R]_i = T_i/S_i$$

$$= \frac{M + A - C}{S_M - 2 \cdot B}$$

로 쓸 수 있는데, 여기서 T<sub>i</sub>는 산화막이 증착될 때 금속층 윗부분에서의 산화막의 순간두께와 금속배선 사이의 공간(metal space)에서의 순간두께의 차를, S<sub>i</sub>는 산화막의 증착에 따라 좁아지는 금속배선 사이의 측면거리를, M은 금속층의 두께를, A는 금속층 위의 산화막 두께를, C는 금속배선 사이의 공간에 증착되는 산화막의 두께를, S<sub>M</sub>은 금속 배선간의 측면거리를, 그리고 B는 금속층 측벽에 증착되는 산화막의 두께를 나타낸다. 이 식을 충덮힘성의 항으로 나타내면

$$[A/R]_i = \frac{M + A(1 - C/A)}{S_M - 2A \cdot B/A} \text{ 가 된다.}$$

Step coverage at side wall =  $B/A$

Step coverage at bottom =  $C/A$

$[A/R]_i = M/S_M$

$[A/R]_i = T_i/S_i$

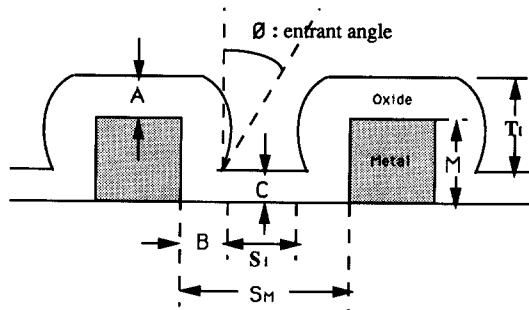


Fig. 1. Definition of step coverage, entrant angle, and aspect ratio(AR). In the case shown, the entrant angle is negative(that is, re-entrant).

M : metal thickness

$S_M$  : space between metals

A : oxide thickness on metal

B : oxide thickness at metal side wall

C : oxide thickness on metal space

$S_i : S_M - 2B$

$T_i : M + A - C$

$[A/R]_i : \text{initial aspect ratio}$

$[A/R]_i : \text{instantaneous aspect ratio}$

이 식은 소자의 설계 규칙이 정해지고, 산화막의 두께에 따른 층덮힘성을 알 수 있다면 그때의 증가되는 단차비를 예측할 수 있게 해주며, 공극없이 증착할 수 있는 산화막의 종류와 두께를 선택할 수 있게 해준다.

예를 들면, 제1금속 배선층의 설계 규칙이 금속 배선간 간격( $S_M$ )이 각각 6, 7, 8kÅ, 금속 배선층(M1)의 두께가 7kÅ이고 증착되는 산화막의 두께가 각각 3, 6, 9kÅ이라 할 때  $[A/R]_i$ 과  $[A/R]_i$ 의 결과를 Table 1에 나타내었다. 즉, 초기 단차비가 0.9에서 산화막의 두께를 3, 6, 9kÅ으로 증가했을 때, 변화된 순간 단차비는 각각 1.4, 2.8, 12.1이 되어 산화막의 두께 증가에 따라 가속되는 단차비를 예측할 수 있다. 또한 초기 단차비가 0.9에서 1.0, 1, 2, 3증가됨에 따라 순간 단차비가 상대적으로 크게 증가되고 있으며 산화막의 두께가 9kÅ 일 때 공극을 형성하게 된다. 여기서 공극형성

Table 1. Instantaneous aspect ratio obtained by modelling at various initial aspect ratios in the case that deposited oxide thickness is 3, 6 and 9kÅ respectively.

$M/S : [A/R]$	$[A/R]$	$[A/R]$	$[A/R]$
7/8 0.9	1.4	2.8	12.1
7/7 1.0	1.7	4.0	-(void)
7/6 1.2	2.5	8.2	-(void)

Here we assume that the oxide step coverage at side wall and at bottom is 0.4 and 0.7, respectively.

개시점은 상기식의 분모항인 ( $S_M - 2A \cdot B/A$ )의 값이 음(—)이 될 때인데 규정된 설계규칙과 제한된 벽면(side wall) 층덮힘성에서 산화막의 두께(A)가 임계치이상 증착될 때 공극이 형성된다. 그리고 3kÅ 이상의 산화막을 증착시켰을 때의  $[A/R]$ 가 1.5인 상태에서는 층덮힘성이 1이하인 PECVD 산화막만으로는 공극없이 평탄화하기가 불가능하다. 이러한 상태에서 가능한 공정은 Ar sputter식각을 이용하여 산화막의 모서리에 경사를 주어 단차비를 목적이하로 낮춘 뒤 층덮힘성이 우수한 산화막으로 증착하는 방법을 택할 수 있다. 또는  $[A/R]_i$  목적 이하가 되게 초기 산화막의 두께를 조정한 뒤 층덮힘성이 우수한 산화막으로 채우는 방법도 고려할 수 있겠다.

### III. 실험방법

증착되는 산화막이  $\text{SiO}_2$ 임을 확인하기 위하여 굴절율(refractive index)과 FTIR(Fourier transform infra red) spectra를 조사하였고, 두께에 따른 층덮힘성, entrant각 및 단차비의 변화 경향을 조사하기 위한 실험 과정을 Fig. 2에 나타내었다. 초기 단차비가 0.5~2를 갖는 패턴형성을 위하여 150mm인 (100) 방위를 가진 p-type Si 웨이퍼 위에 PE TEOS 산화막을  $1\mu\text{m}$ 로 증착한 후 선간 거리(line space)가 0.5~2.0 $\mu\text{m}$ 의 다양한 패턴을 갖는 마스크를 사용하여 식각하였다. 그후 IMD를 3kÅ 증착하고 IMD간의 경계를 나타내기 위하여 PE SiN을 300Å 증착하였다. 그리고 이 과정을 3회 반복한 후 절단하여 SEM 사진으로부터 층덮힘성, entrant 각 및 단차비를 계산하였

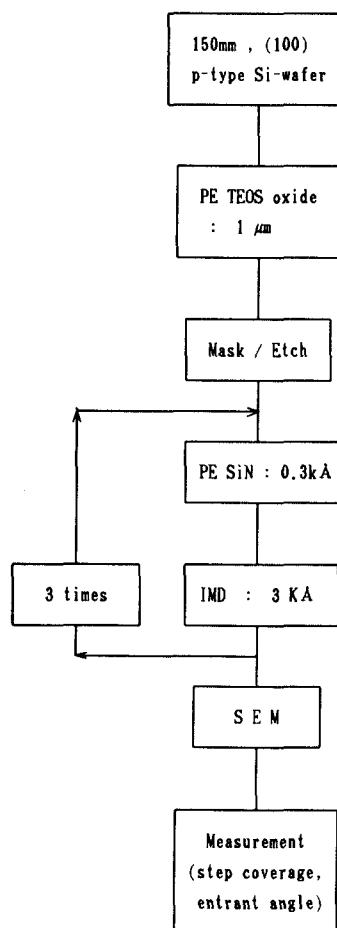


Fig. 2. Process scheme for step coverage and entrant angle measurement.

고, 공극 존재여부도 관찰하였다. PE SiN에 대한 증착되는 산화막의 표면 의존성은 고려하지 않았다. 증착되는 산화막은 PE SiN<sub>4</sub>, PE TEOS 및 O<sub>3</sub> ThCVD TEOS에 의한 SiO이었고, 장비 및 증착조건을 Table 2에 나타내었다. DLM 공정 적용을 위한 실험은 bare 웨이퍼에 완충층으로 산화막을 증착하고, DC magne-

Table 2. Process equipments and conditions.

Oxide source	Equipment	Process temp(°C)	Power (kW)	Pressure (Torr)
PE SiH <sub>4</sub>	Novellus	400	1.0	2.2
PE TEOS	AMT	390	0.45	9.0
O <sub>3</sub> TEOS	AMT	390	—	60.0

tron sputter 장비를 이용하여 Al-1% Si을 7k Å 증착한 후 금속배선간 거리가 7k Å, 8k Å인 마스크를 사용하였으며, RIE(reactive ion etching) 장비에서 식각하였다. 그 후 제1금속 층과 제2금속층 간의 IMD로서 in-situ 평탄화(planarization) 공정을 진행한 후 via를 형성하였고, 제2금속층을 형성한 후에 식각하였다. In-situ 평탄화 공정을 위한 IMD 종류와 적층 방법은 modelling 및 공정 적용 방법에 의거하였다. 제2금속층의 패턴을 형성하고 식각 시에 micromanipulator와 curve tracer 장비를 이용하여 금속 브릿지 여부를 조사하였고, 어닐링(annealing) 처리 후 semiconductor parameter test system인 HP4062 장비를 이용하여 금속층 간의 via 접촉 저항을 측정하였다.

#### IV. 결과 및 고찰

PECVD에 의한 SiH<sub>4</sub>, TEOS SiO<sub>2</sub>와 O<sub>3</sub> ThCVD SiO<sub>2</sub>의 굴절율은 1.450~1.470이었고 Fig. 3의 FTIR spectra에서도 SiO<sub>2</sub>임을 확인할 수 있었다. PECVD에 의한 산화막들은 동일한 spectra를 나타내고 있으나 O<sub>3</sub> ThCVD SiO<sub>2</sub> 산화막은 930cm<sup>-1</sup>에서 Si-OH 결합과 3400cm<sup>-1</sup>에서 Si-H<sub>2</sub>O 결합을 하고 있어 PECVD에 의한 산화막에 비하여 수분을 많이 함유하고 있음을 보여준다.

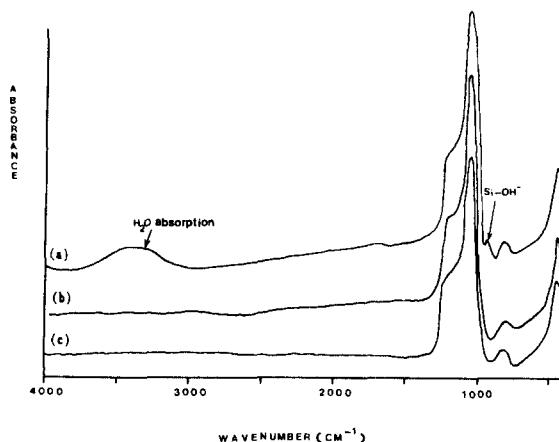


Fig. 3. FTIR spectra for inter metal dielectrics.

- (a) O<sub>3</sub> ThCVD TEOS oxide.
- (b) PECVD TEOS oxide.
- (c) PECVD SiH<sub>4</sub> oxide.

### 1. 층덮힘성 조사

초기 단차비가 0.5~2.0를 갖는 패턴에서 3종류 산화막의 두께에 따른 층덮힘성, entrant각의 변화 및 공극 존재여부를 Fig. 4에 나타내었다. 전체적인 경향은 IMD의 두께와 단차비가 증가할수록 층덮힘성은 감소되었다. SiH<sub>4</sub>에 의한 PECVD산화막의 층덮힘성은 주어진 단차비에서 측면(sidewall ; B/A)은 0.3~0.7, 밑면(bottom : C/A)은 0.4~1.0의 범위를 가지며, entrant각은 5~30°로 음의 기울기를 갖는다. TEOS를 원료로 하는 PECVD산화막의 층덮힘성은 측면이 0.4~0.55, 밑면이 0.5~0.95의 값을 가지며, re-entrant각은 5°이하로써 비교적 수직한 기울기를 보였다. O<sub>3</sub> ThCVD TEOS를 이용한 산화막의 경우 실험

단차비 범위에서 측면과 밑면 모두 0.8이상의 값을 보였고, 단차비가 1이하이고 산화막의 두께가 6kÅ 이하에서 0.9이상의 층덮힘성과 5°이하의 re-entrant각을 나타내었다. Fig. 5에는 실험에 사용된 산화막의 6kÅ에서의 층덮힘성 및 re-entrant각을 함께 나타내어 상호비교 하였다. PE TEOS와 O<sub>3</sub> TEOS산화막의 층덮힘성은 초기 단차비가 0.8이하에서는 초기 단차비에 크게 의존하지 않고 일정한 값을 나타내고 있으며, 0.8이상에서는 초기 단차비가 높아짐에 따라 일정한 폭으로 감소하고 있다. 그러나, PE SiH<sub>4</sub>의 경우 단차비가 증가될수록 층덮힘성이 연속적으로 감소되고 있으며 기울기도 PE TEOS와 O<sub>3</sub> TEOS에 비하여 크게 나타났다. 그리고 PE SiH<sub>4</sub>의 re-en-

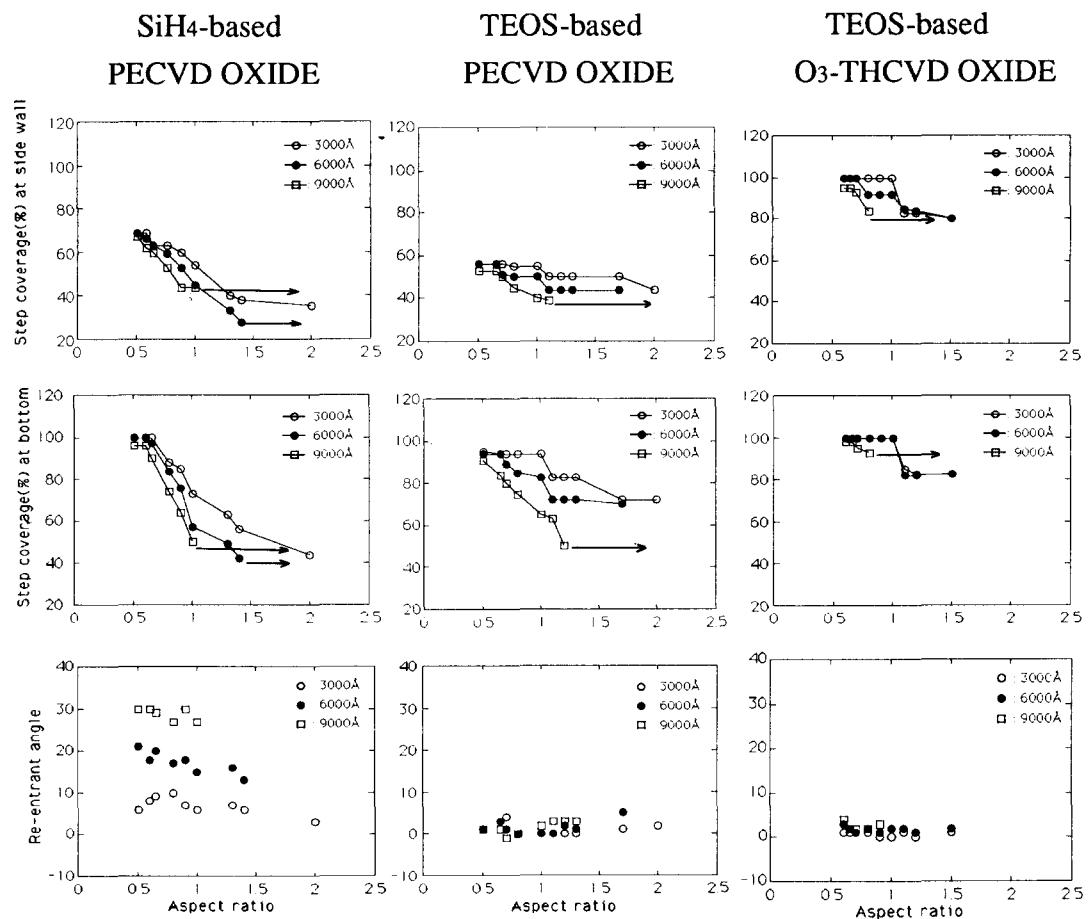


Fig. 4. Step coverage and re-entrant angle as a function of aspect ratio and oxide thickness for SiH<sub>4</sub>-based and TEOS-based PECVD oxides as well as TEOS-based O<sub>3</sub> ThCVD oxide. The arrows indicate the onset of void formation.

trant각은 20° 정도로 TEOS를 원료로 하는 공정의 5°에 비해 큰 음의 기울기를 나타낸다. TEOS에 의한 PECVD산화막이 SiH<sub>4</sub>에 의한 것보다 충덮힘성이 우수하고 re-entrant각이 작은 것은 TEOS에 의해서 표면에 흡착된 산화 생성물들이 SiH<sub>4</sub>의 생성물에 비해서 표면 이동도(surface mobility)가 크기 때문이다<sup>2)</sup>. 즉, SiH<sub>4</sub>의 증착반응은 증착 표면에서의 반응

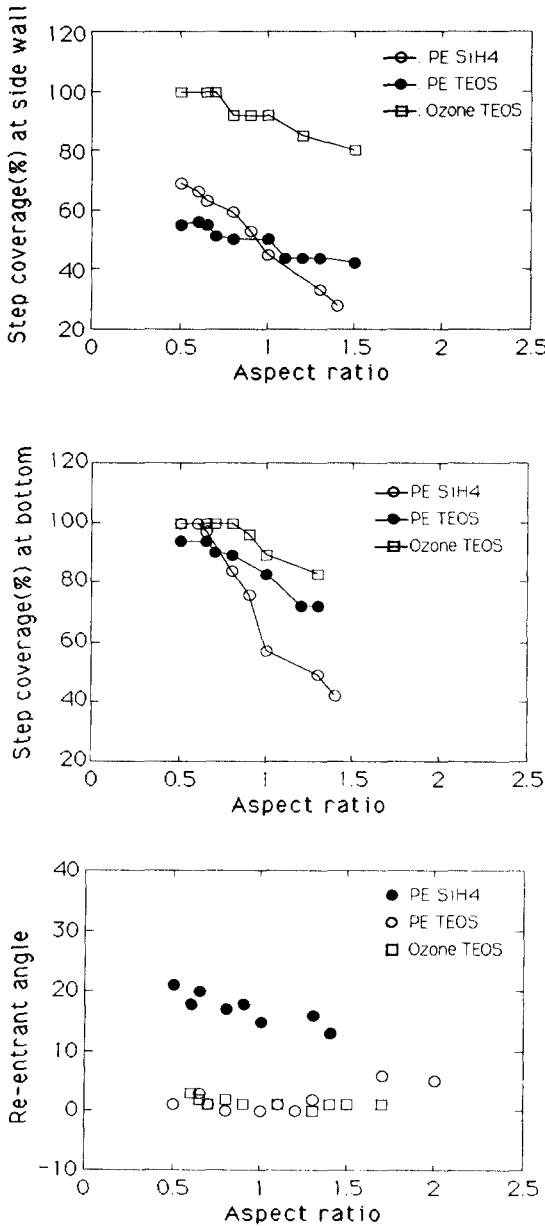


Fig. 5. Comparison of step coverage and re-entrant angle at 6k Å as a function of aspect ratio.

에 필요한 활성화 에너지가 크기 때문에 반응물의 표면이동이 느리게 된다. 이와같은 경우 산화막의 성장속도는 좁은 외변(periphery)을 갖는 평면에 비해서 넓은 외변을 갖는 모서리 부분이 빠르게 되고 결국 모서리 부분에 re-entrant각을 갖는 “overhang” 또는 “cusp”이라 불리우는 형태를 갖게 된다<sup>13)</sup>. 그러나 TEOS에 의한 산화막의 경우 SiH<sub>4</sub>의 것에 비해서 반응물들이 표면에 흡착할때 표면이동이 용이하여 쉽게 확산할 수 있기 때문에 모서리 부분의 re-entrant각이 작게 나타났다고 사료된다. 또한, PECVD와 ThCVD산화막과의 충덮힘성 차는 PECVD막의 경우 기판면에 수직인 방향으로 이온충돌(ion bombardment)이 일어나기 때문에 증착속도는 기판에 수직인 벽측면 보다 평행한 밑면에서 더 빠르게 된다. 그러므로 PECVD막 보다 표면 이동도가 크고 등방향으로 증착되는 ThCVD산화막의 충덮힘성이 우수한 것이다. Fig. 6은 충덮힘성 및 re-entrant각을 조사하기 위한 시료의 단면 사진이다. Fig. 6(a)는 초기 단차비가 1.0, (b)는 1.4인 상태에서 3k Å의 산화막과 300 Å의 PE SiN이 연속적으로 3회 적층된 것을 나타내고 있는데, 같은 두께의 산화막이 증착되었음에도 순간단차비가 상대적으로 악화되어지는 초기 단차비가 큰 곳(b)에서 공극이 형성되었음을 보여준다. 한편 Fig. 6(c)는 PE SiN과 IMD를 반복하여 증착하고 있는 것을 확대한 사진인데 본 실험에서 측정된 충덮힘성과 re-entrant각은 이와같은 사진에서 구한 것이다. Fig. 6(d)는 금속 배선층 위에서 IMD를 증착할 때 공극이 형성된 형태를 보여준다. 이러한 공극은 산화막의 두께가 증가되면서 모서리가 있는 부분이 cusping들이 만나서 형성하게 되는데 전하(electric charge)나 습기등의 오염의 장소로 작용될 가능성이 많아서 신뢰성 측면에서 바람직하지 않으므로 없애는 것이 좋다.

## 2. Modelling 검증

실험에 사용된 각 산화막에 대한 순간단차비( $[A/R]_i$ )를 Fig. 7에 나타내었는데 이는 실험적인 충덮힘성 결과를 모델링의식에 대입하여 계산한 것이다. PECVD산화막의 경우 산화막 증가에 따른 순간단차비의 변화는 초

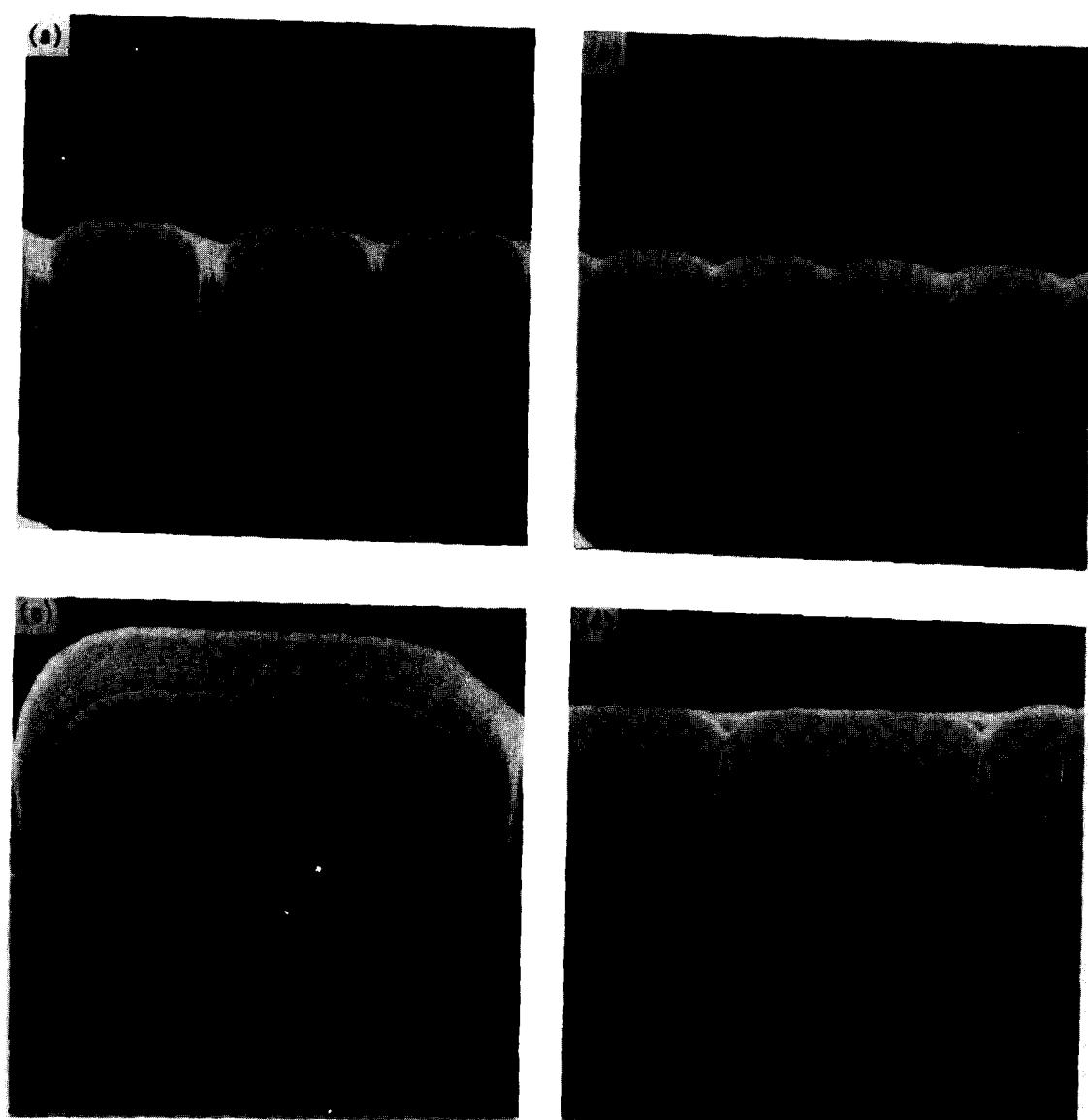


Fig. 6. Illustration of cross-sectional SEM for step coverage and re-entrant angle measurement.

- (a)  $[A/R]_t = 1.0$
- (b)  $[A/R]_t = 1.4$
- (c) Profile of alternating  $3k\text{ \AA}$  IMD and  $300\text{ \AA}$  PE SiN layers over patterned steps.
- (d) Void formation over Al steps.

기 단차비가 낮은 곳에서 비슷한 양상을 보이나, 초기 단차비가 1이상일때 TEOS에 비해서  $\text{SiH}_4$ 의 산화막의 경우 산화막두께 증가에 따른 순간 단차비의 증가폭이 크고 공극을 형성하고 있다.  $\text{O}_3$  ThCVD 산화막의 경우 PECVD

에 의한 TOES산화막에 비해서 산화막 두께 증가에 따라 순간차단비가 더 크게 나타나고 있는데 이는 반응 생성물의 표면이동도가 크고 충돌 힘성이 conformal하기 때문이라 생각된다. 모델링 식에 대한 실험적인 검증을 하

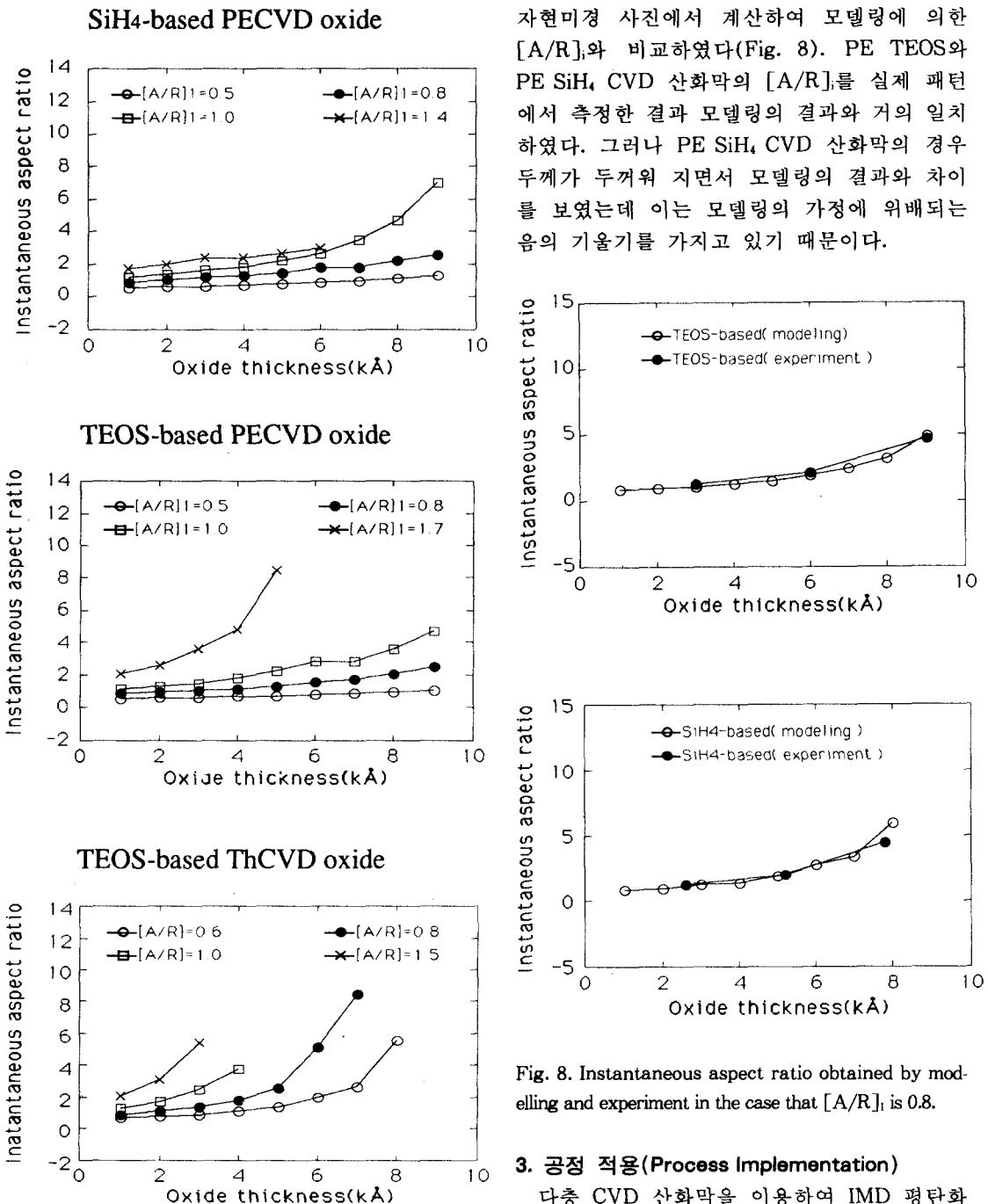


Fig. 7. Instantaneous aspect ratio for SiH<sub>4</sub>-based, TEOS-based PECVD oxides, and TEOS-based O<sub>3</sub> ThCVD oxide as a function of oxide thickness.

고자 초기 단차비가 0.8인 패턴에서 PE TEOS, PE SiH<sub>4</sub> 산화막을 3, 6, 9 kÅ로 각각 증착하였다. 그후 그때의 실제 단차비를 주사 전

미경 사진에서 계산하여 모델링에 의한  $[A/R]$ 와 비교하였다(Fig. 8). PE TEOS와 PE SiH<sub>4</sub> CVD 산화막의  $[A/R]$ 를 실제 패턴에서 측정한 결과 모델링의 결과와 거의 일치하였다. 그러나 PE SiH<sub>4</sub> CVD 산화막의 경우 두께가 두꺼워 지면서 모델링의 결과와 차이를 보였는데 이는 모델링의 가정에 위배되는 음의 기울기를 가지고 있기 때문이다.

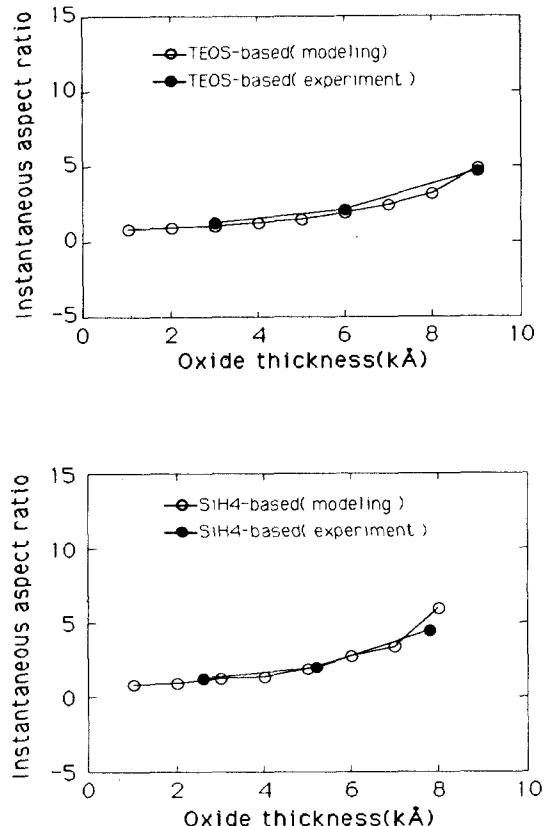


Fig. 8. Instantaneous aspect ratio obtained by modeling and experiment in the case that  $[A/R]_i$  is 0.8.

### 3. 공정 적용(Process Implementation)

다중 CVD 산화막을 이용하여 IMD 평탄화 공정을 적용할 때 IMD로 사용되는 PE SiH<sub>4</sub>, PE TEOS 및 O<sub>3</sub> ThCVD 막의 특성은 다음과 같다. PE SiH<sub>4</sub>, PE TEOS의 경우 산화막의 특성 즉, 수분흡수에 대한 저항성 및 습식 식각 속도 등은 O<sub>3</sub> ThCVD 막보다 우수하나 SiH<sub>4</sub>를 IMD로 사용시에 re-entrant 각이 음의 기울기를 갖는 문제점이 있고, TEOS의 경우 산화막

형성시 막질 내 탄소잔존(carbon residue)의 문제가 있다고 보고되고 있다<sup>2,13)</sup>. O<sub>3</sub> TEOS CVD막의 경우 충덮힘성이 매우 우수하나 다공질의 막을 가지고 표면의존성(surface dependence)등의 문제들도 제기되고 있다<sup>14)</sup>. 그리고 Fig. 3의 FTIR spectra에서도 나타난 바와 같이 O<sub>3</sub> ThCVD TEOS 산화막은 흡습성으로 금속층과의 직접적인 접촉을 피하고 있다. 그러므로 다층 CVD막으로 공정 적용시에 제1금속층의 상층에서는 PE SiH<sub>4</sub>와 PE TEOS 산화막을 주고 사용하며, 그 중간층으로 충덮힘이 월등한 O<sub>3</sub> TEOS CVD막을 사용할 수 있다<sup>1,4,5)</sup>. 따라서 다층 CVD막을 이용한 실제 공정적인 측면은 제2금속층 공정까지 크게

다음 2가지 형태로 나타낼 수 있겠다. 첫째는 제1금속층 패턴 형성 후 수직 형태를 갖는 PE TEOS산화막을 증착한 후 Ar sputter 식각 공정을 통하여 [A/R]를 0.8이하로 낮춘 후 O<sub>3</sub> TEOS막을 증착한다(Fig. 9). 그 후 뒷 공정인 via 형성시 O<sub>3</sub> TEOS산화막과 제2금속층을 접촉시키지 않게 하기 위해 O<sub>3</sub> TEOS산화막을 제1금속배선층의 공간에만 남기고 금속층 위에서 완전히 제거(etchback)한 뒤 PE TEOS 산화막을 증착하고 via 형성 후 제2금속층을 증착하는 것이다. 둘째는 [A/R]를 0.8~0.9이하가 되게 초기에 PE SiH<sub>4</sub>나 PE TEOS산화막을 얇게 증착하고, 그 이후 단차비가 1이하에서 충덮힘이 0.9이상인 O<sub>3</sub>

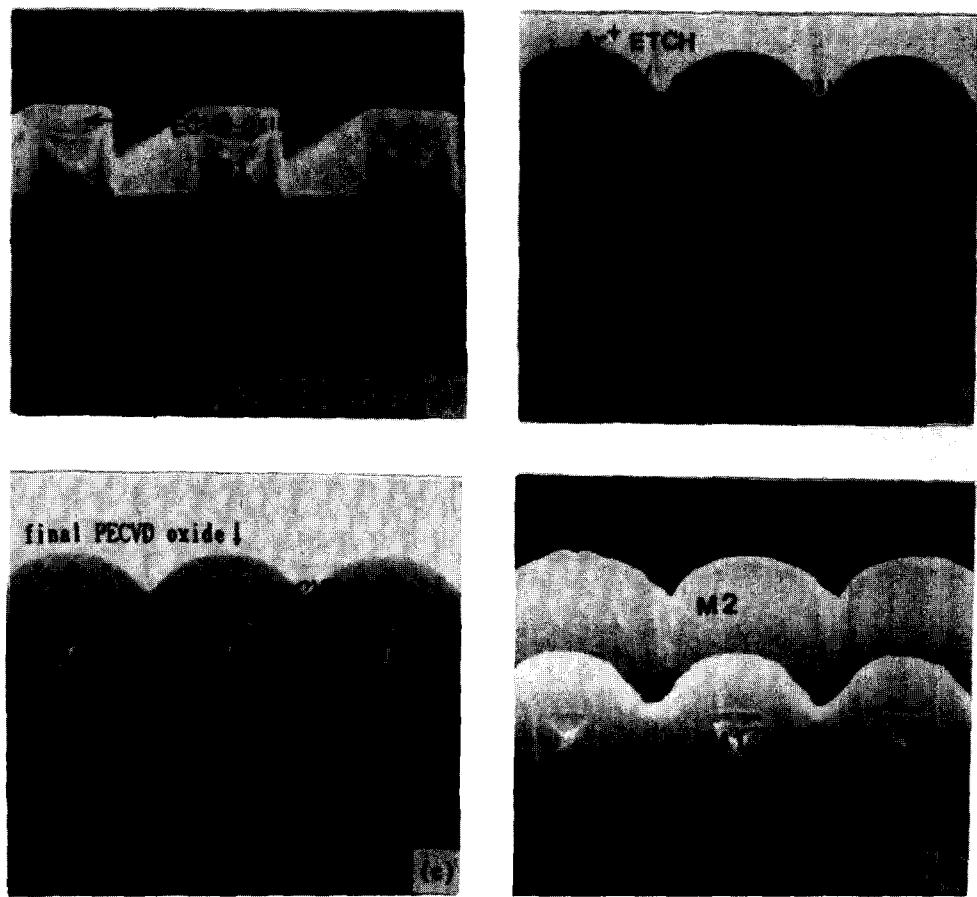


Fig. 9. SEM micrographs showing process sequence of in-situ planarization.

- (a) as-M1 patterned/initial PECVD oxide deposition.
- (b) Ar sputter etch/O<sub>3</sub> ThCVD oxide deposition.
- (c) Anisotropic oxide etchback/final PECVD oxide deposition.
- (d) as-M2 patterned.

TEOS산화막을 증착, 식각한 후 그 뒤 공정은 첫째 방법과 동일한 과정을 거치는 것이다. 그 외에  $O_3$  TEOS산화막을 via에 남기는 방법도 고려하였다.

#### 4. 전기적 특성

앞 절의 공정 적용 방법으로 DLM공정에 적용하여 via저항을 측정한 결과를 Fig. 10에 도시하였는데 via접촉체인(contact chain) 크기에 따른 접촉 체인 수율(%)과 via저항을 나타내었다. 여기서 수율과 저항값은 측정 부위 당 1200개의 접촉체인을 갖는 132부위에서 구한 평균 값이다. 이때 via접촉면적 크기가 클수록 접촉체인 수율은 증가하고 via접촉저항은 감소하였다.  $O_3$  ThCVD산화막을 etch-back했을 때  $1.0 \times 1.0 \mu\text{m}^2$  이상의 via에서의 수율은 95% 이상이었으며, 제2금속층의 브릿지는 없었다. 체인당 평균 via저항은  $0.10 \sim 0.30 \text{ ohm/via}$ 를 얻었다. 앞 절의 split조건 중에서  $O_3$  ThCVD산화막을 via에 노출한 경우 가장 나쁜 접촉 저항값을 나타내었는데 etch-back 공정에 비하여 via fail이 평균 15% 높았다. 이는 Fig. 11에서도 보여주듯이 PE TEOS 산화막에 비하여 수분을 많이 함유하고 있던  $O_3$  ThCVD산화막이 via에 노출될 때 제2금속층의

증착시 수분등의 가스가 산화막으로 부터 밖으로 방출됨으로써 금속층이 박리되는 현상에 의해서 수율이 감소되고 접촉저항이 높아진 것으로 사료된다.

#### 결 론

1. PECVD에 의한 산화막의 증착시, 초기 단차비가 1이고 두께가  $6 \text{ k}\text{\AA}$  일때 충덮힘성은

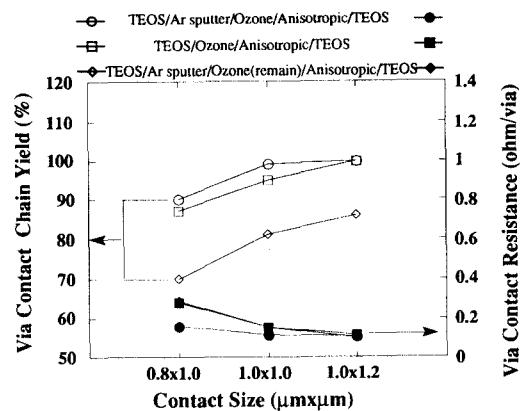


Fig. 10. Via contact chain yield(%) and via contact resistance( $\text{ohm}/\text{via}$ ) as a function of via contact size and in-situ planarization scheme.

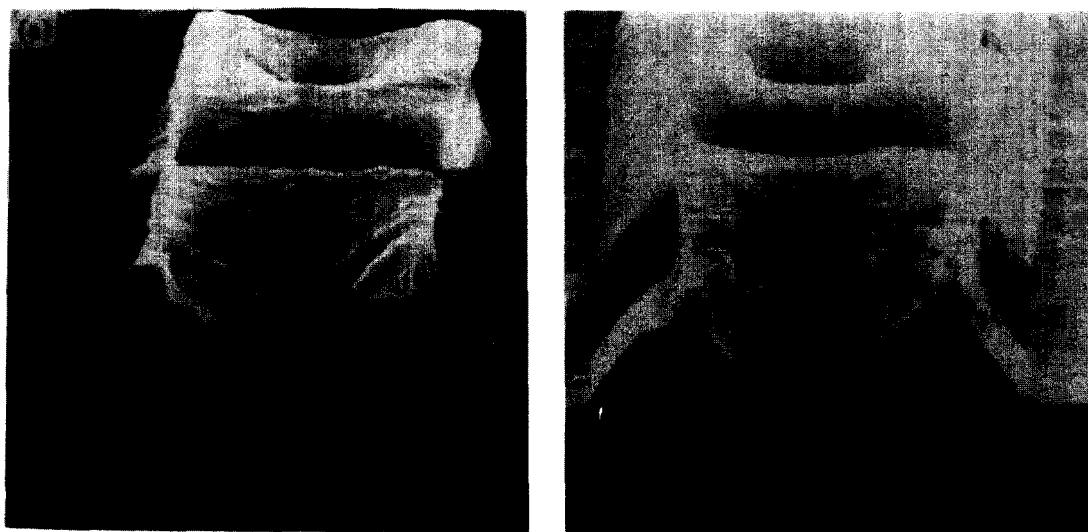


Fig. 11. Cross-sectional SEM of vias by in-situ planarization.

- (a) as- $O_3$  ThCVD oxide etchbacked.
- (b) as- $O_3$  ThCVD oxide remained at vias.

TEOS경우 측면은 0.5, 밑면은 0.8, SiH<sub>4</sub>는 측면이 0.45, 밑면이 0.6이었고 re-entrant각은 TEOS가 5° 이내, SiH<sub>4</sub>는 20°를 보였다. 전체적으로 TEOS의 충덮힘성은 SiH<sub>4</sub>에 비하여 산화막의 두께증가에 따라 초기 단차비에 크게 의존하지 않고 일정한 값을 나타내었다. O<sub>3</sub> ThCVD에 의한 TEOS산화막은 단차비 1이하에서 0.9이상의 우수한 충덮힘성과 5° 이내의 re-entrant각을 나타내었다.

2. 모델링에 의한 산화막의 두께 증가에 따른 순간 단차비의 modelling식은

$$[A/R]_i = \frac{M + A(1 - C/A)}{S_M - 2 \cdot A \cdot B/A}$$

로 나타났으며, TEOS에 의한 PECVD 산화막의 실험적인 결과와 잘 일치하였다.

3. Ar sputter식각이나 초기산화막의 두께를 얕게 조정하여 순간단차비를 0.8이하로 낮춘 뒤 충덮힘성이 0.9 이상인 O<sub>3</sub> ThCVD산화막을 증착하면 공극이 없는 금속충간 절연막의 평탄화를 이를 수 있다.

4. 공정적용 결과 O<sub>3</sub> ThCVD산화막을 etchback했을대 1.0 × 1.0 μm<sup>2</sup>이상의 via체인에서 수율은 95%이상이었고, etchback하지 않고 via에 노출 시켰을때 수율은 80%정도를 얻었다. 그리고 평균 via접촉저항은 0.1~0.3 ohm/via를 얻었다.

### References

- S. L. Pennington, S. E. Luce, and D. P. Hallock, 6th IEEE VMIC, Vol. 1, No. 1, p. 335(1989)
- G. W. Hills, A. S. Harrus, and M. J. Thoma, Solid State Technology, April, p. 127(1990)
- H. Kitagawa et al., Proc. 8th Symposium on Reliability in Electronics Vol. 2, Aug., p. 800(1989)
- S. Mehta and Gian Sharma, 6th IEEE VMIC, Vol. 1, No. 1, p. 80(1989)
- D. K. Choi and C. G. Ko, HWAHAK KONGHAK, Vol. 29, No. 3,(1991)
- C. H. Ting, H. Y. Lin, P. L. Pai, and W. G. Oldham, 4th IEEE VMIC, p. 66(1987)
- P. L. Pai, W. G. Oldham, and C. H. Ting, 4th IEEE VMIC, p. 365(1987)
- Y. Nishimoto, N. Tokumasu, K. Fujino, and K. Maeda, 6th IEEE VMIC, p. 382(1989)
- K. Fujino, Y. Nishimoto, N.I Tokumasu, and K. Maeda, J. Electrochem. Soc., Vol. 137, No. 9, p. 2883(1990)
- R. Chebi and S. Mittal, 8th IEEE VMIC, p. 61(1991)
- S. J. H. Brader and S. C. Quinlan, J. Electrochem. Soc., Vol. 135, No. 9, p. 2291 (1988)
- K. Maeda, Semicon News, June, p. 49 (1989)
- F. S. Becker, D. Pawlik, H. Anzinger, and Spitzer, J. Vac. Sci. Technol., B5(6), Nov./ Dec., p. 1555(1987)
- K. Fujino, Y. Nishimoto, N. Tokumasu, and K. Maeda, J. Electrochem. Soc., VI. 138, No. 2, p. 550(1991)