

論文 92-29A-11-12

## 재결정화된 다결정 nMOSFET의 제작 및 그 전기적 특성

### (Fabrication of the Recrystallized Poly Silicon nMOSFET and Its Electrical Characteristics)

金柱榮\*, 姜文祥\*\*, 金基洪\*\*, 具用書\*\*, 安哲\*\*

(Joo Young Kim, Moun Sang Kang, Gi Hong Kim, Yong Seo Ku, and Chul An)

#### 要 約

LOCOS 공정으로 SOI 박막에 island를 형성한 후 CO<sub>2</sub> 레이저 열처리로 다결정 실리콘 박막을 재결정화 하였다. 재결정화된 SOI 박막에 금속 게이트 nMOSFET를 제작하고 그 전기적 특성을 관찰하였다. 측정 결과 kink 현상은 거의 나타나지 않았고, edge 채널 현상이 관찰되었다. 문턱 전압은 약 0.5V, 전자의 이동도는 약 340cm<sup>2</sup>/V·S 이었고 ON/OFF 전류비는 V<sub>DS</sub>=4V에서 10<sup>5</sup> 이상의 값을 얻었다. 결국 다결정 실리콘을 레이저 열처리함으로써 전기적 특성이 매우 향상되었음을 알 수 있었다.

#### Abstract

The technology of LOCOS(LOCAl Oxidation of Silicon) was used to form the island of SOI film. After this, the SOI film was recrystallized by CO<sub>2</sub> laser and metal gate nMOSFETs were fabricated on this SOI film and their electrical characteristics were measured. The kink effect was not nearly observed and edge channel effect was found in the SOI nMOSFETs. The threshold voltage was about 0.5V, the electron mobility was about 340cm<sup>2</sup>/V·S and an ON/OFF ratio above 10<sup>5</sup> was obtained at V<sub>DS</sub>=4V. The electrical characteristics were improved by laser recrystallization.

#### I. 서 론

SOI기술은 집적도 증가, 소자간의 완전한 격리로 인한 용량 결합(capacitive coupling)의 최소화, CMOS 회로에서의 latch-up 제거, packing density 증가, 회로

속도의 증가,  $\alpha$ -입자와 같은 방사선에 대한 면역성(radiation hardness), 회로의 설계 및 layout에 큰 융통성 등의 여러가지 장점을 가지고 있다.

SOI제작 기술로는 SIMOX(Separation by IMplanted OXYgen)방법<sup>[1]</sup>, ZMR(Zone Melting Recrystallization)방법<sup>[2]</sup>, FIPOS(Full Isolation by Porous Oxidized Silicon)방법<sup>[3]</sup>, 레이저를 이용한 방법<sup>[4]</sup> 등이 있다. 레이저를 이용한 재결정 방법은 원하는 부분만을 선택적으로 열처리할 수 있으므로, 3차원 IC 제작에 있어서는 가장 가능성 있는 기술이라 하겠다. 또한 최근 액정 디스플레이의 구동 소자로 각광받고 있는 TFT(Thin Film Transistor)의 경우, 기판으로 투명한 유리

\*正會員, 現代電子 半導體 研究所  
(Semiconductor R & D Lab., Hyundai Elec. Industries co., Ltd.)

\*\*正會員, 西江大學校 電子工學科  
(Dept. of Elec. Eng., Sogang Univ.)  
接受日字: 1992年 6月 30日

가 사용됨에 따라 그 위에 증착되는 비정질(amorphous)실리콘 박막을 열처리하는데 있어서 다른 여러가지 열처리 방법에 비하여 탁월한 장점을 가지고 있다.

SOI로 MOS를 제작할 경우, 기관 산화막에 의한 Well 형성이 필요 없으며 기관 산화막위의 실리콘 막의 두께가 얇을 경우, shallow junction의 형성, junction spiking 제거가 가능하고, 완만한 전기력선 분포에 의한 고온 캐리어(hot carrier) 효과의 감소, 캐리어 이동도 증가, 짧은 채널(short channel) 효과의 감소<sup>11)</sup> 등 여러 가지 장점이 있다. 그러나 이러한 장점과는 달리 재결정화된 실리콘 박막에 남아있는 dislocation, 결정입계(grain boundary)등의 결정 결함과 Si-SiO<sub>2</sub>의 경계면 및 보서리에서의 누설 전류<sup>12)</sup>, floating potential에 의한 kink 현상<sup>13)</sup> 등은 SOI 소자의 전기적 특성을 저하시키는 주요 원인으로 작용한다.

본 실험에서는 레이저 열처리할 다결정 실리콘을 LOCOS(local Oxidation of Silicon) island 구조로 형성 하였는데, 이는 열처리 패턴을 LOCOS island 구조나 moat 형태로 제작할 경우, 적절한 온도 분포 라선<sup>14)</sup>을 가지므로 crack 발생과 열적 식각의 가능성을 stand alone island 구조<sup>15)</sup>에서 보다 줄일 수 있기 때문이다.<sup>16)</sup> 이 LOCOS island 구조를 CO<sub>2</sub> 레이저로 열처리한 후 nMOSFET를 제작하여 전기적 특성을 관찰하였다. 그리고 레이저 열처리를 거치지 않은 시퀀으로도 같은 소자를 만들어 특성을 비교하여 보았다.

II. 레이저 열처리 및 nMOSFET의 제작

레이저 열처리 및 nMOSFET의 제조 과정은 다음과 같다.

기관으로 사용된 p형 (100) 실리콘 웨이퍼의 표면에 열화 산화법(thermal oxidation)으로 1 $\mu$ m 두께의 산화막을 성장시킨후, LPCVD(Low Pressure Chemical Vapor Deposition) 방법으로 3000 $\text{\AA}$  두께의 다결정 실리콘을 증착시켰다. 이어서 레이저 열처리 도중에 다결정 실리콘의 오염, 실리콘층의 솟아오름 등을 방지하고 레이저 빔의 반사되는 양을 줄이기 위해<sup>11,13)</sup> LTO(Low Temperature Oxidation) 방법으로 3000 $\text{\AA}$ 의 cap 산화막을 증착시켰고, LOCOS 공정을 위해서 1500 $\text{\AA}$ 의 Si<sub>3</sub>N<sub>4</sub> 층을 CVD 방법으로 증착시켰다. Si<sub>3</sub>N<sub>4</sub>의 마스크 역할을 하기 위한 SiO<sub>2</sub> 층을 약 80-100 $\text{\AA}$  정도로 성장 시킨 후(그림 1(a)), LOCOS 공정을 수행하여 그림 1(e)와 같은 LOCOS island를 제작했다. 이후 LOCOS island 영역만을 CO<sub>2</sub> 레이저로 열처리하였다. (그림 2(f)) 테스트 칩에는 채널 길이와 폭이 다른 여러 소자를 설계했으며 그림 2는 W/L=10 $\mu$ m/20 $\mu$ m 경우의 마스크 layout이

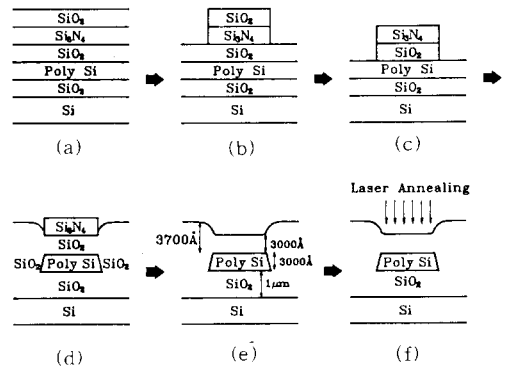


그림 1. LOCOS island의 제작 및 laser 열처리 순서도  
Fig. 1. The process flow chart for a LOCOS island & laser annealing.

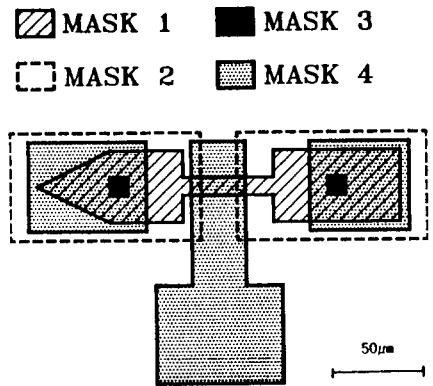


그림 2. nMOSFET의 평면도 및 마스크의 layout (W/L=10 $\mu$ m/20 $\mu$ m)  
Fig. 2. The top view and the layout of the mask of the nMOSFET (W/L=10 $\mu$ m/20 $\mu$ m).

다. 레이저 열처리때 큰 결정 입정 성장을 유도하기 위해 island 마스크(마스크1)의 채널 부분의 폭은 좁게 설계했다.

소오스/드레인은 Al(PO<sub>3</sub>)<sub>3</sub> 고체 소스를 이용하여 975 $^{\circ}$ C에서 30분간 확산 방법으로 형성시켰다.(그림 3(a)) 소오스/드레인의 면저항(sheet resistance)은 78-82( $\Omega/\square$ )이었다. 채널 도핑은 Boron을 2 $\times 10^{12}/\text{cm}^2$ , 100keV로 이온 주입한후 activation을 위한 후속 공정으로 950 $^{\circ}$ C에서 20분간 열처리를 하였다.(그림 3(b)) 게이트 산화막은 1000 $^{\circ}$ C에서 50분간 건식 산화법으로 약 600 $\text{\AA}$  성장 시키고 이후 접촉창(contact hole)을 형성하고 Al+Si(1%)을 E-beam 진공 증착기로 1 $\mu$ m의 두께로 증착한 후, metal 마스크 작업과 425 $^{\circ}$ C에서 30분간 alloy 공정을 하였다.

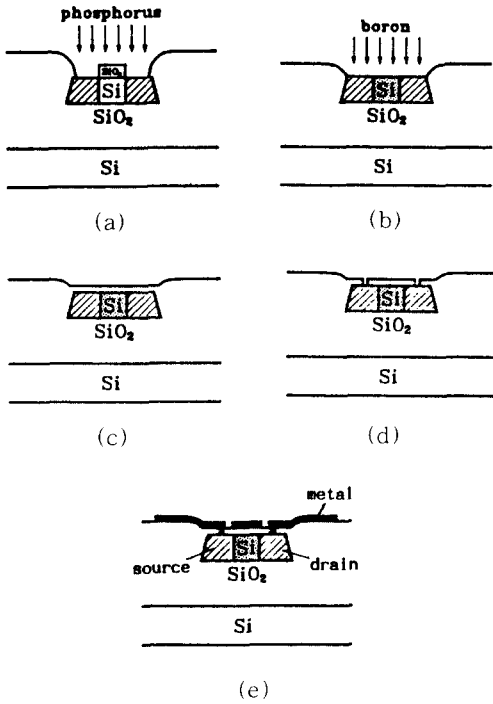


그림 3. SOI nMOSFET의 제작 순서도  
 (a) 소오스/드레인(마스K2)  
 (b) 채널 도핑  
 (c) 게이트 산화막  
 (d) 접촉창(마스K3)  
 (e) 금속(마스K4)

Fig. 3. The process flow chart for a SOI nMOSFET.  
 (a) source /drain(mask2),  
 (b) channel implantation,  
 (c) gate oxidation,  
 (d) contact hole(mask3),  
 (e) metallization(mask4).

III. 재결정화된 nMOSFET의 전기적 특성

1. I<sub>D</sub>-V<sub>DS</sub> 특성

그림4(a)는 채널폭 20 $\mu$ m, 채널 길이 25 $\mu$ m인 재결정화된 nMOSFET의 I<sub>D</sub>-V<sub>DS</sub> 특성이다.

그림 4에 잘 나타나지는 않았지만 게이트 전압이 0V 일때에도 I<sub>D</sub> 전류가 관찰 되는데 이는 island 모서리에 형성된 기생 채널에 의해 흐르는 전류로 생각된다. 대체로 kink 현상은 일어나지 않았으나 채널 길이가 짧은 소자에서 kink 현상을 볼 수 있었다.(그림 4(b))

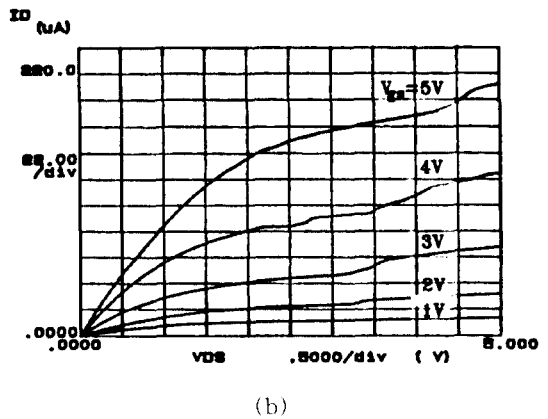
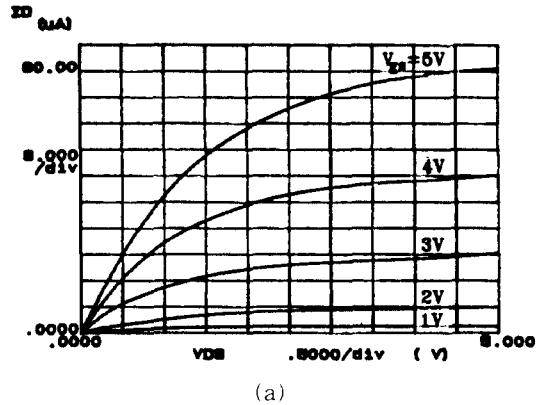


그림 4. SOI nMOSFET의 I<sub>D</sub>-V<sub>DS</sub> 특성  
 (a) W/L = 20 $\mu$ m/25 $\mu$ m  
 (b) W/L = 10 $\mu$ m/10 $\mu$ m

Fig. 4. The I<sub>D</sub>-V<sub>DS</sub> characteristics of the SOI nMOSFET.  
 (a) W/L = 20 $\mu$ m/25 $\mu$ m,  
 (b) W/L = 10 $\mu$ m/10 $\mu$ m.

2. 문턱 전압

V<sub>D</sub>=0.1V 일때 I<sub>DS</sub>-V<sub>GS</sub> 그래프에서 접선을 그어 X 축 절편으로부터 구한 문턱 전압은 약 0.5V로 측정되었다. 또한 g<sub>m</sub> 곡선을 통해서 구한 문턱 전압도 약 0.5V로 측정되었다.

3. 트랜스 컨덕턴스 및 이동도

그림 5는 V<sub>DS</sub>=0.1V 일때 제작된 소자의 I<sub>DS</sub>-V<sub>GS</sub> 특성 곡선과 g<sub>m</sub> 곡선을 함께 나타낸 것이다. 선형 영역에서의 트랜스컨덕턴스(g<sub>m</sub>)는 g<sub>m</sub>= $\mu C_{ox}(W/L)V_{DS}$  이므로 이동도를 구해보면 g<sub>m, peak</sub>=1.65 $\mu\text{A}/\text{V}$ 에서  $\mu$ =344.4cm<sup>2</sup>/V·S로 계산된다. 고온에서 수십시간 furnace 열처리한 다결정 nMOSFET의 이동도<sup>[11]</sup>가 대체적으로 수십 cm<sup>2</sup>/V·S 정도의 값을 가지므로 레이저 열처리를

통해 이동도가 매우 증가된 것을 알 수 있다. 이는 레이저 열처리에 의하여 결정입계의 수가 현격히 감소함에 따라 전기 전도에 기여하는 캐리어의 수가 증가했을 뿐만 아니라 결정입계의 포획밀도가 크게 낮아져 결국 결정입계간의 전위 장벽 높이는 낮아졌음을 의미한다.

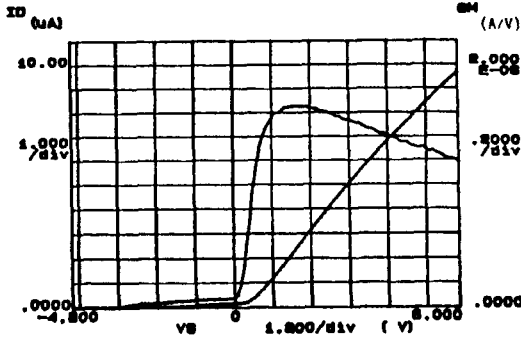


그림 5. SOI nMOSFET의  $I_{DS}-V_{GS}$  특성  
Fig. 5. The  $I_{DS}-V_{GS}$  characteristics of the SOI nMOSFET.

4. Side wall 효과

그림 7에서  $\log I_D$  가 급격히 2번 변하는 것을 볼 수 있는데 이는 side wall의 edge에 형성된 기생 채널에 의한 영향이라고 생각 된다. 즉 이 기생 채널이 front 채널보다 먼저 도통된 것으로 보인다. SIMOX 웨이퍼로 제작한 MOS 소자의 경우에도 edge 효과가 보고<sup>[15]</sup>된 바 있다.

SOI 구조의 island를 CO<sub>2</sub> 레이저 열처리하면 front gate oxide와 접하는 film의 표면은 대부분 (100)의 결정 방향을 갖는다는 연구<sup>[16-19]</sup>가 보고된 바 있다. 본 실험에서 이를 확인 해보지 못했지만 이 보고들에 따르면

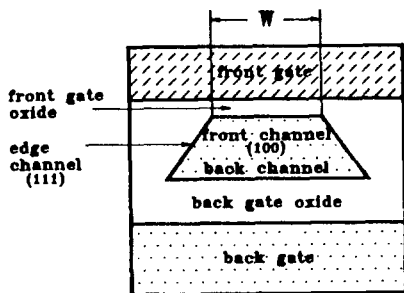


그림 6. 채널폭에서 본 소자의 단면도  
Fig. 6. The cross section at the channel width.

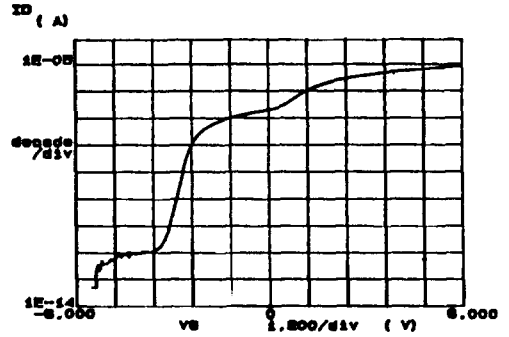


그림 7. nMOSFET의  $\log I_{DS}-V_{GS}$  특성 곡선  
Fig. 7. The  $\log I_{DS}-V_{GS}$  characteristics of the nMOSFET.

본 실험에서 제작한 소자의 island 표면의 결정 방향 역시 front 게이트 쪽으로 면한 방향은 (100)이 우세하리라 생각되며, edge 채널(그림 6)쪽으로 면한 결정 방향은 (111)에 가까울 것이다. 따라서 edge 채널쪽 경계면에서의 고정전하 밀도가 front 게이트쪽 경계면에서 보다 크게 되고, 또 산화막의 두께도 front 게이트 산화막 두께보다 크므로 문턱 전압이 낮아지게 될 것이다. 이로 인해 side wall에 기생채널(parasitic channel)이 형성되어 front 채널보다 먼저 도통하는 것으로 보인다. 이러한 현상은 edge 채널의 도핑 농도를 front 채널보다 크게 함으로써 제거할 수 있으리라 생각한다.

5.  $I_{ON}/I_{OFF}$  및 누설전류

ON/OFF 전류비는 MOS 소자의 구동 영역을 나타내는 파라미터로서 이는 다결정 MOS 소자의 경우 중요한 역할을 하게 된다. ON/OFF 전류비는 누설 전류와 관계가 있는데, 누설 전류는 드레인에 걸리는 전압이 높을수록 커져서 결국 ON/OFF 전류비를 감소시킨다. 그림 8은  $V_{DS}$  변화에 따른 ON/OFF 전류비의 변화이다.  $V_{DS}=0.1V$ 에서 ON/OFF 전류비는  $10^8$  정도이고,  $V_{DS}=4V$ 에서 약  $5 \times 10^5$  정도 된다.  $V_{DS}$ 가 증가함에 따라 ON/OFF 전류비도 감소하였다. 단결정 bulk nMOSFET의 경우 ( $V_{DS}=4V$ 에서  $10^8$  이상<sup>[20]</sup>으로 보고됨)보다 낮은 값을 가지나, 스위칭 소자등의 응용에는 가능하리라 생각되며, 채널 부분의 결정성을 향상시켜 누설전류를 감소시킨다면 더 높은 전류비를 얻을 수 있을 것이다.

6. 재결정화된 소자와 다결정 소자의 특성 비교  
레이저 열처리하지않은 다결정 상태의 SOI nMO-

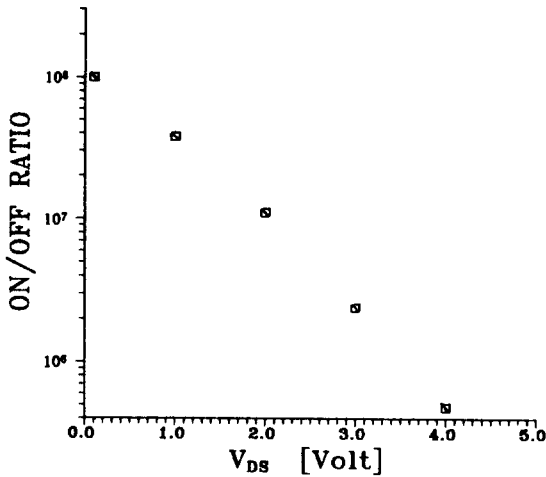


그림 8. V<sub>DS</sub> 변화에 따른 ON/OFF 비율  
Fig. 8. The ON/OFF current ratio vs. V<sub>DS</sub>.

SFET 시편도 같은 공정 조건으로 제작하여 레이저 열처리한 소자와 전기적 특성을 표 1에 비교해 보았다. 레이저 열처리를 함으로써 모든 전기적 특성이 향상되었음을 알 수 있다.

표 1. SOI nMOSFET의 파라미터 값  
Table 1. Parameter values of SOI nMOSFET.

파라미터	레이저 열처리된 시편	열처리 안된 시편
문턱전압	0.5V	6.5V
이동도	344.4 cm <sup>2</sup> /V·S	7.6 cm <sup>2</sup> /V·S
ON/OFF비	10 <sup>8</sup> (V <sub>DS</sub> =0.1V)	10 <sup>4</sup> (V <sub>DS</sub> =0.1V)

#### IV. 결론 및 향후 연구방향

LOCOS island 구조를 갖는 다결정 실리콘 층을 레이저로 열처리한 후 금속 게이트 SOI nMOSFET를 제작하여 전기적 특성을 살펴보았다. 문턱 전압은 약 0.5V 이었고 이동도는 약 340cm<sup>2</sup>/V·S 로써 다결정 nMOSFET의 이동도 보다 매우 증가하였다. ON/OFF 전류비는 V<sub>DS</sub>=4V에서 10<sup>8</sup> 이상의 값을 얻었다. Edge 채널의 영향이 나타났으며, kink 현상이 나타난 일부 소자도 있었다. 열처리하지않은 소자와 비교해 볼때 모든 전기적 특성이 향상되었음을 알 수 있다.

MOS 소자의 전기적 특성은 소오스/드레인 영역 보다 채널 영역에 의해 큰 영향을 받으므로 채널 부분만

을 열처리한 후 소오스/드레인은 insitu-doped polysilicon으로 증착하면 열처리 시간도 단축되고 회로 구현 시 집적도 향상에도 크게 도움이 될것으로 생각된다. 또한 edge 채널 효과를 제거하기 위해서 side wall에 이온 주입을 추가하고 다결정 실리콘 박막의 두께를 더욱 감소시켜 완전 공핍된 소자를 제작하면 회로 응용에 가능할 것이다.

#### 參考文獻

- [1] S. Nakashim, Y. Maeda, M. Akiya, "High Voltage CMOS SIMOX technology and its application to a BSH-LSI," *IEEE Electron Device*, vol. ED-33, no. 1, pp. 126-132, 1986.
- [2] H. Tomita, S. Usui, "Slant-scanning and interstice-bridging methods used to produce highly uniform ZMR Si films on quartz wafers," *IEEE Electron Device*, vol. ED-7, no. 6, pp. 356-358, 1986.
- [3] E. J. Zorinsky, D. B. Spratt, R. L. Virkus, "The island method a manufacturable porous Si SOI technology," *IEEE IEDM* 86, pp. 431-434, 1986.
- [4] K. Sugahara, S. Kusunoki, Y. Inoue, T. Nishimura, Y. Akasaka, "Orientation control of SOI film by laser recrystallization," *ibid*, pp. 565-568, 1986.
- [5] J. P. Colinge, "Some Properties of Thin-Film SOI MOSFETs," *IEEE Circuits and Device Magazine*, pp. 16-20, Nov. 1987.
- [6] D. Herbst, M. A. Bosh and S. R. Tewksbury, "Island-Edge Effect of Transistors Fabrication in Large-Area Laser Micro-Zone Crystallized Si on Insulator," *IEEE Electron Device Lett.* vol. EDL-4, no. 8, p. 280, 1983.
- [7] J. Tihanyi and H. Schlotterer, "Properties of ESFI MOS Transistors Due to the Floating Substrate and Finite Volume," *IEEE Trans. on Electron Devices*, vol. ED-22, no. 11, pp. 1017-1023, 1975.
- [8] M. L. Bargener, R. E. Ready, "Temperature Distribution Produced in a Two Layer Structure by a Scanning CW Laser or E-Beam," *J. Appl. Phys.*, 53(6), pp. 4357-4363 1982.
- [9] 강분상, 장선호, 최창훈, 김기홍, 김 정목, 안철,

“CO<sub>2</sub> 레이저에 의한 Poly-Si 층의 재결정화,” '90 Semiconductor-on-Insulator 기술 워크샵 논문집, pp. 65-79, 1990.

[10] 박유배, “SOI의 기하학적 구조 및 기타 Parameter들이 CO<sub>2</sub> 레이저에 의한 다결정 실리콘의 재결정화에 미치는 영향에 관한 연구,” 서강대학교 석사학위 논문, 1990.

[11] B. Y. Tasur et al., “Improved techniques for growth of large area single crystal Si sheets over SiO<sub>2</sub> using lateral epitaxy by seeded solidification,” *Appl. Phys. Lett.*, 39(7), pp. 561-563, 1981.

[12] H. J. Leamy, *Laser and Electron Beam Interactions with Solid*, Elsevier, New York, pp. 459-470, 1982.

[13] 오민복, 안철, “CO<sub>2</sub> 레이저 열처리에 의한 SOI 구조에서의 다결정 실리콘의 재결정화,” 대한전자공학회 논문지, 제 24권 제6호, pp. 46-50, 1987.

[14] 한철희, “Polysilicon Thin Film Transistors : 소자기술 및 특성,” *IEEE Korea Section Electron Device* 합동 학술 발표회 논문집, 제10권, 제1호, pp. 175-178, 1992.

[15] T. Elewa, B. Kleveland, S. Cristoloveanu, B. Boukriss and Chovet, “Detailed Analysis of Edge Effects in SIMOX-MOS Transistors,” *IEEE Trans. on Electron Devices*, vol. 39, no. 4, pp. 874-881, 1992.

[16] N. M. Johnson, H. C. Taun, M. D. Moyer,

M. J. Thompson, D. K. Biegelsen, L. E. Fennell and A. Chiang, “Thin-Film Transistors in CO<sub>2</sub> laser Crystallized Si films on Fused Silica,” *Mat. Res. Soc. Symp. Proc.* vol. 13 pp. 605-611, 1983.

[17] W. G. Hawkins, J. G. Black and C. H. Griffiths, *Laser and Electron Beam Interaction with Solid*, Elsevier, New York, pp. 529-534, 1982.

[18] W. G. Hawkins, J. G. Black and C. H. Griffiths, “Growth of single-crystal silicon islands on bulk fused silica by CO<sub>2</sub> laser annealing,” *Appl. Phys. Lett.* 40(4), 15 pp. 319-321, 1982.

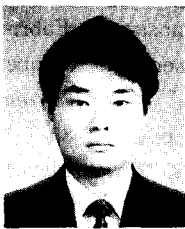
[19] N. M. Johnson, D. K. Biegelsen, H. C. Tuan, M. D. Moyer and L. E. Fennell, “Single-Crystal Silicon Transistors in Laser-Crystallized Thin Films on Bulk Glass,” *IEEE Electron Device Letters*, vol. EDL-3, no. 12, pp. 369-372, 1982.

[20] S. M. Sze, *Physics of Semiconductor Device*, Wiley, p. 475, 1981.

감사의 글

소자 제작에 많은 도움을 주신 한국과학기술원 전기 및 전자공학과 반도체연구실 여러분께 감사드립니다.

著 者 紹 介



**金 柱 榮 (正會員)**  
 1967年 4月 27日生. 1990年 2月 서강대학교 전자공학과(학사). 1992年 2月 서강대학교 대학원 전자공학과(석사). 1992年 2月~현재 현대전자(주) 반도체 연구소 연구원 주 관심분야는 회로설계 등임.



**姜 文 祥 (正會員)**  
 1963年 8月 6日生. 1986年 2月 아주대학교 전자공학과(학사). 1989年 2月 서강대학교 대학원 전자공학과(석사). 1992年 2月~현재 서강대학교 대학원 전자공학과 박사과정. 주 관심분야는 SOI, TFT 등임.

**金 基 洪 (正會員)** 第27卷 第0號 參照  
 현재 금성일렉트론(주) 연구소 선임연구원

**安 哲 (正會員)** 第28卷 A編 第4號 參照  
 현재 서강대학교 전자공학과 교수

**具 用 書 (正會員)** 第28卷 A編 第9號 參照  
 현재 한국전자통신 연구소 고속소자 연구실 선임연구원