

論文 92-29A-10-5

# 광전자집적회로를 위한 InP JFET의 제작 및 특성분석

## (Fabrication and Characterization of InP JFET's for OEIC's)

朴 哲 佑,\* 鄭 啟 午,\* 金 成 俊\*

(Churoo Park, Chang Oh Jeong, and Sung June Kim)

### 要 約

장파장영역( $1.3\mu\text{m}\sim 1.5\mu\text{m}$ )에서 동작하는 광전자집적회로(OptoElectronic Integrated Circuit)가 만들어지는 InP 기판에  $1\mu\text{m}$ 에서  $8.3\mu\text{m}$ 까지의 게이트길이를 가진 JFET들이 성공적으로 제작되었다. 이 중 이온주입(Co-implantation)과 RTA공정에 의해서 제작된 pn접합을 사용하여 제작한 InP JFET은 식각메사게이트구조(Etched-Mesa-Gate Structure)를 가졌으며  $1\mu\text{m}$  게이트길이의 JFET에서 최고  $90\text{mS}/\text{mm}$  이상의  $g_m$  값을 얻었다. 이는 이러한 구조의 InP JFET에서 보고된 최고 수치이며 소오스-드레인  $n^+$  이온주입이 없는 상황에서 얻어진 것이다. 이러한 JFET 성능을 얻기 위해서 게이트영역이외의 p층을 식각할 때 불가피하게 발생하는 n층의 식각이 잘 조절되어야 하며 이를 위해서 식각전후의 I-V 변화를 관찰하였다. 이렇게 제작한 前(M)증폭기(Pre-amplifier)에서 DC 전압이득 11을 얻었다.

### Abstract

JFET's with gate lengths ranging from  $1\mu\text{m}$  to  $8.3\mu\text{m}$  are successfully fabricated on InP substrate where the long haul( $1.3\mu\text{m}\sim 8.3\mu\text{m}$ ) OEIC's(OptoElectronic Integrated Circuits) have been made. The pn junction of InP JFET's is made by co-implantation and RTA process. JFET's have etched-mesa-gate structure and the maximum  $g_m$  larger than  $90\text{mS}/\text{mm}$  was measured and this is the highest record in JFET's of such structure without  $n^+$  ion implantation. To maintain maximum  $g_m$  should be well controlled the overetch of n-layer which inevitably occurs during etching off the unused p-layer. The I-V characteristic is checked during p-layer etch, for this purpose. A dc voltage gain of 11 is obtained from a preamplifier circuit thus fabricated.

### I. 서 론

III-V 화합물반도체는 광전자집적회로(OEIC: OptoElectronic Integrated Circuit)에 대한 가능성을 가지고 있다. 이러한 가능성은 지난 10년간 많은 연구를 촉진시켰다. InP의 경우는 광섬유의 손실이 최저가 되는 장파장 영역( $1.3\sim 1.5\mu\text{m}$ )에서 동작하는 수신단 광전자집적회로(Receiver OEIC)에 관심이 모아져왔다. 현

재까지는 해당영역의 하이브리드 소자에 비교해서 볼때 OEIC는 상대적인 우위를 점하지 못하고 있다.

저가고성능의 장점을 실현하지 못하고 있는 것은 광소자와 전자소자를 한 웨이퍼에 집적하면서 각각의 최적조건을 동시에 만족시키지 못하고 있다는 데 있다. 특히 InP의 경우는 적합한 전자소자기술 발달의 미성숙이 문제가 된다.

Si와 GaAs의 경우 각각 MOSFET, MESFET의 안정된 소자가 있다. InP의 경우 현재까지는 JFET이 최선의 선택으로 여겨진다. InP MESFET의 경우 쇼트키 장벽높이(Schottky Barrier Height)가 작아 누설전류가 커서 광전변환된 신호의 증폭단에서의 사용에는 한계가 있다.<sup>[1]</sup> MISFET의 경우 대신호영역에서 큰 파워출력

\*正會員, 서울大學校 電子工學科 및 半導體共同研究所 (Dept. of Elec. Eng., Inter-university Semiconductor Research Center, Seoul Nat'l Univ.)

接受日字: 1992年 3月 19日

을 얻을 수 있지만 소신호영역에서 절연체 계면의 불안정으로 드레인전류가 불안정하다는 문제가 있다.<sup>[2]</sup>

본 논문에서는 이중이온주입으로 만든 pn접합을 사용하여 만든 식각메사게이트(Etched-MESA Gate) 구조를 가진 JFET의 제작과정과 그 전기적 특성에 대해서 썼다.

## II. InP JFET 제작

### 1. JFET 구조

그림 1은 본 논문에서 제작한 JFET구조이다. 그림 1의 구조는 우선 간단하고 게이트영역이 게이트금속에 자기정렬되어 식각되므로 작은 게이트길이를 가진 JFET를 비교적 쉽게 만들 수 있다. 이러한 구조의 JFET는 다음 단위공정이 필요하다.

이온주입공정/금속공정/광리소그래피공정/식각공정

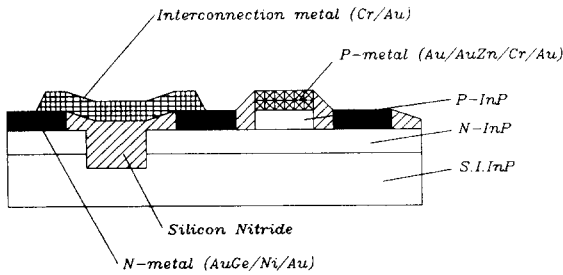


그림 1. 제작된 InP JFET의 구조  
Fig. 1. The structure of InP JFET's fabricated.

이상의 구조에서 문제가 되는 것은 게이트를 제외한 p층의 식각시 n층이 식각되는 것을 어떻게 조절하느냐 하는 것이다. 식각으로 게이트를 정의하는 현재의 구조에서 n층의 과도식각에 의한 영향을 이해하는 것은 필수적이다. n층의 과도식각의 가장 큰 영향은 기생저항 Rs, Rd를 증가시킨다는 것이다. 현재의 구조에서는 소오스와 드레인 영역에 n<sup>+</sup>이온주입이 없기 때문에 기생저항이 JFET의 성능에 끼치는 영향이 크고 따라서 이를 분석하는 것은 JFET의 성능개선에 있어 중요하다.<sup>[7]</sup>

### 2. JFET 제작 전(M)공정

그림 1에 묘사된 식각메사게이트 JFET를 제작하는 전(全)공정흐름도가 그림 2이다. 먼저 이온주입으로 만든 pn접합을 RTA로 활성화한다. 활성화조건은 850°C 10sec이다. 활성화시 인듐분해(Indium decomposition)를 방지하기 위해 근접어닐링(proximity annealing)방

법을 사용했다. 다음으로 질화막(Si<sub>3</sub>N<sub>4</sub>)을 이용한 2단 리프트오프로 p형 게이트금속을 정의한다. 질화막을 이용한 리프트오프는 2.4장에, 이중이온주입과 RTA에 의한 활성화에 대해서는 2.3장에 요약했다. p형 금속(Au/AuZn/Cr/Au, 100/100/1000/1000Å)은 열증착했고 저항성접합(ohmic contact)을 얻기 위한 열로이는 RTA로 했다. 다음으로 메사절연을 하여 소자가 만들어지는 영역을 정의한 후 게이트금속을 식각마스크로 써서 p층(2000Å)을 (4H<sub>3</sub>PO<sub>4</sub>:1HCl)으로 제거해서 게이트를 게이트금속에 자기정렬되게 정의한다. 이 경우 p층의 식각과정에서 식각멈춤이 없으므로해서 불가피하게 발생하는 n층의 식각을 가능한 줄이기 위해 p층 식각에 따른 I-V곡선의 변화를 살펴봄에 식각한다. 식각후 드러난 n층에 n형 금속(AuGe/Ni/Au, 800/200/1000Å)을 역시 리프트오프를 한 후 RTA로 어닐한다. 마지막으로 연결금속(interconnection metal)(Cr/Au)을 증착한다.

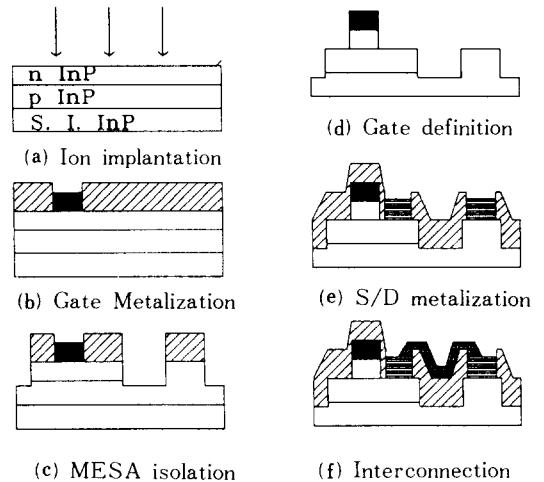


그림 2. JFET제작 전(全)공정흐름도  
Fig. 2. The process flow of InP JFET fabrication.

### 3. 이중이온주입공정

JFET의 pn접합은 이중이온주입(co-implantation)에 의해 만들었다. InP에 있어서 p형 이온주입원으로 <sup>9</sup>Be을 제외한 <sup>12</sup>Mg, <sup>30</sup>Zn, <sup>48</sup>Cd 등은 이온주입시 손상이 커서 어닐링 이후에도 전하가 존재하지 않는 사(死)표면층(dead surface layer)이 남아서 <sup>9</sup>Be를 p형 이온주입원으로 사용한다. 그러나 <sup>9</sup>Be은 원자량이 작기 때문에 이온주입에 내재한 손상(damage effect)에 의한 내부 확산(indiffusion)의 방지효과가 적어서 어닐링시 내부 확산이 발생한다. 따라서 원자량이 큰 <sup>33</sup>As,<sup>[3]</sup> <sup>15</sup>P,<sup>[4]</sup> <sup>18</sup>Ar

등의 보조원소를 같이 이중이온주입함으로써 <sup>9</sup>Be에서 기대할 수 없었던 손상효과를 얻어서 내부확산을 막아준다.<sup>[5]</sup>

P/Be이중이온주입에서 P의 역할을 좀 더 구체적으로 분석하기 위하여 P와 Ar의 도즈(dose)를 변화시키면서 이중이온주입을 하였다. 최적조건인 850°C 15sec에서 활성화시킨 결과가 표 1에 정리되어 있다. P와 Ar의 도즈가 같을 때 활성화효율이 거의 비슷한 것으로 보아서 P/Be에서 P의 역할은 Ar의 역할과 같다고 볼 수 있다. Ar은 불활성원소이기 때문에 InP에서 손상효과만 일으키므로 P/Be의 활성화 개선도 P의 손상효과가 주된 효과라고 볼 수 있다. 그러나 보조원소의 각 도즈에서 P/Be, Ar/Be의 활성화효율의 차이가 P/Be의 활성화효율에 대해 갖는 비율은 P가 10<sup>14</sup>cm<sup>-2</sup>일 때 가장 크다. 그런데 TRIM 모의실험으로부터 보조원소의 도즈가 증가할수록 P/Be의 손상도가 Ar/Be의 손상도에 대해서 점점 커진다는 것을 알 수 있었다. 따라서 P는 주된 손상효과 외에 화학효과인 스토이키오메트리효과도 나타내고 있음을 알 수 있었다.<sup>[6]</sup>

표 1. P/Be이중이온주입과 Be단독이온주입의 비교  
P/Be이중이온주입과 스토이키오메트리효과가 없는 Ar/Be 이중이온주입의 비교

Table 1. The comparison of P/Be Coimplantation with Be Single Implantation.  
The Comparison of P/Be Coimplantation with Ar/Be Coimplantion in which Stoichiometry Effect is not expected.

Be dose	P dose	Ar dose	activation (%)	mobility (cm <sup>2</sup> /V·s)
10 <sup>14</sup>	/	/	31.7	71.0
10 <sup>14</sup>	10 <sup>13</sup>	/	75.0	67.2
10 <sup>14</sup>	10 <sup>14</sup>	/	61.0	63.6
10 <sup>14</sup>	10 <sup>15</sup>	/	23.0	47.2
10 <sup>14</sup>	/	10 <sup>13</sup>	69.5	65.0
10 <sup>14</sup>	/	10 <sup>14</sup>	54.2	62.4
10 <sup>14</sup>	/	10 <sup>15</sup>	22.2	45.2

본 논문에서 제작한 JFET에서는 먼저 n층을 <sup>28</sup>Si을 220 KeV의 에너지, 10<sup>13</sup>cm<sup>-2</sup>의 도즈로 형성하고 p층은 <sup>9</sup>Be과 <sup>15</sup>P를 이중이온주입(coimplantation)함으로써 만든다. <sup>9</sup>Be과 <sup>15</sup>P 각각의 에너지와 도즈는 20keV/6×10<sup>13</sup>cm<sup>-2</sup>, 180keV/6×10<sup>13</sup>cm<sup>-2</sup>이다. 형성된 p층과 n층은 각각 2000Å, 2500Å이고 도핑농도는 각각 1~2×10<sup>18</sup>cm<sup>-3</sup>, 1~2×10<sup>17</sup>cm<sup>-3</sup>이다.

### III. InP JFET 특성 분석

#### 1. JFET의 일반적인 특성

그림 3과 그림 4는 게이트길이가 폭이 각각 1μm, 100μm 인 JFET의 일반적인 I-V 곡선과 gm-Vgs 곡선이다. 최고 gm이 90mS/mm를 넘고 있다. 표 2는 같은 조건으로 제작된 두 개의 「웨이퍼 A, B」의 여러 다른 크기의 FET에 대해서 최대 gm과 I<sub>DSAT</sub>의 웨이퍼당평균을 기록한 것이다. 게이트길이와 게이트-소오스 간격, 게이트-드레인 간격은 CD(Critical Dimension)검사를 통해 보정한 값이다.

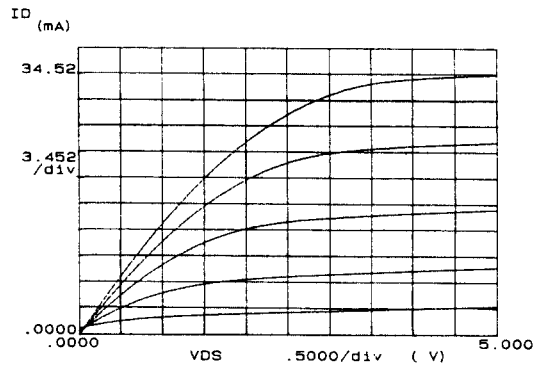


그림 3. FET I-V (게이트길이가=1m, 폭=100m)  
(Vgs : 0V부터 -1V 스텝)

Fig. 3. FET I-V. (Lg=1m, Z=100m)  
(Vgs : from 0 V, -1 V step)

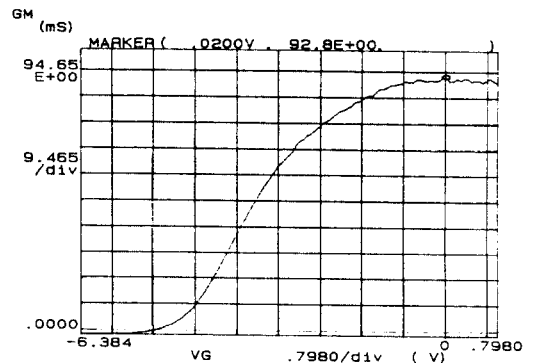


그림 4. Vgs - gm 곡선 (Vds=5V)  
(게이트길이가=1m, 폭=100m)

Fig. 4. Vgs - gm curve. (Vds=5V)  
(Lg=1m, Z=100m)

표 2. 여러가지 InP JFET의  $g_{m, max}$ 와  $I_{DSAT}$  ( $V_{GS}=0V$ )  
Table 2.  $g_{m, max}$  and  $I_{DSAT}$  ( $V_{gs}=0V$ ) of InP JFET's.

gate length $\mu m$	G-S spacing $\mu m$	G-D spacing $\mu m$	miximum $g_m$ mS/mm	$I_{DSAT}$ ( $V_{gs}=0V$ ) mA/mm
Wafer A				
8.3	1.6	1.6	평균 43	평균 175
3.3	1.6	1.6	64	240
1.3	0.9	1.4	71	300
1.1	0.9	1.4	70	298
1.0	0.25	0.8	88	349
1.0	1.0	1.0	73	307
1.0	2.5	2.5	67	282
Wafer B				
8.3	1.6	1.6	평균 50	평균 199
3.3	1.6	1.6	62	284
1.3	0.9	1.4	65	346
1.1	0.9	1.4	67	349
1.0	0.25	0.8	79	431
1.0	1.0	1.0	76	369
1.0	2.5	2.5	63	341

표 2에서 보듯이 게이트길이가 줄어들어 따라 또, 같은 게이트길이일 때는 극간 간격이 줄어들어 따라  $g_m$ 과  $I_{DSAT}$ 이 증가함을 알 수 있다. 「웨이퍼 A」나 「웨이퍼 B」가 마찬가지로 경향을 보여 주고 있다. 「웨이퍼 B」가 「웨이퍼 A」보다 전류수준이 높는데 이것은 채널의 활성화 정도가 약간 더 높았던 때문이다. 따라서 이것에 비례하는  $V_P$ (pinch-off voltage)나  $V_T$ (turn-off voltage)도 「웨이퍼 B」가 「웨이퍼 A」보다 더 높다. 웨이퍼 A, B 각각의 면저항은  $1111 \Omega/\square$ ,  $964 \Omega/\square$ 이며 「웨이퍼 A」의 경우  $V_T$ 는  $-5.9V$ 이고 여기서 부터  $N_d = 1.6 \times 10^{17}cm^{-3}$ ,  $V_P = 7.2V$ ,  $V_{bi} = 1.274V$ 의 값을 구했다. 「웨이퍼 B」의 경우는  $V_T$ ,  $N_d$ ,  $V_P$ ,  $V_{bi}$ 이 각각  $-6.8V$ ,  $1.8 \times 10^{17}cm^{-3}$ ,  $8.07V$ ,  $1.280V$ 이다. 여기서  $N_a$ 는  $10^{18}cm^{-3}$ 으로 두었는데  $N_a$ 의 변화는 계산값에 큰 변화를 주지 못한다.  $V_T$ 는  $(I_{DSAT})^{1/2} - V_{gs}$  곡선에서 구했다.  $I_{DSAT}$ 이 채널도핑에 비례하여 「웨이퍼 B」가 조금 더 큰 경향을 보이는 데 비해  $g_{m, max}$ 의 경우는 분명한 경향을 보이지 않는 것은  $g_{m, max}$ 이 기생저항  $R_s$ ,  $R_d$ 에 크게 의존하기 때문이다.  $R_s$ ,  $R_d$ 의 일부를 구성하는 접촉저항( $r_c$ : contact resistance)의 경우 게이트-소오스간 또는 게이트-드레인간의 사이에 존재하는 기생저항의 값과 비교할

만큼 크고(때로는 오히려 더 크기도 하고), 또한 큰 변동 폭을 가졌기 때문에, 동일 웨이퍼 상의 동일한 크기의 소자간에서도  $g_m$ 에 있어 차이를 보이게 된다.

2. 전자유효포화속도

전자유효포화속도(effective electron saturation velocity)는 다음과 같이 쓸수 있다.<sup>[8]</sup>

$$V_s = \frac{a}{Z\epsilon\epsilon_r \left[ \frac{R_d}{u_m^{measure}} + \frac{2V_P}{I_{DSAT}^{measure}} (1 - u_m^{measure}) \right]} \quad (1)$$

여기서

$$u_m^{measure} = [(V_{bi} + V_{gs}^{measure} + V_{dsAT}^{measure})/V_P]^{1/2}$$

(1)식은 FET의 채널에서 전자들이 움직이는 속도에 대해서 유효한 평가치가 된다. GaAs나 InP의 경우 Si과는 달리 전자속도-전계의 특성이 최고 전자속도에 이르렀다가 감소하는 특징을 보여준다. 이것은 채널에 전자가 쌓이고 또 공핍 되는 2극(dipole)형성을 촉진하며 작은 게이트 길이의 FET의 경우에는 FET I-V 곡선에서 음저항(negative resistance) 특성을 보이는 원인이 된다.<sup>[9]</sup> InP의 경우 최고전자속도(peak velocity)에 도달하는데 필요한 전계는  $12.4kV/cm$  즉,  $1.24V/\mu m$  이고 최고드리프트 속도는  $2.5 \times 10^7 cm/sec$  이다.

게이트가  $1\mu m \times 100\mu m$  이고 게이트-소오스, 게이트-드레인 간격이  $1\mu m$ 인 「웨이퍼 A」위의 JFET에 대해서 전자유효포화속도를 구한 것이 표 3이다. 여기서  $R_d$ 는  $1.7\Omega mm$ 이다.

표 3. 전자유효포화속도

Table 3. Effective electron saturation velocity.

게이트 전압 [ -V ]	측정치 $I_{DSAT}$ [ mA ]	측정치 $V_{dsAT}$ [ V ]	전자유효포화속도 $V_s$ [ $10^7 cm/sec$ ]
0	26	4	2.27
1	19	3	1.76
2	12.4	2.5	1.62
3	6.99	2	1.43
4	3.4	1.2	0.98

표 3에서 보면 게이트전압이 더 (-)가 될 수록 유효 전자포화속도가 떨어짐을 알 수 있는데 이는 게이트전압이 더 (-)가 될수록 전류가 줄어 기생저항에 의한 전압

강하가 적어져서 채널에 걸리는 전계가 더 커지기 때문이다. 따라서 전체-전자속도 곡선에서 최고전자속도(peak electron velocity : InP의 경우  $2.5 \times 10^7 \text{cm/sec}$ )가 되는 전계값을 보다 더 넘어서게 되고 따라서 채널 전체에서 움직이는 전자들의 속도의 전반적인 유효한 평균치인 유효전자포화속도가 떨어지게 되는 것이다. 대체적인 값들을 살펴보면 InP JFET에서 기대할 수 있는 일반적인 값을 보여주고 있으며 최고치에 가까운 값을 보여준다.

3. JFET 증폭기 특성

그림 5는 게이트가  $1\mu\text{m} \times 100\mu\text{m}$  이고 게이트-소오스, 게이트-드레인 간격이  $1\mu\text{m}$ 인 JFET 두 개로 만든 증폭기의 DC전압 전달 특성을 나타낸 것이다.  $V_{DD}$ 가 13V 일 때  $V_{in}=0.58\text{V}$  에서 11 정도의 전압이득을 얻었다.  $V_{DD}$ 가 증가함에 따라(11V, 12V, 13V) 전압이득이 증가하는 것은  $g_m$ 의 증가와, 특히  $g_d$ 의 감소에 의한 것이다. 다음 식에 의해서  $V_{DD}=13$  일 때  $g_m=75\text{mS/mm}$ 을 대입하면 ((표2)참조)  $g_d=r_d^{-1}=3.3\text{mS/mm}$ 의 값을 얻는다.

$$\text{gain}=g_m(r_d/2) \tag{2}$$

$V_{ds}=5\text{V}$ 에서 FET의  $g_d$ 가 평균  $10\text{mS/mm}$ 의 높은 값을 가지기 때문에 전압이득을 키우기 위해서는  $V_{DD}$ 를 올려 주어야 한다.

JFET이 제작되었고 측정된 최고  $g_m$ 은  $1\mu\text{m} \times 100\mu\text{m}$  FET에 대해서  $90\text{mS/mm}$ 이상의 값을 얻는다. 이는 메사형 InP JFET에서 보고된 가장 높은 수치이다. 둘째, 제작된 JFET들에서  $g_m$ 과  $I_{DSAT}(V_{gs}=0\text{V})$ 의 게이트길이 의존성과 게이트-소오스, 게이트-드레인 간격에의 의존성을 측정을 통해서 게이트길이를 감소시킴으로써 얻을 수 있는 내부  $g_m$ 의 증가도 중요하지만 기생저항을 줄이는 것이 실제 사용할 수 있는 외부  $g_m$ 의 증가라는 측면에서 중요하다는 것을 알 수 있다. 기생저항을 가능한 줄이기 위해 p층 식각시 I-V의 변화를 관찰하며 식각하여 n층의 식각을 조절하였고, 질화막을 이용한 리프트오프로 금속을 안정적으로 정의함으로써 소오스-게이트, 드레인-게이트간의 간격조절이 용이하게 하였다. 그리고 셋째, 제작된 JFET의 특징 중 하나가 pn접합을 에피성장 에 의해서가 아니라 이온주입으로만 형성했고 특히 p층의 경우 이중이온주입에 의해서 만들었다는 것이다. Be을 단독이온주입했을 경우 보다 Be과 P를 이중이온주입했을 때의 활성화율의 개선은 주된 이유가 손상효과 때문이고 스토이키오메트리효과는 약간 첨가적임을 밝혔다. 또한 넷째, 이런 구조의 JFET으로 구성된 전(前)증폭기(preamplifier)의 특성을 보았으며 DC전압이득은 11을 얻었다. 마지막으로 기생저항을 고려한 유효전자포화속도를 구하는 식<sup>[5]</sup>을 이용하여 채널에서 움직이는 전자들의 속도를 유효하게 평가할 수 있는 유효전자속도를 추정할 수 있었다.

参 考 文 献

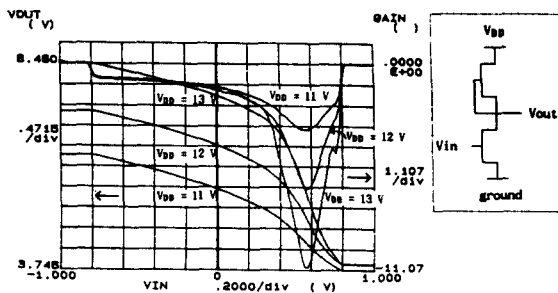


그림 5. InP JFET 증폭기 특성  
Fig. 5. The characteristic of InP JFET amplifier.

IV. 결 론

이상에서 요약된 InP JFET의 제작과정과 제작된 JFET의 특성분석을 통해 다음과 같은 결론을 얻을 수 있다. 첫째, 게이트 길이가  $1\mu\text{m}$ 에서  $8.3\mu\text{m}$ 까지의

- [1] K. J. Slegler, et al., "Low-noise ion-implanted InP FET's," *IEEE Electron Devices*, vol. ED-28, p1031, 1981.
- [2] D. L. Lile, M. J. Taylor, "The effect of interfacial traps on the stability of insulated gate device in InP," *J. Appl. Physics*, vol. 54, p260, 1983.
- [3] S. J. Kim et al., "A low-power high-speed ion-implanted JFET for InP based monolithic optoelectronic IC's," *IEEE Electron Device Lett.*, vol. EDL-8, pp. 518-520, 1987.
- [4] C. L. Cheng et al., "Fully implanted InP JFET with an abrupt p<sup>+</sup>-n junction," *IEEE Electron Device Lett.*, vol. EDL-8, pp. 483-485, 1987.
- [5] M. V. Rao, R. K. Nadella, "Be<sup>+</sup>/P<sup>+</sup>, Be<sup>+</sup>/Ar<sup>+</sup> and Be<sup>+</sup>/N<sup>+</sup> coimplantations into

- InP:Fe," *J. Appl. Physics*, 67(4), pp. 1761-1766, 1990.
- [6] C. O. Jeong, S. J. Kim, and B. D. Choe, "The role of complementary species in P/Be and Ar/Be coimplanted InP," *J. Electron. Mat.*, vol. 21, pp. 825-829, 1992.
- [7] 박철우, "광전자집적회로를 위한 InP JFET의 제작 및 특성분석," 서울대학교 전자공학과 석사학위논문, 1992.
- [8] Sze, *Physics of Semiconductor Devices*, 2nd ed., New York, Wiley, 1981.

---

 著 者 紹 介
 

---



朴 哲 佑 (正會員)

1967年 6月 15日生. 1990年 2月 서울대 전자공학과 졸업(공학사). 1992年 2月 동대학원 전자공학과 졸업(공학석사). 1992年 3月~현재 삼성반도체 기흥연구소 연구원.



鄭 啟 午 (正會員)

1962年 2月 20日生. 1985年 서울대학교 물리교육과 졸업. 1988年 서울대학교 물리학과 석사졸업. 1988年~현재 동대학원 물리학과 박사과정 및 반도체공동연구소 연구조교. 주 관심분야는 InP에서의 이온주입 및 Zn확산, 장파장 광수신OEIC제작 등임.

金 成 俊 (正會員) 第28卷 A編 第5號 參照  
서울대학교 전자공학과 교수