

얇은 열산화-질화막의 특성평가

(Evaluation of Characteristics of Oxidized Thin LPCVD-Si₃N₄ Film)

丘 庚 完*, 趙 誠 佶**, 洪 鳳 植***

(Kyung Wan Koo, Seong Gill Cho, and Bong Sik Hong)

要 約

고집적 DRAM 소자의 축적 절연막으로 N/O(Si₃N₄/SiO₂) 구조 박막을 LPCVD 법과 상부 산화법(열산화 및 건식산화)으로 형성하여 ellipsometer 로 박막의 두께를 측정하고 고주파 C-V meter, 고분해 TEM, AES, SIMS를 이용하여 박막의 두께, 조직 분석을 수행 하였다. 본 실험에서 N/O 구조막을 박막화 하는데 필요한 질화규소박막(Si₃N₄)의 한계 두께는 7nm이었고 이보다 얇은 질화규소막은 질화규소막과 다결정규소층 사이의 계면에서 계면 산화가 일어나 박막화의 목적을 달성할 수 없었다.

Abstract

Dielectric thin film of N/O(Si₃N₄/SiO₂) for high density stacked dynamic-RAM cell was formed by LPCVD and oxidation(Dry & pyrogenic oxidation methods) of the top Si₃N₄ film. The thickness, structure and composition of this film were measured by ellipsometer, high frequency C-V meter, high resolution TEM, AES, and SIMS. The thickness limit of Si₃N₄ film in making thin N/O structure layer was 7nm. In this experiment, the film with thinner than 7nm was not thick enough as oxygen diffusion barrier, and oxygen punched through the film and interfacial oxidation occurred at the phase boundary between Si₃N₄ and polycrystalline silicon electrode.

I. 서 론

LSI가 고밀도화 및 고집적화(ULSI: Ultra Large

* 正會員, 忠清專門大學 電子科
(Dept. of Electronics Chungcheong College)

** 正會員, 忠南大學校 金屬工學科
(Dept. of Metallurgical Eng., Chungnam Nat'l Univ.)

*** 正會員, 忠南大學校 電子工學科
(Deop. of Elec. Eng., Chungnam Nat'l Univ.)

接受日字: 1991年 10月 23日

Scale Integration) 되어감에 따라 소자의 미세화가 진행되고 있어 셀 용량(cell capacitor) 면적의 축소화가 이루어지고 있다. 4-64M DRAM의 고집적 기억 소자는 충분한 셀 용량을 확보하기 위해 적층 커패시터 셀(stacked capacitor cell), 트랜치 커패시터 셀(trench capacitor cell)이라고 하는 3차원 구조 셀의 개발, 적용 및 용량 절연막의 박막화가 동시에 진행되고 있어 고신뢰성의 절연막 개발이 요망되고 있다.¹⁾⁻⁸⁾

적층 커패시터는 그 구조상 다결정 실리콘상에 절연막을 형성 하여야 하나 실리콘 기판에 비해 결정성 및 표면의 상태가 열화되어 있는 다결정 실리콘상에 형성한 산화막에서는 국부적인 산화막의 박막화로 전기적

특성 및 신뢰성이 현저하게 약화된다. 이때문에 3차원 구조를 갖는 용량 절연막으로서 oxide/nitride/oxide(ONO) 3층막, oxide/nitride(ON) 2층막등의 nitride계 적층막이 많이 사용되고 있다.^[9-11] 산화막과 질화규소박막을 적층구조를 함으로써 질화규소박막의 고유전율을 활용하면서 결함밀도가 낮고 고신뢰성인 용량 절연막을 실현할 수 있게한다.^[11-8]

N/O [LPCVD-Si₃N₄(bottom)/SiO₂(top oxidation)]구조막은 Poly-Si 상에 직접 질화막을 퇴적(deposition)하고 Si₃N₄막상부를 산화시켜 형성한다. 이때문에 실리콘의 표면상태나 단부(edge) 영향을 줄일 수 있어 산화막 환산 두께가 얇고 또한 높은 신뢰성의 용량 절연막을 형성할수 있는 특징이 있다.

N/O막은 질화규소박막과 nitride 산화막의 복합막이기 때문에 그 전기적 특성은 Si₃N₄ 단일막 및 SiO₂ 단일막의 전기적특성과 다를 것으로 예상되고 특히 nitride 상부산화 조건의 변화에 따른 특성변화가 기대되고 있어 nitride 상부산화조건을 최적화할 필요가 있다.

따라서, 본 연구에서는 LPCVD-Si₃N₄막의 증착 공정조건 중 가스비(SiH₂Cl₂/NH₃)에 따른 Si₃N₄막 및 이를 산화한 N/O구조막을 용량절연막으로 갖는 적층 커패시터의 전기적 특성을 중심으로 평가하고 고분해 TEM, AES, SIMS 등을 이용하여 표면 및 계면의 성분조사와 두께를 측정함으로써 N/O 구조막의 박막화의 한계성을 조사하고자 하였다.

II. 실험

본 연구에서 사용한 반도체 기판은 결정방향이 (100) 이고, 비저항이 10~15Ωcm 인 N형 실리콘 웨이퍼이다. 전기적 특성 평가에 사용한 시편 은 그림1에 표시한 MIS구조의 커패시터이다. 커패시터의 전극면적은 1mm² 및 4mm²이다. 그림2는 커패시터의 제작 공정을 나타낸 것이다. N형(100) 실리콘 기판을 사용하여 550nm의 LOCOS분리(field oxidation)를 형성한 후 LPCVD 방법으로 775°C, 가스비(NH₃/SiH₂Cl₂) 및 두께를 변화 시키면서 Si₃N₄막을 퇴적하고 다음에 Si₃N₄막의 상부산화를 실시하였다. 상부 산화 조건은 850°C로 연소산화(pyrogenic oxidation) 분위기에서 행하였다. N/O(Si₃N₄/SiO₂) 구조막 형성후 다시 LPCVD법으로 다결정 실리콘막을 350nm으로 퇴적하였고, 850°C에서 POCl₃을 통하여 인(Phos.)을 확산하고 상부전극을 형성하였다. 이후의 공정은 통상의 MIS 커패시터 제작 공정 순서에 따라 진행 하였다.

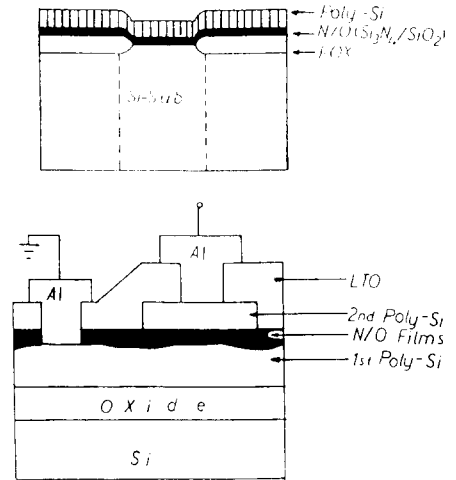


그림 1. MIS 구조 커패시터
Fig. 1. Capacitor of MIS structure.

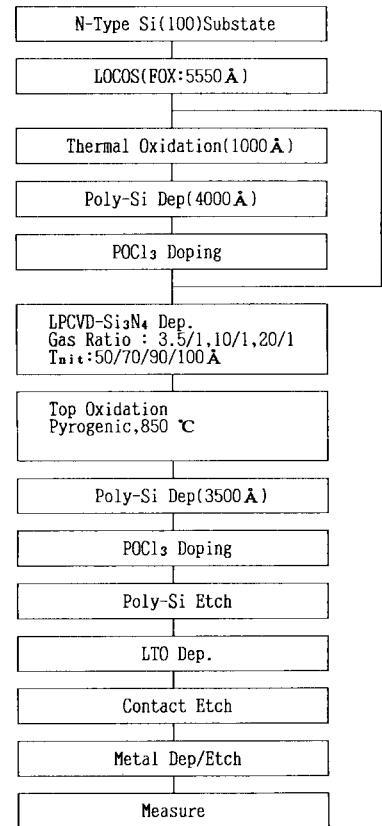


그림 2. 측정시료 제작 공정 순서
Fig. 2. Process flow of the tested sample.

한편 다결정 실리콘상의 N/O 구조막 제작 순서는 N형 실리콘 기판과 하층 다결정 실리콘을 격리하기 위한 열산화 공정(100nm)과 하층전극 형성공정 외에는 Si 상의 N/O 구조막 형성 공정순서와 동일하다.

LPCVD-Si₃N₄막의 두께 및 산화막의 두께는 Gaertner ellipsometer를 표준 웨이퍼로 보정한 후에 측정 하였다. 한편 N/O 구조막의 실효막 두께(T_{eff})는 HP 4275A LCR Meter를 사용하여 고주파 C-V 방법으로 용량(C_{max})을 측정하여 평가하였다. Si₃N₄ 막 상의 산화막 두께는 공정 모니터 웨이퍼 상의 산화막 두께로 구분하여 AES(Auger Electron Spectroscopy) 전자 분석의 depth profile로 부터 추정하였다.

N/O구조막을 용량 절연막으로 갖는 적층 커패시터의 전기적인 특성 평가는 HP 4145 Parameter Analyser를 사용하여 N-Type 기판이 saturation mode에 있도록 하기 위하여 게이트 전극에 (+)전압을 인가하면서 sweep 시켜 I-V curve를 그려서 항복 전압(V_B: at 100nA)와 누설전류(LC: at 2.5V)를 측정 하였다. 데이터는 각 시료당 2장의 웨이퍼의 상, 중, 하, 좌, 우 부분에서 각 2점씩 10점을 측정하여 평균한 값이다. 다만 TEM(Transmission Electron Microscope) 분석을 하기 위해서는 전자빔이 투과할 수 있도록 극히 얇고, 작은 직경 3mm의 특별한 시편을 제작하여 가속전압 200kV로 시료 단면을 관찰하였다.

III. 실험 결과 및 검토

1. 공정조건에 따른 얇은 질화막의 특성

(1) LPCVD-Si₃N₄ 막의 전기적 특성

적층 커패시터에 사용하는 다결정 실리콘 상의 절연막은 N/O[Si₃N₄(Bottom) / SiO₂(Top)]구조의 2층구조를 채용함으로써 DRAM에 적용가능한 충분한 신뢰도를 갖는다고 Hitachi 연구진이 밝힌 바 있다.^[10, 11] 신뢰도 확보의 중요한 요소로 막두께의 구성과 Si₃N₄ 막의 막질을 들고 있다. Si₃N₄막 그 자체의 Si과 N의 조성비 등을 최적화 해야한다. Si₃N₄ 증착 공정조건인 온도나 재료가스의 혼합비를 바꾸면 신뢰도도 크게 바뀐다. 단 막질의 변화정도를 AES나 SIMS등의 일반적인 물리 분석으로는 검출할수 없는 정도라고 하고있다.

본 논문에서는 LPCVD-Si₃N₄ 증착 공정 조건중 온도는 775°C로 일정하게 하고 가스비를 NH₃/SiH₂Cl₂: 3.5/1, 7/1, 10/1, 20/1로 변화시켜 일정한 두께(T_{nit}=70Å)의 Si₃N₄막을 형성한 후 MIS 구조의 커패

시터를 만들어 전기적 특성을 평가하였다.

그림3은 여러가지 가스비로 퇴적된 Si₃N₄막의 전기적 특성을 나타낸 것이다. 실제 사용전계 부근에서 큰 누설전류가 흐름을 알수 있다. 그림에서 10nA의 전류가 흐름 때의 전압을 항복전압으로 하고 1.65V 전압에서의 전류를 누설전류로 하여 표1에 정리하였다. 가스비에 따른 전기적 특성의 큰 차이는 발견할 수 없었으나 이미 발표된 연구보고에 의하면 신뢰도 및 산화에 대한 저항성에는 큰 영향을 미치고 있다고 발표하고 있다.^[12]

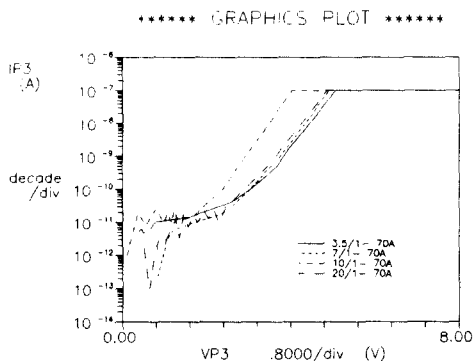


그림 3. 가스비에 따른 질화막의 전류-전압 특성
Fig. 3. I-V characteristics of thin LPCVD-Si₃N₄ films deposited at various gas ratio.

표 1. 질화막의 I-V 특성 (T_{nit} = 7nm)
Table 1. I-V characteristics of Si₃N₄ (T_{nit} = 7nm).

ITEM GAS RATIO	3.5/1	7/1	10/1	20/1
BV at 10nA (V)	4.5	4.3	3.5	4.3
LC at 1.65 V (pA)	8.6	10	11.0	4.7

(2) N/O 구조막의 전기적 특성

일반적 LPCVD법으로 형성된 얇은 Si₃N₄막 만으로는 TDDB 특성은 향상되어도 실제 사용 전계 부근에서의 큰 누설전류 때문에 Si₃N₄ 표면을 열산화해서 사용한다. 게이트 전극과의 사이에 얇은 SiO₂를 끼운 구조로 됨으로써 누설전류를 억제한 것이다.

그림4에는 NH₃:SiH₂Cl₂ 증착 가스비를 달리한 LPCVD-Si₃N₄막(T_{nit}=7nm)을 850°C에서 연소산화한 N/O 구조의 막을 MIS 커패시터로 만들어 측정된 I-V 특성이다. 그림에서 알수 있듯이 Si₃N₄ 막의 I-V

특성보다 항복전압 및 고전계 영역에서의 누설 전류는 향상되었으나 NH₃:SiH₂Cl₂ 가스비에 따른 특성의 차이에 있어 일정한 관계를 찾을 수는 없다. 표2에 여러가지 가스비에 따른 전기적 특성 데이터를 정리하였다.

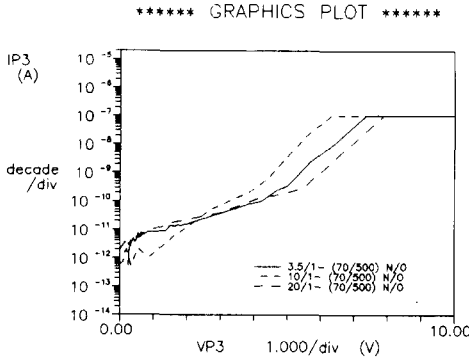


그림 4. 가스비에 따른 N/O 막의 전류-전압 특성
Fig. 4. I-V characteristic of N/O films with bottom Si₃N₄ Layer deposited at various NH₃:SiH₂Cl₂ gas ratio NH₃/SiH₂Cl₂= (a)3.5/1, (b)10/1, (c)20/1.

표 2. N/O 막의 전류-전압 특성

Table 2. I-V characteristic of N/O films (Tnit=7nm, Ox=850°C에서 Pyrogenic)

ITEM GAS RATIO	3.5/1	10/1	20/1
BV at 10nA (V)	6.47	5.34	7.115
LC at 1.65 V (pA)	11.65	7.25	18.6

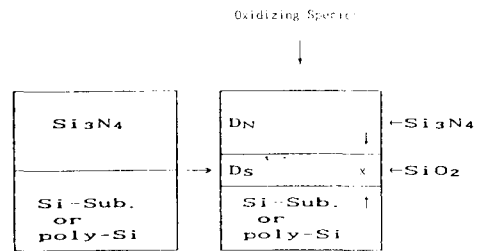
(2) 계면 산화

적층 커패시터의 용량 절연막으로서 NO(ONO)구조의 적층막으로 사용하는것은 산화막과 Si₃N₄막의 고유전율을 활용하면서, 결합밀도가 낮고 고신뢰성인 용량절연막이 실현될 수 있기 때문이다. 그러나 64M DRAM급 이상의 차세대 기억소자에 적용하기 위해서는 N/O 구조의 박막화 및 고신뢰성의 절연막 개발이 요구되고 있다. N/O 구조의 박막화를 진행한다 하여도 그 두께에는 한계(thinning limit : 산화막 환산, 5nm)가 있을 것으로 판단되고 있다. 질화막(LPCVD-Nitride)표면을 열산화하면 산화막으로 변화하면서 질화막이 소모되게 된다. 따라서 질화막 두께는 감소하게 되는데 이 질화막 두께가 4.5-5.5nm이하가 되면 계속되는 산화반응 동안에 산소(oxidants)가 질화막을 통하여 확산하게되고 질화막/Si(Poly-Si) 계면에

서 산화막이 성장(계면산화)^[13]하게 된다. 결국 N/O 구조막 하부에 두꺼운 산화막이 형성되어 용량이 감소하게 된다. 실효산화막 두께가 증가하여 박막화의 목적을 달성할 수 없게 된다. 그림5과 같은 계면산화 모델을 가정하여 실험하였다. 우선 산화장벽(oxidation barrier)으로 작용할 LPCVD-Si₃N₄는 두께가 얇고, NH₃:SiH₂Cl₂ 가스비가 작은 (3.5:1)쪽을 택하여 두꺼운 LPCVD Si₃N₄막에 비해 치밀성이 적고 약한 결합(weak bonding)이 기대되는 막을 선택하였다. LPCVD Si₃N₄ 증착조건은 온도 770°C 및 NH₃/SiH₂Cl₂ 가스비:3.5/1로 일정하게 하고 시간을 변화시켜서 각각 5, 7, 9 및 10nm의 질화규소막막 두께를 얻었다. 이때 증착율은 약 66nm/min이었다. 여러가지 두께의 질화규소막막을 동시에 산화하였다. 산화는 850°C 연소산화 분위기에서 약 1시간 진행하였고, 이때 공정 모니터용 bare-Si상에서는 60nm의 산화막이 성장하였다. 그림6은 산화시간에 따른 질화막 표면과 실리콘 기판에서의 성장한 산화막 두께를 나타낸 것이다. 기술기로 부터 구한 산화막 성장율은 각각 t^{0.79}와 t^{1.1}에 비례하는 것으로 나타났다.

실리콘과 질화막의 산화기구의 차이를 예측할 수 있다. 즉 실리콘은 잘 알려져 이는 Grove & Deal의 초기산화 기구인 표면반응을속이고, 질화막의 산화막 성장은 확산속속(diffusion controlled)으로 사료된다.

그림7은 Si₃N₄두께 및 산화 조건에 대응하는 산화막 환산두께(T_{eq})와 고주파 C-V 방법으로 구한 실효막두께(T_{ox})를 nitride 두께와 관련 지은 것이다. 여기서,



(a) Before Diffusion (b) After Diffusion

D_n: Diffusion Coefficient of oxidizing Species onto Si₃N₄
D_s: Diffusion Coefficient of oxidizing Species onto SiO₂
X: Thickness of silicon Oxide Film

그림 5. 계면산화 모델

Fig. 5 Schematic illustration of interfacial oxidation.

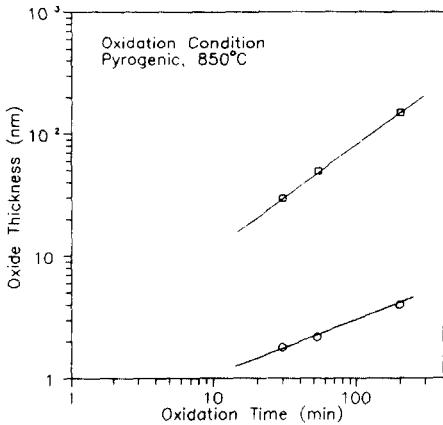


그림 6. 산화시간에 따른 실리콘과 질화막 표면에 성장한 산화막 두께
Fig. 6. Thickness of silicon oxides grown by oxidation of silicon and silicon nitride as a function of oxidation time.

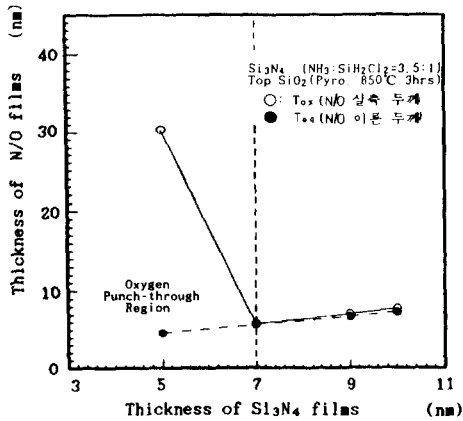


그림 7. 질화막 두께와 N/O 막의 실효막 두께
Fig. 7. The relationship between the thickness of nitride films and the effective thickness of stacked N/O films.

$T_{eq} = (K_{ox} / T_{nit}) \cdot T_{nit} + T_{ox}$, T_{op} 이고 $T_{ox} = K_{ox} \cdot A / C_{max}$ 이다. 그림에서 알 수 있듯이 7nm 이상의 Si₃N₄ 두께에서는 산화막 환산 추정 두께와 측정된 실효막 두께가 잘 일치하고 있다. 그러나 7nm 이하 5nm의 경우는 산화막 환산 추정 두께가 약 5nm이나, 고주파 C-V(at 100 kHz) 방법으로 C_{max}를 측정하여(면적: 4×10⁴ μm²) 산화막 두께로 환산한 실효막 두께는 약 30nm이었다. 이 때 AES depth profile로부터 구한 상부 산화막 두

께(T_{ox}, T_{op})는 2.2nm이었다. 따라서 Si₃N₄ 두께 5nm에서는 산화시에 산화에 대한 장벽 역할을 충분히 하지 못하고 Si/Si₃N₄ 계면에서 산화가 진행되는 것으로 기대된다.

그림8은 N/O 구조막의 단면 TEM 사진이다. (a) 및 (b)는 질화막 두께 9 및 7nm을 850°C에서 1시간 표면산화하여 형성한 N/O 구조막이다. 산화에 의해 질화막 두께가 감소하였지만 분명하게 존재하고 있다. 그러나 (c)는 질화막 두께 7nm을 850A°C 200분간 표면을 산화하여 형성한 N/O 구조막으로 질화막이 국부적으로 균열이 되고 계면의 산화막이 두꺼워진 것을 볼 수 있다.

그림 9는 질화막 두께를 각각 9.7 및 5nm로 하고 850°C에서 1시간 표면을 산화하여 형성한 N/O 구조막의 MIS 캐패시터의 항복전계 분포이다. 9nm 두께의 질화막의 N/O 막은 10MV/cm의 높은 항복전계와 균일한 분포를 보여주고 있고, 7nm의 경우는 7MV/cm의 항복전계를 중심으로 넓게 퍼져있다. 그러나 5nm의 두께의 질화막을 산화한 N/O 막은 대부분의 경우 초기 항복 현상이 나타나고 있다. 그림8의 단면 TEM 사진 및 C-V 특성등과 관련지어 생각해 볼 때 질화막 표면이 산화되면서 질화막이 소모되게 되어 질화막 두께가

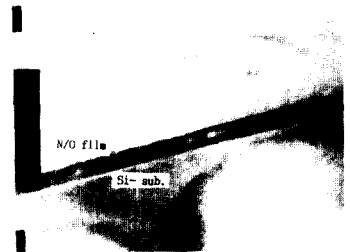
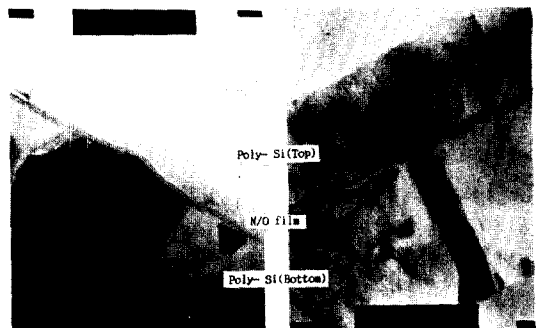


그림 8. N/O막의 단면 TEM 사진
Fig. 8. Cross section TEM photography of N/O films.

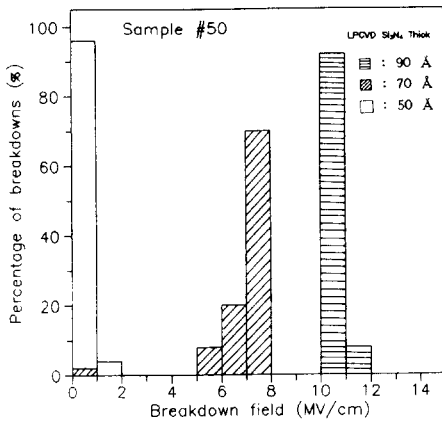


그림 9. 여러가지 질화막 두께에 대한 N/O막의 항복전계 분포

Fig. 9. Breakdown histograms of N/O films for different LPCVD Si₃N₄ thickness.

감소하게 된다. Young 등이 설명한 바와 같이 질화막 두께가 4.5-5.5nm 이하가 되면 산화반응 동안에 산소가 질화막을 통하여 빠르게 확산하게 되어 질화막/실리콘 계면에서 산화막이 성장(계면산화)하면서 부피 팽창으로 발생하는 스트레스로 인하여 국부적인 질화막 균열이 발생하여 항복전계는 낮고, C-V 용량값은 작게 측정된 것으로 판단된다.

IV. 결론

LPCVD-Si₃N₄ 증착 공정조건 및 nitride 두께에 따른 막 특성을 분석하고 nitride 상부 산화 조건에 따른 N/O 막의 전기적 특성 및 물리 분석 그리고 신뢰성 평가를 통하여 얻은 결론은 다음과 같다.

LPCVD-Si₃N₄ 막 두께 7nm 이하 5nm에서는 nitride 상부 산화(pyrogenic, 850°C, 1Hr)시에 oxygen punch-through에 의한 계면산화(interfacial oxidation)가 Si₃N₄/Si(or Poly-Si) 계면에서 발생하는 것을 확인 함으로써 N/O구조 박막화의 한계(thinning limit)가 산화막 두께로 약 5nm(5nm ≤ T_{Nit} ≤ 7nm) 내외 일 것으로 판단된다.

LPCVD-Si₃N₄ 막 두께 7nm의 N/O막은 항복전계 분포등을 볼때 상부 산화 조건을 최적화할 필요가 있다.

参 考 文 献

[1] M. M. Moslehi and K. C Saraswat : "Thermal

nitridation of Si and SiO₂ for VLSI," *IEEE Trans. Electron Devices ED-32*, no. 2, p. 106, 1985.

[2] M. Koyanaki, Y. Sagai, M. isihara, M. Tazunoki, and Hasimoto : "A 5V only 16-Kbit stacked-capacitor MOS RAM". *IEEE Trans. Electron Devices ED-27*, no. 8, p. 1951, 1985.

[3] Y. Takemae, T. Ema, M. Nakano, F. Baba, T. Yabu, K. Miyasaka, and K. Shiral : "A 1M DRAM with 3-dimensional stacked-capacitor cells," *IEEE ISSCC Tech. Dig., Abs. no. fam 17*, 7, p. 250 1984.

[4] H. Sunami, T. Kure, N. Hasimoto, K. Itoh, T. Toyabe, and S. Asai : "A corrugated capacitor cell(CCC) for megabit dynamic MOS memories", *IEEE IEDM Tech. Dig., Abs. no. 26. 9*, p. 806, 1982.

[5] M. Wada, K. Hiede, and S. Watanabe : "A folded capacitor cell(FCC) for future 1Mbit DRAMS", *IEEE IEDM Tech. Dig.*, p. 244 1984.

[6] S. Nagajima, K. Miura, K. Minegishi, T. Morie : "An isolation merged vertical capacitor cell for large capacity DRAM," *IEEE IEDM Tech. Dig.* p. 240, 1984.

[7] W. Richardson, D. Bodelon, G. Pollack, et al. : "A trench transistor cross-point DRAM cell," *IEEE IEDM Tech. Dig.*, p. 714, 1985.

[8] T. Furuyama, T. Ohsawa, Y. Watanabe, H. Ishuchi, T. Tanaka, H. Tango, K. Natori, and O. Ozawa : "An experimental 4Mbit CMOS DRAM," *ISSCC 86 Dig. of Tech. Papers* p. 272, 1986.

[9] T. Watanabe, N. Yasuhira, T. Yanase, and S. Shinozaki : "High reliable trench capacitor with SiO₂ /Si₃N₄/SiO₂ stacked filmed," *Proc. Int. Reliability Phys. Symp.*, p. 50, 1987.

[10] Y. Ohji, T. Kusaka, I. Yoshida, A. Hiraiwa, K. Yagi, and K. Mukai : "Reliability of nano-meter thick multi-layer dielectric films on poly-crystalline silicon," *Proc. Int. Reliability Phys. Symp.*, p. 50, 1987.

[11] J. Yugami, T. Mine, S. Iijima, and A. Hiraiwa : "Inter poly SiO₂/Si₃N₄ capacitor films 5nm thick for deep submicron LSIs",

Extended Abstracts of the 20th Conference on SSDM, p. 173, 1988.

[12] B. Y. Nguyen, P. J. Tobin, K. M. Chang, K. W. Teng, and H. G. Tompkins, Proc., of the

Symp. on Silicon nitride and Silicon Oxide thin Insulating films, Electrochemical Soc., Proc. vol. 89-7, 1989.

著 者 紹 介

丘 庚 完(正會員) 第23卷 第2號 參照
현재 충청전문대학 전자과 교수

洪 鳳 植(正會員) 第23卷 第2號 參照
현재 충남대학교 공과대학
전자공학과 교수



趙 誠 恪(正會員)
1956年 7月 13日生. 1979年 8月 忠
남대학교 금속공학과 졸업. 1983年
8月 忠남대학교 대학원 금속공학
과 졸업. 1992年 3月~현재 忠남대
학교 대학원 금속공학과 박사과정
재학중. 主觀심분야는 반도체 재료
의 미세구조해석 등임.