

# 상부산화 조건에 따른 N/O(SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>) 구조막의 신뢰성 평가

## (Reliability of N/O(SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>) Films According to Top Oxidation Condition)

丘 庚 完,\* 洪 鳳 植\*\*

(Kyung Wan Koo and Bong Sik Hong)

### 要 約

고집적 DRAM 소자의 축적 절연막으로 N/O (Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>) 구조 박막을 LPCVD (Low Pressure Chemical Vapor Deposition) 법과 상부 산화법(열산화 및 건식산화)으로 형성하여 ellipsometer 로 박막의 두께를 측정하고 절연 특성(I-V특성) 평가와 신뢰성(TDDB) 평가를 수행 하였으며 고분해능 TEM, AES 와 SIMS 를 이용하여 박막의 두께, 조직 및 성분 분석을 수행 하였다. 본 실험에서 7nm인 질화규소 박막 (Si<sub>3</sub>N<sub>4</sub>)을 상부 산화하여 절연 특성이 우수하고 TDDB(Time Dependent Dielectric Breakdown)특성이 가장 우수한 N/O 구조 박막을 얻는 최적 산화 조건은 850°C에서 30분간 연소산화(pyrogenic oxidation)하는 방법이며, 이 방법으로 7nm 질화규소막 상부에 약 2nm의 산화규소막을 형성 하였을 때 N/O 박막의 누설전류는 약 400pA(질화규소막)로부터 7.5pA (N/O-박막)로 감소 하였다.

### Abstract

Dielectric thin film of N/O (Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>) for high density stacked dynamic-RAM cell was formed by LPCVD and oxidation(dry & pyrogenic oxidation methods) of the top 7nm Si<sub>3</sub>N<sub>4</sub> film. The thickness, structure and composition of this film were measured by ellipsometer, high resolution TEM, AES and SIMS. The insulating characteristics(I-V characteristics) were investigated by HP 4145, and the characteristics of TDDB (Time Dependent Dielectric Breakdown)were evaluated by using CCST(Current Constant Stress Time) method. In this experiment, The optimum oxidation condition for preparation of good insulating and TDDB characteristics of N/O film was pyrogenic oxidation at 850°C for 30 minutes. The leakage current was reduced from 400pA to 7.5pA when SiO<sub>2</sub> film with thickness of 2nm was formed on the top of Si<sub>3</sub>N<sub>4</sub> film by the pyrogenic oxidation method.

\*正會員, 忠淸專門大學 電子科  
(Dept. of Electronics, Chungcheong College)

\*\*正會員, 忠南大學校 電子工學科  
(Dept. of Elec. Eng., Chungnam Nat'l Univ.)  
接受日字: 1991年 10月 23日

### I. 서 론

DRAM의 고집적화에 따라 소자의 미세화, 셀용량 면적의 축소가 요구되고, 4~16M DRAM 의 고집적 기억소자는 충분한 셀용량을 확보하기 위하여 적층

캐퍼시터셀 이라고 하는 3차원 구조 셀의 개발 적용 및 용량 절연막의 박막화가 동시에 진행되고 있어 고 신뢰성의 절연막 개발이 요망되고 있다.<sup>11-12)</sup>

적층 캐퍼시터는 구조상 다결정 실리콘상에 절연막을 형성하여야 하나 실리콘 기관에 비해 결정성 및 표면 상태가 열화되어 있는 다결정 실리콘상에 형성한 산화규소막에서는 국부적인 산화막의 박막화로 전기적 특성 및 신뢰성이 현저하게 약화 된다. 이 때문에 3차원 구조를 갖는 용량 절연막으로서 Oxide/Nitride/Oxide (O/N/O) 3층막, Oxide/Nitride(O/N) 2층막 등의 질화(nitride) 계 적층막이 많이 사용되고 있다.<sup>10-12)</sup>

산화규소막과 질화규소막을 적층 구조를 함으로써 질화규소막의 고유전상수를 활용하면서 결함 밀도가 낮고 고신뢰성인 용량 절연막을 실현할 수 있게 한다. N/O [LPCVD-Si<sub>3</sub>N<sub>4</sub>(bottom) / SiO<sub>2</sub>(top)] 구조막은 다결정 규소막상에 직접 질화규소막을 증착하고 질화규소막 상부를 산화하여 형성한다. 이 때문에 실리콘의 표면상태나 단부 (edge) 영향을 줄일 수 있어 산화막 환산두께가 얇고 또한 높은 신뢰성의 용량절연막을 형성할 수 있는 특징이 있다. N/O 막은 질화규소막과 산화규소막의 복합막이기 때문에 그 전기적 특성은 질화규소 단일막이나 산화규소 단일막의 전기적 특성과 다른 것으로 보이며 특히 질화막 상부 산화조건에 따라 특성변화가 기대되고 있어 질화규소막 상부 산화조건을 최적화할 필요가 있다. 따라서 본 연구에서는 저압화학증착 질화규소막을 상부 산화하여 N/O 막의 박막화의 한계성을 조사하기 위해 여러 두께의 질화규소막을 증착하고 그 질화규소막 두께의 최적조건을 확인하였다.

또한, 질화막 두께가 7nm 에서 여러조건으로 산화한 N/O 구조막을 용량절연막으로 갖는 적층 캐퍼시터의 전기적 특성 및 신뢰성(TDDb)을 평가하고 고분해 TEM, AES 및 SIMS로 성분과 두께를 측정하여 질화규소막 상부 산화의 최적조건을 확립하였다.

II. 실험 방법 및 측정 방법

1. MIS 캐퍼시터 시편의 제작

MIS 캐퍼시터 시편의 제작은 비저항 10-15Ω.cm와 직경이 5인치인 n형 (100) Si 웨이퍼를 사용하여 그림 1과 같은 공정순서를 통하여 제작하였다. field 산화막을 형성하기 위하여 저압화학증착법으로 질화규소막을 150nm 두께로 증착시켰다. 그리고 난 후에, 웨이퍼는 측면의 단부영향을 줄이기 위하여 950°C 산화 반응

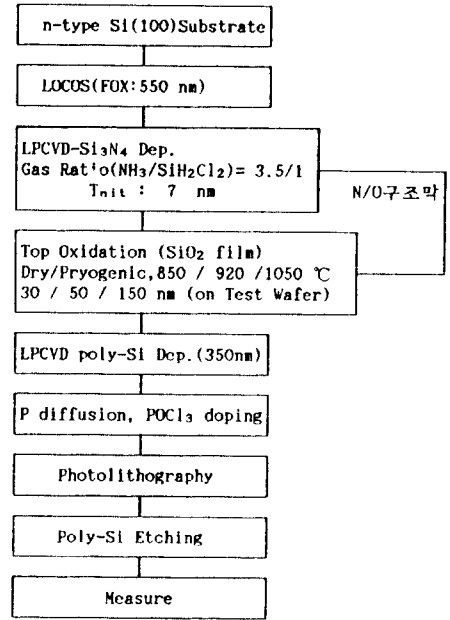


그림 1. MIS 캐퍼시터 시편의 공정 순서도.  
Fig. 1. Process flow of tested MIS capacitor sample.

로에 장입하여 연소산화 방법으로 3시간 동안 550nm의 LOCOS(Local Oxidation of Silicon) 분리 산화막을 성장시켰다. 실리콘 기관위에 남아있는 질화규소막은 플라즈마 식각을 사용하여 제거하였다. 그 후의 공정은 적층 캐퍼시터 시편 제작공정과 같다. 질화규소막은 저압화학증착법으로 775°C와 주입 개스비 (NH<sub>3</sub>/SiH<sub>2</sub>Cl<sub>2</sub>=3.5/1)가 일정한 조건에서 질화규소막의 두께를 7nm 로 증착하고 그 질화규소막의 상부를 산화하였다. 상부산화 조건은 850°C~1050°C에서 건식산화와 연소산화 (pyrogenic ox.) 방법으로 실시하여 공정 모니터링용 테스트 웨이퍼상에 각각 30, 50 및 150nm 두께의 산화규소막이 성장되는 조건으로 설정하였다.

N/O (Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>) 구조막 형성 후 저압화학증착법으로 다결정 규소막을 350nm 두께로 증착하고, 850°C에서 PAOCl<sub>3</sub>기체를 사용하여 인(P)을 도핑한 다음 사진식각 공정을 통하여 상부전극을 형성하였다. 그림 2는 7nm 두께의 질화막을 850A°C에서 53분 연소산화한 N/O 구조막의 단면 TEM 사진이다.

2. 측정 방법

얇은 저압화학증착 질화규소막 두께 및 산화규소막의 두께는 Gaertner ellipsometer 를 사용하여 표준시

Ⅲ. 실험 결과 및 고찰

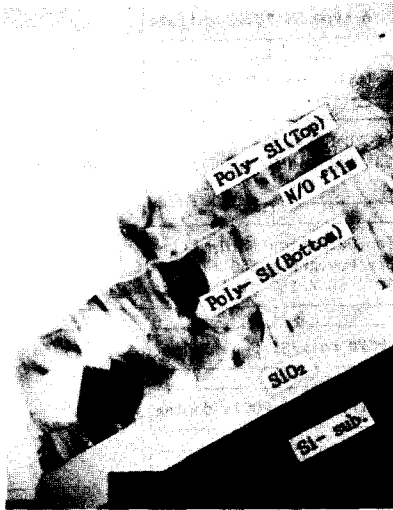


그림 2. 적층 N/O 박막의 단면 TEM 사진  
Fig. 2. Cross-section TEM photography of stacked N/O films.

료로 보정한 후에 측정하였다. 한편 N/O 구조막의 산화막 환산 두께는 HP4275A LCR Meter 를 사용하여 고주파 C-V 방법으로 측정한 용량(Cmax)값으로부터 산화막의 유전율을 3.8로하여 계산하였다. 질화규소막 상의 산화규소막 두께는 공정 모니터 웨이퍼상의 산화규소막 두께로 구분하여 SIMS(Secondary Ion Mass Spectroscopy) 분석과 AES(Auger Electron Spectroscopy) 분석의 깊이 프로파일로부터 추정하였다. TEM (Transmission Electron Microscope) 분석을 하기 위해서는 전자빔이 투과할 수 있도록 극히 얇고, 작은 직경 3mm의 특별한 시편을 제작하여, 가속전압을 200KV로 시료 단면을 관찰하였다.

N/O 구조막을 용량 절연막으로 갖는 적층 커패시터의 전기적인 특성 평가는 HP4145 Parameter Analyzer를 사용하여 n형 기판이 축적 모드(accumulation mode)에 있도록 하기 위하여 게이트 전극에 (+)전압을 인가 하면서 sweep 시켜 I-V 곡선을 그려 항복전압(VB: at 100 nA)과 누설전류(at 2.5V)를 측정하였다.

신뢰성 평가로서 정전류 TDDB 특성 실험(CCST: Constant Current Stress Test)을 행하였다. TDDB 실험은 일정한 전류(0.125mA/cm<sup>2</sup>)를 시료에 인가하여 산화막이 파괴될 때까지의 시간(T<sub>BD</sub>)을 측정하여, 측정된 데이터를 누적 고장율% 대 항복전압시간(T<sub>BD</sub>)의 관계로 Weibull Plot 상에 그려 신뢰성을 평가하였다.

1. 질화규소막 상부 산화 조건에 따른 N/O구조막의 전기적 특성

고전계 ( $\epsilon \geq 5 \times 10^6$  V/cm) 영역의 산화규소막에 있어서 전도전류는 일반적으로 Fowler-Nordheim형의 터널링 효과에 의한, 전극에서부터 산화규소막 내로의 주입전류이다. 이는 산화규소막에 걸리는 전계에 의해서 산화규소막과 전극과의 계면에서 생기는 삼각형의 전위장벽(potential barrier)을 통한 터널링 효과에 의하여 전자가 방출 되는 현상이다.<sup>[13, 14]</sup> F-N 터널 전류의 기본식은 다음과 같다.

$$J = \left( \frac{q^3 E^2 m}{8h\Phi_B m^*} \right) \exp \left( \frac{-4(2m^*)^{1/2} \Phi_B^{3/2}}{3 hqE} \right) \quad (1)$$

여기서  $\Phi_B$ , E, q, m 및  $m^*$ 는 각각 장벽높이, 전계, 전하, 자유전자질량 및 산화규소막의 금지대 내에서 전자의 유효질량이고 h는 Plank 상수이다.

일반적으로 알려진 바와 같이  $\ln(J/E^2)$  대  $1/E$ 에 대한 그래프는 직선이다. 질화규소막의 전도기구 인 Poole - Frenkel 전도기구는 외부에서 고전계 인가시에 질화규소막의 Shottky 장벽에너지가 저하되어 막 내에 포획된 전자들이 질화규소막의 전도대에 보다 쉽게 여기되어서 전류가 크게 증가하는 전도기구이다.<sup>[15, 16]</sup>

Poole - Frenkel 전도기구의 J-E관계식은 다음식과 같이 표현된다.

$$J_{PF} = CE \exp \left( \frac{-q\Phi_T + AE^{1/2}}{kT} \right) \quad (2)$$

여기서 A 는 Poole - Frenkel 상수로

$$A = (q^3/\pi\epsilon_o\epsilon_d)^{1/2} \quad (3)$$

이고,  $\Phi_T$ 는 트랩에너지 준위이다. E는 전계이고, C는 trapping 밀도와 온도 (T)의 크기 그리고 동적 유전율 향으로 주어지는 상수이다.

N/O 구조박막은 질화규소막과 산화규소막의 복합막이기 때문에 그 전기적 특성이 질화규소 단일막이나 산화규소 단일막의 전기적 특성과 다를 것으로 예측할 수 있다. N/O 절연막에 대한 절연능력을 시험하기 위하여 7nm의 질화규소막을 입힌 시편과 공정 모니터용 테스트 웨이퍼를 동시에 고온산화로에 장입하여 표1과 같은 조건으로 질화규소막을 산화하여 6 가지 종류의 N/O 박막을 제작하였다. 7nm의 질화규소막에서

는 oxygen-punch-through 가 일어나지 않으므로 본 실험의 산화조건에서 N/O 박막의 두께는 대략 9nm 정도로 추정하였다. 절연능력 시험을 위한 누설전류 시험(I-V test) 시에 비교 절연막으로서 두께 9nm 질화규소막을 사용하였다.

표 1. N/O 박막의 산화 조건  
Table 1. Oxidation condition for N/O films.

specimen name	Si <sub>3</sub> N <sub>4</sub> thickness(nm)	thickness of SiO <sub>2</sub> on test wafer(nm)	oxidation condition
9nm Si <sub>3</sub> N <sub>4</sub>	9	-	-
7/30 pyro.	7	30	850°C 30min
7/30 dry	7	30	1050°C 70min
7/30 pyro.	7	50	850°C 53min
7/30 dry	7	50	920°C 170min
7/30 pyro.	7	150	850°C 200min
7/30 dry	7	150	1050°C 180min

그림3은 N/O구조막을 절연막으로 갖는 커패시터의 상부전극에 (+) 바이어스 인가한 경우의 질화규소막 상부산화 조건에 따른 전류-전압 특성을 나타낸 것이다. 인가전압이 5V 일때에 이 그래프에 의하면 누설전류는 9nm의 질화규소막에서 400pA 이고, 7nm의 질화규소막 표면에 산화규소막 두께를 테스트 웨이퍼 상에 30, 50, 150nm 로한 시편들에서는 각각 7.5, 5, 5pA 임을 알 수 있다. 따라서, 여러가지 전압에서 9nm의 질화규소막은 누설전류가 큰데 비하여 7nm의 질화규소막 표면을 산화한 시편들에서는 매우 적은 누설전류가 흐름을 알 수가 있다. 이것은 질화규소막의 전도기구가 Pool-Frenkel 형으로 정공이 지배적인 것으로 생각되고 질화규소막 상부의 얇은 산화규소막은 정공의 터널링에 대하여 장벽이 되며, 그 때문에 상부전극에 (+)바이어스가 인가된 경우에 질화규소막 표면을 상부산화한 N/O 막에서는 누설전류가 적게 흐름을 알 수 있다. 또한, 연소산화의 경우 질화규소막 상부산화 시간이 30분, 53분, 200분으로 길어짐에 따라 누설전류가 감소하는 것은 질화규소막 상부 산화규소막 두께가 증가한 때문인 것으로 평가할 수 있다.

그림 4는 여러가지 질화규소막 상부 산화 조건에 따른 I-V특성의 Fowler-Nordheim plot를 그린 것이다. Fowler-Nordheim 그래프에서 구한 포텐셜 장벽에너지는 질화규소막의 표면을 30분 열산화한 경우에는 92eV 이었고 200분 열산화한 경우에는 2.89eV 이었

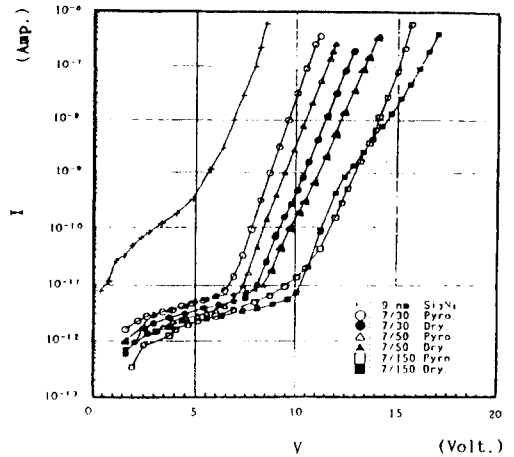


그림 3. 산화 조건에 따른 N/O 박막의 I-V 특성  
Fig. 3. I-V characteristics of N/O films according to the various oxidation condition.

표 2. 질화규소막의 상부산화에 의한 장벽 에너지와 유전상수

Table 2. Dynamic dielectric constant and barrier hight due to top oxidation of Si<sub>3</sub>N<sub>4</sub>.

oxidation time(min)	thickness of SiO <sub>2</sub> on test wafer	dynamic dielectric constant	barrier hight (eV)
	Si <sub>3</sub> N <sub>4</sub> 9nm	7.3	2.14
30	NO 7/30nm	6.24	1.92
53	NO 7/50nm	5.14	2.09
200	NO 7/150nm	3.92	2.89
30	ONO 2/7/2nm	5.30	2.09

다. 이것은 질화규소막 상부 산화시간이 길어짐에 따라 상부 산화규소막 두께가 두꺼워지고 그에 따라서 장벽 높이도 높아진 것으로 생각할 수 있다. 그림4에서 보듯이 질화규소막 상부 산화시간을 200분 정도 길게 했을 때 ln(J/E<sup>2</sup>) 대 1/E의 그래프는 거의 직선이므로 200분 산화한 N/O 박막의 전도기구는 산화규소막의 전도기구인 Fowler-Nordheim 전도기구를 따르는 것으로 간주된다.

그림 5은 여러가지 질화규소막 상부 산화 조건에 따른 I-V 특성의 Fowler-Nordheim plot 를 그린 것이다. 질화규소막 상부를 연소산화 방법으로 짧은 시간 (30, 50분) 산화했을 때에는 ln(J/E)와 E<sup>1/2</sup>의 그래프가 거의 직선이므로 산화규소막 전도기구인 Poole-Frenkel 전도기구를 따르는 것으로 간주된다.

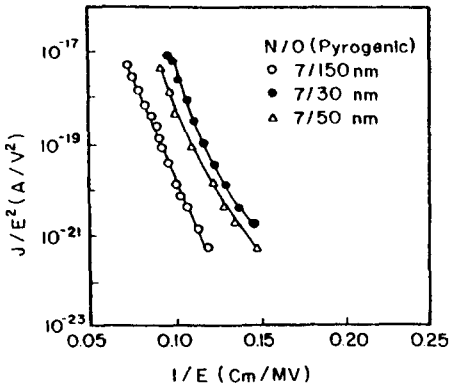


그림 4. 여러 N/O 박막에 대한 Fowler-Nordheim 그래프  
 Fig. 4. The Fowler-Nordheim plot of  $\ln(J/E^2)$ - $(1/E)$  relation for various N/O films.

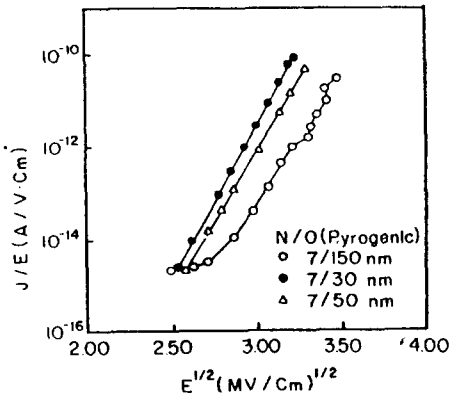


그림 5. 여러 N/O 박막에 대한 Poole-Frenkel 그래프  
 Fig. 5. The Poole-Frenkel plot of  $\ln(J/E)$ - $(E^{1/2})$  relation for various N/O films.

Poole-Frenkel 그래프의 기울기에서 질화규소막 상부 산화를 30분과 200분 연소산화시켰을 때 이들 막의 유전상수 값들은 각각 6.24와 3.92이다. 30분 열산화한 것이 200분 열산화 한 것 보다 더 질화규소막 유전상수 (7)값에 가깝다. 이것은 30분 열산화 시킨 것이 산화가 덜 이루어졌기 때문이다. 질화규소막( $Si_3N_4$ )의 전도기구가 Poole-Frenkel 형으로 정공이 지배적인 것으로 생각되며 질화규소막 상부의 얇은 산화규소막은 정공의 터널링에 대하여 장벽이 된다. 그 때문에 상부 전극에 (+)바이어스가 인가된 경우 질화규소막 상부 산화규소막은 누설전류를 감소시키고, 상부 산화조건

의 차이에 따른 질화규소막의 상부 산화규소막의 막두께에 의하여 N/O 박막의 누설전류가 결정되어진다.

그림6에는 본 실험에서 사용된 시편들의  $^{16}O^+$ ,  $^{28}Si^+$ 와  $^{42}SiN^+$  이온에 해당되는 secondary ion counts/sec의 깊이 프로파일 들이 나타나있다. 스퍼터링 시간에 대해 도시된 SIMS 프로파일을 깊이에 대한 프로파일로 환산하기 위하여 박막이 균일한 스퍼터링 거동을 갖는 다는 가정하에 박막의 두께를 정확히 추정하고 깊이 프로파일 에서의 교점 (P)를 정한 후 그 스퍼터링 속도를 계산하여 수행하였다. 산화규소막에 대한 스퍼터링 속도는 1.3nm/min 였다. 따라서 7/30 N/O 박막과 7/150 N/O 박막 시편에서 스퍼터링 시간은 각각 1분 40초와 4분이므로 환산한 상부 산화규소막의 두께는 약 2nm와 4.6nm 이었다.

그림7은 본 실험에서 사용된 시편들의 O, N와 Si에 대하여 각각 480-530eV, 350-410eV 및 50-410eV의 에너지를 사용하여 N/O 박막의 깊이 프로파일에 따른 조성을 분석한 그래프이다. 이때 식각속도는 6nm/min 이며 7/30 N/O 박막과 7/150 N/O 박막 시편에서 식각시간은 각각 20 초와 47초 이므로 환산한 상부 산화규소막의 두께는 약 2nm와 4.7nm 이었다.

그림6과 그림7에 나타낸 SIMS 와 AES 프로파일로부터 구한 상부 산화규소막의 추정막 두께와 관련지어 보면, 질화규소막의 상부 산화규소막 두께가 2nm 이하이면, N/O 박막을 통해 흐르는 누설전류는 질화규소막의 전도기구를 따르므로 상부 산화규소막에 의하여 누설전류가 감소하고 있음을 알 수가 있다.

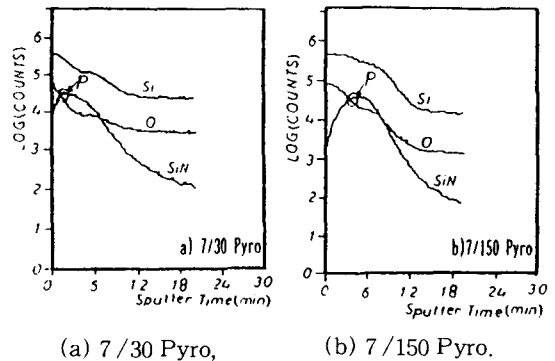


그림 6. 여러 온도, 시간, 분위기 하에서 산화된 7nm  $Si_3N_4$ 의 SIMS 분석  
 Fig. 6. SIMS profile of a 7nm  $Si_3N_4$  films oxidized at various temperatures, times, ambients.

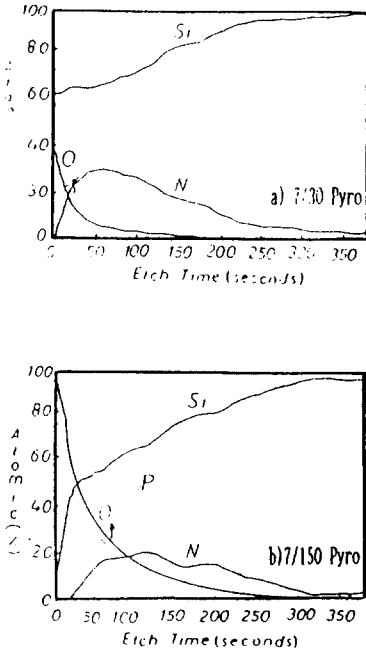


그림 7. 여러 온도, 시간, 분위기 하에서 산화된 7nm Si<sub>3</sub>N<sub>4</sub>의 AES 분석

Fig. 7. AES profile of a 7 nm Si<sub>3</sub>N<sub>4</sub> films oxidized at various temperatures, times, ambients.

(2) TDDB(Time Dependent Dielectric Breakdown) 특성

그림8과 그림9는 여러 산화 조건에 따라 형성된 N/O 박막을 절연막으로 갖는 MIS 커패시터에 주입 전류밀도 0.125 mA/cm<sup>2</sup>을 인가할 때 cumulative failure %를 stress 시간의 함수로써 log-normal분포로 나타낸 N/O 박막의 TDDB 특성을 보인것이다. 9nm의 질화규소막은 질화규소막을 상부 산화한 N/O 구조박막보다 TDDB특성은 우수하였으나 초기 및 우발 불량률이 약 10% 정도 관찰되었다. 그러나 N/O 구조박막에서는 초기 및 우발 불량률이 전혀 관찰되지 않았으므로 N/O 구조박막이 질화규소 박막 보다 결함이 적은 것으로 간주할 수 있으며 질화규소 박막 상부 산화가 우발고장의 원인이 되는 질화규소 박막의 잠재결함을 없애는데 기여한다고 간주할 수 있다.

그림8은 상부 산화한 산화규소박막 두께가 같은 경우에 전식 산화 조건보다는 연소산화 조건으로 형성한 N/O 박막이 TDDB 특성이 우수함을 보여주며, 그림 9은 연소산화 조건으로 형성한 N/O 박막은 산화시간이 길어짐에 따라 TDDB 특성이 불량하여짐을 보여준

다. N/O 구조박막에 대한 좀더 정량적인 TDDB 특성을 보이기 위하여 그림 8과 그림 9로부터 median lifetime ( $\mu$ )과 표준편차 ( $\sigma$ )를 계산한 결과를 표 3에 정리하였다. 여기서 median lifetime은 누적 불량률 50%에 도달하는 시간으로 정의 되는 것으로서 이시간이 클 수록 N/O박막의 수명이 길며 N/O 박막의 신뢰성을 평가하는 척도가 된다. 표준편차 ( $\sigma$ )는  $\sigma = \log_{10}(50\% \text{ 불량}) - \log_{10}(16\% \text{ 불량})$ 으로 부터 계산되는데 표준편차가 작을수록 N/O 박막의 질이 양호하다는 것을 의미한다. 본 실험에서 측정된 표준편차는 0.3-0.9 범위였다. 7/30 N/O 박막은 막의 수명이 길고( $\mu=66\text{sec}$ ) 질이 양호( $\sigma=0.4$ ) 하였다.

질화규소 박막의 경우  $\mu$ 값이 455초로서 N/O 박막보다 훨씬 커서 TDDB 특성이 대단히 우수하다. 그러나 앞에서 밝힌 바와 같이 사용전장 부근에서 큰 누설 전류가 흐름으로 질화규소 박막 상부 산화를 하여야만 한다. 질화규소막의 상부 산화규소막의 두께가 약 2nm일 때 (7/30 N/O film)의 median lifetime  $\mu$ 은 연소산화한 경우(약 66sec) 가 전식산화한 경우(11sec) 보다 훨씬크기 때문에 질화규소 박막을 전식산화한 경우 보다 연소산화한 경우에 TDDB 특성이 훨씬 우수함을 알 수가 있다.

질화규소 박막을 연소 산화한 경우에 상부 산화한 산화규소막의 두께가 두꺼워질수록(산화시간이 길어질수록) median lifetime이 66초로 부터 7초 까지 감소하여 질화규소막의 산화시간이 길어질수록 TDDB 특성이 불량하여 짐을 표 3에서 알 수 있다. 앞절의 결

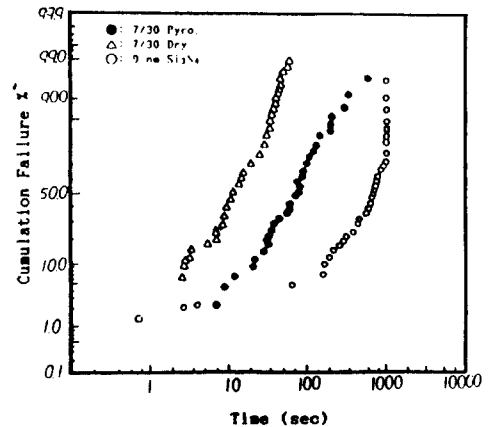


그림 8. 0.125 mA/cm<sup>2</sup> 전류 밀도에서의 여러 N/O 박막의 TDDB 곡선  
Fig. 8. TDDB curves for various N/O films at applied current density of 0.125mA/cm<sup>2</sup>.

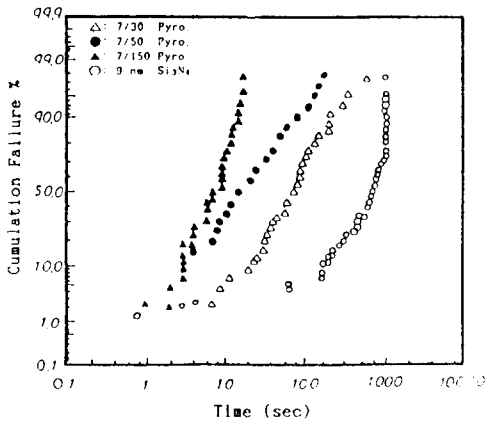


그림 9. 전류밀도 0.125mA/cm<sup>2</sup>에서 열산화된 N/O 박막의 TDDB 곡선  
 Fig. 9. TDDB curves for Pyrogenic oxidized N/O films at applied current density of 0.125mA/cm<sup>2</sup>.

표 3. N/O 박막의 평균수명과 표준편차  
 Table 3. Median lifetime  $\mu$  and standard deviation  $\sigma$  of N/O films.

Current density	0.125mA/cm <sup>2</sup>		Top SiO <sub>2</sub> thickness (nm)
	$\mu$ (sec)	$\sigma$	
various parameter N/O films			
T <sub>nit</sub> =9nm only	455	0.60	-
(ONO) 2/7/30nm pyro.	22	0.57	-
7/30nm pyro.	66	0.50	2.0
7/50nm pyro.	66	0.50	2.0
7/150nm pyro.	7	0.80	4.0
7/30nm dry	11	0.56	2.0

과에서는 질화규소박막의 상부 산화규소박막이 두꺼워질수록 절연막을 통해 흐르는 전류밀도가 감소하여 산화규소막의 두께가 두꺼울수록 절연효과는 증가한다는 것을 알았다. 그러나 TDDB특성 실험결과 산화규소막의 두께가 얇을수록 median lifetime ( $\mu$ )이 길어져 연소산화 방법으로 상부 산화한 산화규소막의 두께가 약 2nm 일때 TDDB 특성이 가장 우수하였다. 또한 산화규소막의 두께가 2nm 일때 누설전류가 7.5pA로서 질화규소박막의 누설전류 400pA보다 10<sup>2</sup>배 적은 값을 가지므로 상부 산화한 산화규소막 두께가 약 2nm 일 때 N/O 박막의 절연특성과 신뢰성 (TDDB 특성)이 가장 우수한 것으로 사료된다.

상부 산화규소막 두께와 신뢰성에 관한 Ohji<sup>111</sup> 연구에 의하면 상부 산화규소막이 4-6nm 가 되도록 두꺼우면 산화규소막에 의하여 N/O 박막이 파괴되어 신뢰성이 열화 된다고 한다. 본 실험에서는 850°C에 200분간 연소 산화하여 얻은 7/150 N/O 박막의 경우 상부 산화규소막의 두께는 약 4.7nm 이었고 median lifetime( $\mu$ )은 약 6초로서 7/30 N/O 박막(산화규소막 약 2nm)의 median lifetime( $\mu$ ) 66초에 비하여 약 1/10 정도에 불과 하였으며 이는 Ohji<sup>111</sup>의 실험 결과와 잘 일치 하고있다. 이상의 실험결과로 미루어 볼때 N/O 박막의 절연특성과 신뢰성(TDDB특성)이 가장 우수한 질화규소막의 최적 산화는 7nm의 질화규소막을 연소산화방법으로 850°C에서 30분간 산화하여 약 2nm의 산화규소막을 입히는 것이다.

앞 절의 결과에서도 질화규소막의 상부 산화규소막 두께에 따라 절연막을 통해 흐르는 전류밀도가 변화하였다. 상부 산화규소막 두께가 2nm 정도 얇은 경우는 질화규소막을 통하여 흐르는 전류는 Poole-Frenkel 전류가 지배적이었고, 그 산화규소막 두께가 4nm 이상일 때에는 산화규소막을 통하여 흐르는 전류밀도는 Fowler-Nordheim 전류가 지배적이었다. 전도기구의 차이와 신뢰성에 미치는 영향은 상부 산화규소막 두께가 2nm 정도로 얇은 쪽이 유리하다. 즉 Si<sub>3</sub>N<sub>4</sub> 막의 잠재결함을 충분히 보완해 주면서 상부 산화규소막 두께는 얇게 하여 질화규소막 전도가 지배적인 N/O 구조막을 만드는 것이 좋다는 결론을 얻었다.

#### IV. 결 론

증착온도 775°C, 압력 350mTorr 및 개스비 NH<sub>3</sub>/SiH<sub>2</sub>Cl<sub>2</sub>=3.5/1의 공정 조건에서 증착한 지압 화학증착 질화규소박막 표면을 열적으로 상부 산화한 N/O(Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>) 박막에서 질화규소막 두께에 따른 막 특성을 분석하고 질화규소막 상부산화 조건에 따른 N/O 박막의 전기적 특성, 물리적 분석 및 신뢰성 평가를 통하여 얻은 결론은 다음과 같다.

1) 7nm 질화규소막을 850°C에서 30분간 상부 산화하였을 때 누설전류가 200pA에서 7.5pA까지 감소하였고, 산화시간의 증가와 함께 누설전류는 감소하여 200분간 산화하였을 때 누설전류는 3.5pA까지 감소하였다. 이 때 전도기구는 산화시간이 50분이하인 경우(산화막 두께 약 2nm)에는 질화규소막 전도기구인 Pool-Frenkel 전도 기구와 일치하였고, 산화시간이 200분인 경우(산화규소막의 두께가 5nm)에서는 산화

규소막(SiO<sub>2</sub>)의 전도기구인 Fowler-Nordheim 전도 기구와 일치하였다.

2) 질화규소막을 상부 산화한 N/O 막막의 TDDB (Time Dependent Dielectric Breakdown) 특성은 전 식산화법 보다는 연소산화 방법에 의하여 얻은 N/O 막막이 우수하였으며 또한 N/O 막막의 산화규소막 (SiO<sub>2</sub>) 두께가 얇을 수록 TDDB 특성이 우수하였다. 인가 전류밀도 0.125mA/cm<sup>2</sup>일 때 연소산화 방법으로 얻은 두께 약 2nm의 산화규소막을 갖는 N/O막막의 median lifetime ( $\mu$ )은 약 66초 이었고 두께는 약 4.5nm의 산화규소막을 갖는 N/O 막막의 median lifetime은 약 7초 이었다.

3) 7nm의 질화규소막을 상부 산화하여 절연특성과 신뢰성(TDDB 특성)이 가장 우수한 N/O 막막을 얻은 최적 산화조건은 850 C에서 30분간 연소산화하는 방법으로서 이 때 질화규소막 상부에 약 2nm의 산화 규소막이 형성된다.

參 考 文 獻

[1] M. M. Moslehi and K. C Saraswat: "Thermal nitridation of Si and SiO<sub>2</sub> for VLSI," *IEEE Trans. Electron Devices ED-32*, no. 2, p. 106, 1985.

[2] M. Koyanaki, Y. Sagai, M. Isihara, M. tazunoki, and Hashimto: "A 5V only 16-Kbit stacked-capacitor MOS RAM", *IEEE Trans. Electron Devics. Ed-27*, no. 8, p. 1951, 1985.

[3] Y. Takemae, T. Ema, M. Nakano, F. Baba, T. Yabu, K. Miyasaka, and GEF K. Shiral: "A 1M DRAM with 3-dimensional stacked-capacitor cells," *IEEE ISSCC Tech. Dig., Abs.* no. fam 17. 7, p. 250 1984.

[4] H. Sunami, T. Kure, N. Hashimoto, K. Itoh, T. Toyabe, and S. Asai: "A corrugated capacitor cell(CCC) for megabit dynamic MOS memo-ries", *IEEE IEDM Tech. Dig., Abs.* no. 26. 9, p. 806, 1982.

[5] M. Wada, K. Hieda, and S. Watanabe: "A folded capacitor cell(FCC) for future 1Mbit DRAMS", *IEEE IEDM Tech. Dig.*, p. 244, 1984.

[6] S. Nagajima, K. Miura, K. Minegishi, and T. Morie: "An isolation merged vertial capacitor cell for large capacity DRAM," *IEEE IEDM Tech. Dig.* p. 240, 1984.

[7] W. Richardson, D. Bordelon, G. Pollack, et al.: "A trench transistor cross point DRAM cell," *IEEE IEDM Tech. Dig.* p. 714, 1985.

[8] T. Furuyama, T. Ohsawa, Y. Watanabe, H. Ishuchi, T. Tanaka, H. Tango, K. Natori, and O. Ozawa: "An experimental 4Mbit CMOS DRAM," *ISSCC 86 Dig. of Tech. Papers* p. 272, 1986.

[9] Nikkei Microdevices: "實用化を 向해 台動하는 4M DRAM의 傳貌," no. 1, Mar. 1987.

[10] T. Watanabe, N. Yasuhira, T. Yanase, and S. Shinozaki: "High reliable trench capacitor with SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> stacked filmed," *Proc. Int. Realibility Phys. Symp.*, p. 50, 1987.

[11] Y. Ohji, T. Kusaka, I. Yoshida, A. Hiraiwa, and K. Yagi: "Reliability of nano meter thick multi layer dielectric films on poly crystalline silicon," *Proc. Int. Realibility Phys. Sym.*, p. 50, 1987.

[12] J. Yugami, T. Mine, S. Iijima, and A. Hiraiwa: "Interpoly SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> capacitor films 5nm thick for deep submicron LSIs," *Extended Abstracts of the 20th Conference on SSDM*, p. 173, 1988.

[13] M. Lenzlinger and E. H. Snow: "Fowler Nordheim tunneling into thermally grown SiO<sub>2</sub>," *J. Appl. Phys.*, vol. 40, no. 1, p. 278, 1969.

[14] J. Maserjian and N. Zmani: "Behavior of the Si/SiO<sub>2</sub> interface observed by fowler-nordheim tunneling," *J. Appl. Phys.*, vol. 53, no. 1, p. 559, 1982.

[15] S. M. Sze: *Phys. of semiconductor devices*, 2nd ed. Jhon Wiley and Sons, Newyork, Chap. 7, 1981.

[16] Z. A. Weinber and R. A. Pollak: "Hole conduction and valence band-structure of Si<sub>3</sub>N<sub>4</sub> films on Si," *Appl. Phys. Lett.* 27, p. 254, 1975.

[17] Z. A. Weinber: "Hole Conduction and Valence-band structure of Si<sub>3</sub>N<sub>4</sub> films on Si," *Appl. Phys. Lett.* 29, p. 617, 1976.

[18] R. H. Goodir and E. W. Muller: "Field Emission," in *Handbook der Physics*(Splinger Verlag, Berlin 1956), vol. XXI, p. 176.



---

著 者 紹 介

---

丘 庚 完(正會員) 第23卷 第2號 參照  
현재 충청전문대학 전자과 교수

洪 鳳 植(正會員) 第23卷 第2號 參照  
현재 충남대학교 공과대학  
전자공학과 교수