論文 92-29A-8-12

극히 얇은 코발트 실리사이드 접합을 위한 IIM 공정에 관한 연구

(A Study on the IIM Process for Ultra-Shallow Cobalt Silicide Junctions)

李 石 運,* 閔 庚 濃,* 朱 承 基**

(Seok Woon Lee, Kyeong Ik Min, and Seung Ki Joo)

要 約

코발트 실리사이드를 사용하여 0.1㎛이하의 얇은 접합을 얻기 위하여 코발트 금속 내로 이온 주입하는 공정(IIM process)을 행하였다. 할로겐 램프에 의한 급속 열처리로 실리사이드와 접합을 형성하였고, 이 때 형성된 $CoSi_2$의 비저항은 13~17$\mu\Omega$-cm이었다. 이온 주입 원소는 붕소와 비소를 사용하였으며, 이를 Si내로 확산시켜 각각 $CoSi_2/p^+/Si$, $CoSi_2/n^+/Si$ 접합을 형성하였다. 열처리시 붕소와 비소의 기화 소모가 심각한 것으로 나타났으며 이를 억제하기 위하여 SiO_2 보호막을 증착하였다. 확산 열처리 시간에 따른 불순물의 거동을 관찰한 결과 열처리 시간이 증가하면서 $CoSi_2$ 막으로부터 실리콘 내로의 불순물 확산량이 증가하는 것으로 나타났다.

Abstract

IIM(Implantation Into Metal) process using Co silicides has been investigated to obtain ultra-shallow junctions less than 0.1㎛. Rapid Thermal Annealing using halogen lamps was employed to form $CoSi_2$ and junctions simultaneously.. Resistivities of $CoSi_2$ were 13-17$\mu\Omega$-cm. $CoSi_2/p^+/Si$ and $CoSi_2/n^+/Si$ junction were formed by diffusion of B and As, respectively, from Co film. It was found out that B and As were severely lost by the evaporation during high temperature annealing Therefore SiO_2 capping layers were introduced to prevent the evaporation of the implanted dopants from the films. Investigation of the behavior of dopants with respect to annealing time revealed that increasing the annealing time enhanced the diffusion of dopants into Si from $CoSi_2$.

I. 서론

소자의 집적도를 증가시키기 위해서 소자의 크기는 점점 더 작은 차원으로 감소하게 되었으며 이에 따라 수직적인 접합 깊이도 비례하여 감소하게 되었다. 매우 얇은 접합(ultra shallow junction)은 형성 방법 뿐만 아니라 조절에 있어서도 여러가지 문제점을 가지고 있다.[1] 더구나 CMOS 기술은 p^+/n 접합과 n^+/p 접합 모두를 형성시키고 통제할 수 있는 적합한 공정 조건을 요구하게 되었으며 채널 길이가 0.25㎛인 소자에서는 0.1㎛이하의 극히 얇은 접합을 필요로 하게 되었다.[2]

얇은 접합은 형성 방법에 있어서도 여러가지 난점을 안고 있으며, 특히 p^+/n 접합을 형성할 때 붕소를 이온 주입하는 경우에는 채널링(channeling)[3]과 함께 붕소의 빠른 확산 속도가 큰 문제가 되고 있다.

*學生會員, **正會員, 서울大學校 金屬工學科
(Dept. of Metallurgical Eng., Seoul Nat'l Univ.)
接受日字 : 1992年 5月 6日

한편 접합 깊이가 줄어듬에 따라 접합에서의 직렬 및 접촉 저항은 소자의 동작을 심각하게 제한시키게 되었으며 이를 낮추기 위해 실리사이드의 적용이 절실하게 되었다.[4] 그러나 매우 얇은 접합에 실리사이드를 형성시키는 경우 실리사이드 금속과 실리콘의 불균일한 반응으로 인해 접합이 파괴[5]될 위험성이 있다. 이를 막기 위해서 접합을 형성시킨 후에 실리사이드를 형성하지 않고 금속[6]이나 실리사이드[7]를 통하여 이온 주입한 후에 이를 확산원으로 하여 접합을 형성하는 방법이 연구되어 왔다. 금속을 통하여 이온주입(Implantation Through Metal)하는 경우 보통 이온 주입 피크(R_P, projected range)를 금속과 실리콘의 계면에 놓이도록 한다. 이 때 계면에서의 이온 빔 혼합 효과[8]로 비교적 매끄러운 실리사이드 계면을 얻을 수 있지만 실리콘 내로 주입된 이온이 채널링되는 문제와 실리콘의 이온 주입 손상은 해결되지 않는 문제로 남아 있다.

본 실험에서는 근래에 각광받고 있는 코발트 실리사이드[9,10]를 사용한 금속내로의 이온주입공정(Implantation Into Metal process)을 시도하였다. 즉, 실리콘 위에 코발트를 증착한 후 코발트 내에만 이온 주입피크를 위치시키고 이를 확산원으로 하여 접합을 형성하였다. 이 공정은 이온 주입에 의한 실리콘의 손상을 제거하는 동시에 붕소의 채널링을 방지할 수 있어서 매우 얇은 접합을 형성할 수 있다. 게다가 자기정렬 실리사이드 공정(Salicide Process)이 용이하고 추후의 다른 공정과도 적합성이 좋은 코발트 실리사이드를 사용하므로써 접촉 저항을 보다 낮출 수 있는 가능성[11]도 제공받게 된다. RTP(Rapid Thermal Processing)에 의한 열처리로 실리사이드와 접합을 형성하였으며 열처리 시에 기화되어 손실될 수 있는 붕소와 비소의 손실을 억제하기 위하여 SiO_2 보호막을 증착하고 이 효과를 알아보았다.

Ⅱ. 실험 방법

표 1에 기존의 실리사이드 형성 공정과 본 연구에서 사용된 IIM 공정의 흐름을 비교하였다.

p형 (100) Si, n형 (100) Si 기판을 사용하였으며 실리콘의 표면은 코발트를 증착하기 전에 〔1 H_2SO_4 : 1 H_2O_2〕 용액을 5분간 거치고 〔50 HF : 1 H_2O〕에 1분간 클리닝하여 표면의 자연 산화막을 제거한 후에 진공 증착기에 즉시 넣었다. 원하는 저항(~1.5Ω/□)을 얻기 위하여 300Å의 코발트를 증착한 후 (As^+, 60keV, $1X10^{16}cm^{-3}$) 및 (BF_2^+, 30keV, $3X10^{15}cm^{-3}$)을

표 1. 기존의 공정과 얇은 실리사이드 접합을 얻기 위한 두 공정
(a) 기존의 공정 (b) 금속 내로의 이온 주입

Table 1. Conventional process and two approaches for shallow silicded junctions.
(a) Conventional process,
(b) Implantation into metal process.

Conventional Process	Implantation Into Metal
Implantation	Co Deposition
Dopant Activation	Implantation
Co Deposition	$CoSi_2$ Formation〔1st RTA〕
$CoSi_2$ Formation	Selective Co Etch
Selective Co Etch	SiO_2 capping
	Dopant Diff. SiO_2
	〔2nd RTA〕 〔2nd RTA〕
	End End End
(a)	(b)

이온 주입하였다. 실리사이드와 접합을 형성하기 위해 자체 제작한 급속 열처리 장치[12]로 질소 분위기에서 30초 동안 급속 열처리하였다. 실리사이드를 형성하기 위한 1차 열처리 온도는 700℃이었고 불순물 확산을 위한 2차 열처리 온도는 1000℃로 하였다. 1차 열처리 한 후에 반응하지 않은 코발트를 선택적으로 제거하기 위해 〔3HCl : 1 H_2O_2〕용액 (85℃) 에서 30초 동안 에칭하였다.

실리사이드의 열적 안정성을 비교하기 위하여 인이 도핑된 다결정 실리콘과 도핑되지 않은 다결정 실리콘 기판을 준비하였다. p형 (100) Si 기판 위에 400Å의 열산화막을 형성한후 저압 화학 증착법(LP-CVD)에 의해 4000Å의 다결정 실리콘을 증착하였다. 그리고 Co를 300Å 증착하였다.

열처리 시간과 보호막의 효과를 알아보기 위하여 보호막 없이 2차 열처리(30초)를 한 경우와 하지 않은 경우, 그리고 보호막을 하고 2차 열처리를 하고 또 2차 열처리 시간을 변화시켜(90, 270초) 공정을 진행하였다.

온도에 따른 실리사이드의 형성을 관찰하기 위해서 600℃에서 1100℃까지 100℃의 간격으로 30초간 열처리하였으며 4탐침법(4 point probe)과 XRD(X-Ray Diffractometry) 분석에 의해 각각 면저항과 생성된 상을 확인하였다. 또한 RBS(Rutherford Backscattering Spectroscopy) 분석에 의해 Co/Si의 비와 코발트 실리사이드의 두께를 조사하였다. IIM 공정을 마친 시편은 SRP(Spreading Resistance Probe),

SIMS(Secondary Ion Mass Spectroscopy) 분석을 통하여 불순물(붕소와 비소) 분포를 조사하였다.

Ⅲ. 코발트 실리사이드의 형성

1. 비저항의 변화

비소와 붕소가 이온 주입된 코발트를 열처리 했을 때 나타나는 면저항의 변화를 그림 1에 나타내었다. 각 온도에서 30초간 급속 열처리하였다. 비소가 이온 주입된 경우가 붕소가 이온 주입된 경우에 비하여 면저항 값이 전체적으로 높게 나타나며 두 경우 모두 600℃에서 가장 높은 면저항값을 나타냈다. XRD 분석에 의한 결과(그림 2, 3) 이는 비저항이 높은 CoSi의 형성 때문이며 700℃이후 나타나는 낮은 면저항 값은 $CoSi_2$상의 형성 때문이다. 700℃ 이후로는 열처리 온도가 증가할수록 저항이 낮아졌으며 900℃ 이후로는 더 이상 면저항 값이 저하되지 않았다. 1000℃의 열처리 후에도 낮은 면저항 값을 나타낸 $CoSi_2$상은 1100℃의 열처리를 거친 후에는 1000℃와 같은 낮은 면저항이 측정되거나 혹은 측정되지 않는 현상이 나타났다. 실리사이드 박막 표면의 색깔 변화로 미루어 이는 표면에 코발트 산화층으로 판단되는 불연속적인 박막이 형성되었기 때문이라고 판단된다.

표 2에는 800℃에서 형성된 실리사이드의 면저항과 함께 두께로부터 계산한 $CoSi_2$의 비저항 값을 나타내었으며, 비교를 위해 동시접합 공정(Concurrent Junction Process)[10]에 의한 비소와 붕소의 경우, 그리고 인이 도핑된 다결정 실리콘과 도핑되지 않은 다결정 실리콘 위에 형성된 $CoSi_2$의 비저항 값도 함께 나타내었다. IIM 공정에서 Rutherford Backscattering Spectroscopy 분석에 의한 결과 생성된 $CoSi_2$의 두께는 1000Å으로 나타났다. 따라서 비소와 붕소가 이온 주입된 코발트 실리사이드의 비저항 값은 각각 17, 13 $\mu\Omega$-cm이 된다. 동시 접합 공정에 의해 형성된 실리사이드의 비저항값[10]과 이를 비교하면 20 $\mu\Omega$-cm(비소), 18 $\mu\Omega$-cm(붕소)이므로 IIM 공정을 했을 때 두 경우 모두 비저항이 낮은 것으로 나타났다. 또한 다결정 실리콘 위에서는 22(doped), 18(undoped) $\mu\Omega$-cm로서 인이 도핑되어 있는 경우가 도핑되어 있지 않은 경우보다 비저항이 높은 실리사이드가 형성되는 것으로 나타났다.

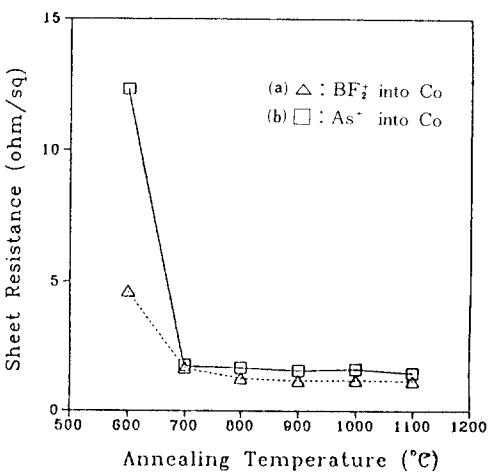


그림 1. 열처리 온도에 따른 면저항의 변화
(a) BF_2^+ (b) As^+

Fig. 1. Sheet resistance as a function of annealing temperature.
(a) BF_2^+, (b) As^+.

표 2. $CoSi_2$의 비저항 비교(IIM 공정, CJ공정[10] 다결정 실리콘 기판)

Table 2. Comparison of resistivities of $CoSi_2$ (IIM process, CJ process,[10] poly-Si substrate).

Processs (Type)	Implant Source	Thickness (Å)	Resistivity ($\mu\Omega$cm)
IIM (Single-Si)	BF_2^+	1,000	13
	As^+	1,000	17
CJ (Single-Si)	BF_2^+	1,000	18
	As^+	1,000	20
(Poly-Si)	undoped	1,000	18
	P doped	1,000	22

실리사이드화 반응 전에 불순물이 금속 내에(IIM), 혹은 실리콘 내에 주입되어(CJ) 있을 때 이에 관계없이 붕소보다는 비소의 경우에 실리사이드의 비저항 값이 높은 것은 비소가 함유된 코발트 실리사이드의 비저항이 붕소가 함유된 경우보다 높기 때문이다. 다결정 실리콘 위에 형성된 $CoSi_2$의 경우에도 마찬가지로 도핑된 인이 비저항을 증가시켰다. 또한 코발트 내에 불순물이 이온 주입되어 있는 경우(IIM)가 실리콘 내에 불순물이 있는 경우(CJ)보다 실리사이드의 저항이 낮게 나타난다는 사실은 실리사이드화 반응전의 불순물 주입에 따른 실리콘의 결정 상태가 실리사이드의 비저항 값에 영향을 미치게 된다는 증거이다.

2. XRD 분석

붕소가 이온 주입된 경우, 형성된 코발트 실리사이드의 X-ray 회절 분석한 결과를 그림 2에 나타내었다. 모든 박막 X-ray회절 분석은 입사각을 2.5°로 고정하고 40kV, 100mA의 전력을 가하였으며 CuKα X-ray를 사용하였다. 증착된 코발트를 600℃에서 30초간 열처리한 경우 Si, CoSi, $CoSi_2$의 피크가 혼합되어 나타났다. 이 때 나타나는 Si의 피크는 실리사이드 층밑의 단결정 실리콘 기판에 의한 것이다. CoSi (210), (211) 피크는 700℃ 이후로는 나타나지 않으며 600℃에서도 이미 $CoSi_2$상이 형성되기 시작하는 것을 (111), (220) 피크로부터 알아낼 수 있다. 700℃에서는 $CoSi_2$ (111), (220)의 피크강도가 상대적으로 증가되고 (311) 피크도 관찰되므로 완전히 다결정 $CoSi_2$로 상이 바뀜을 알 수 있다. 즉 600℃에서는 $CoSi/CoSi_2/Si$ 구조가 700℃에서는 $CoSi_2/Si$ 구조로 바뀌게 되며 따라서 앞에서 언급했던 것처럼 600℃에서의 높은 면저항 값은 비저항이 높은 CoSi상에 의한 것이다. 온도가 더욱 증가하면서 $CoSi_2$ (111), (220), (311) 피크는 더욱 증가하게 되며 1000℃에서도 이들 피크 이외에는 어떤 다른 피크도 관찰할 수 없다. 따라서 1100℃에서 나타나는 실리사이드 막의 저하는 새로운 상의 형성에 의한 것은 아님을 알수 있다.

그림 3에는 비소가 이온 주입된 경우의 X-ray 분석 결과를 나타내었다. 붕소의 경우와 비교하여 불순물에 따른 차이는 찾아볼 수 없으며 붕소의 경우와 마찬가지로 600℃에서 700℃ 사이에 CoSi가 완전히 사라지고 $CoSi_2$로 전이됨을 X-ray 결과로부터 알아낼 수 있다. 즉, 코발트에 이온 주입된 불순물(비소, 혹은 붕소)에 상관없이 600℃에서 700℃ 사이의 온도에서 $CoSi/CoSi_2/Si$ 구조에서 $CoSi_2/Si$ 구조로 전이되며 이 구조는 1100℃까지도 유지된다.

3. RBS분석

그림 4에서는 비소를 코발트내에 이온 주입한 시편을 700℃에서 30초간 열처리한 CoSix/Si의 RBS 분석 결과를 나타내었다. 이온은 1.54MeV, $^4He^+$을 사용하였다. XRD 분석에 의한 결과로는 700℃에서는 CoSi상을 발견할 수 없었는데 붕소의 경우는 Si/Co 비가 1.84±0.10로 2보다 약간 작은 값을 갖는 것으로 나타났다. 반면에 비소의 경우는 2.06±0.11로 2에 근사한 값을 나타내었다. 붕소의 경우 코발트에 대한 실리콘의 비가 2보다 작은 값을 갖는다는 것은 실제로는 대부분의 $CoSi_2$외에 채 확산 반응하지 않은 CoSi층이 일부 존재하는 증거로 판단된다. 그러

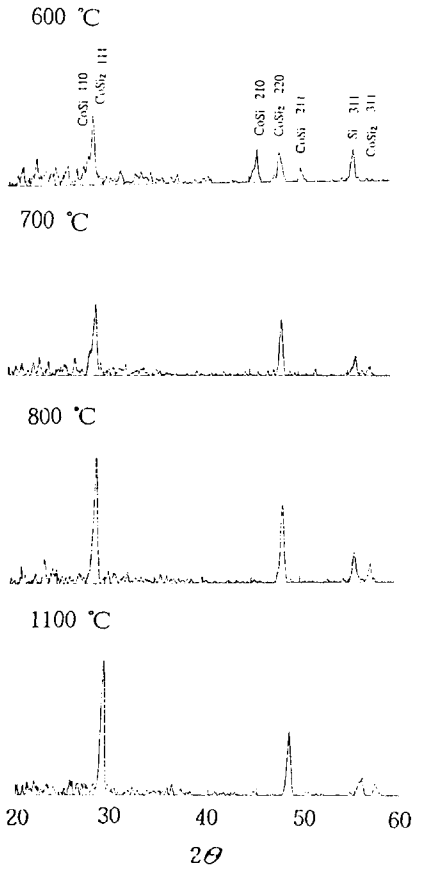


그림 2. 붕소가 이온 주입된 코발트 실리사이드의 STA 온도에 따른 X-ray 회절 피크

Fig. 2. X-ray diffraction pattern of B implanted cobalt silicides on Si with RTA temperature.

나 비소의 경우는 2에 거의 일치하는 Si/Co비 값을 나타냄으로써 완전히 $CoSi_2$로 전이되었음을 알 수 있다. 즉, 비소가 함유된 코발트 실리사이드의 비저항은 붕소보다 높은 반면에 비소가 이온 주입된 경우에 오히려 실리사이드화 반응이 촉진된 것으로 나타났다. 이는 금속을 통하여 이온 주입한 경우(Implantation Through Metal Process)에 금속과 실리콘 사이의 계면 상태를 변화시켜 실리사이드화 반응을 촉진시키게 되는 이온 빔 혼합 효과(Ion Beam Mixing effect)[8]와 관련이 있는 것으로 생각된다. 본 실험에서는 비록 비소를 이온 주입할 때 R_p를 코발트 내에 위치하도록 하였지만 이온 주입된 비소의 일부분은 실리콘과 코발트의 계면을 지나서 실리콘 내에 분포될 수 있기 때문이다. 붕소의 경우에도 붕소가 실리콘 내에 분포될 수는 있지만 붕소의 경우는 원자량

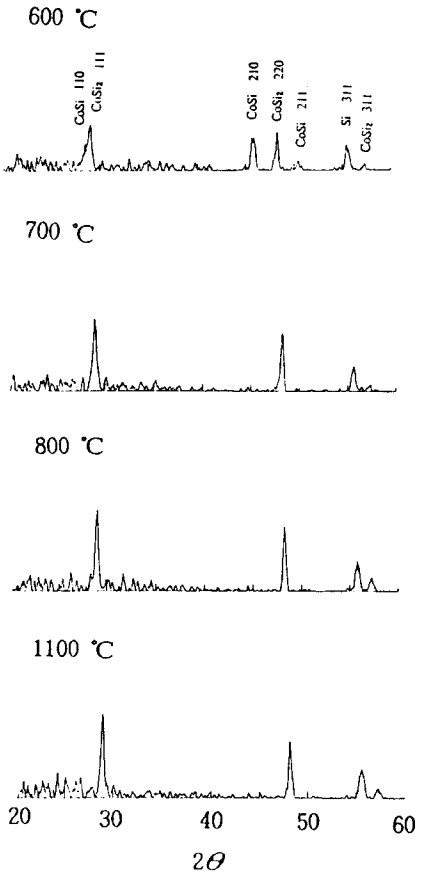


그림 3. 비소가 이온 주입된 코발트 실리사이드의 RTA 온도에 따른 X-ray 회절피크

Fig. 3. X-ray diffraction patterns of As implanted cobalt silicides on Si with RTA temperature.

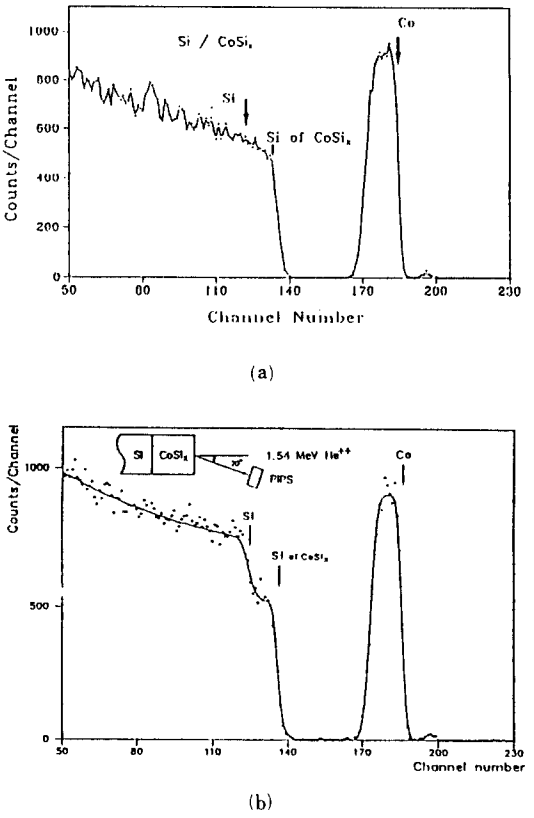


그림 4. 코발트 실리사이드의박막 1.54-MeV RBS 스펙트럼, $CoSi_x$/Si 구조
(a) B, 700°C 30sec (b) As, 700°C 30sec

Fig. 4. 1.54-MeV RBS spectra of Co silieide films, $CoSi_x$/Si sturcture.
(a) B, 700°C 30sec (b) As, 700°C 30sec.

이 실리콘에 비해 상대적으로 작기 때문에 이 효과를 거의 기대할 수가 없다. 따라서 비소의 경우에 $CoSi_2$의 형성이 촉진되었을 것으로 생각된다.

그림 5에는 1000℃에서 30초간 열처리한 SiO_2/Co Si^x/Si의 RBS 분석 결과를 나타내었다. 그림 4와 같은 조건으로 분석하였으며 이 때 Si/Co비는 각각 2.38±0.14(B), 2.00±0.12(As)로 나타났다. 700℃와 마찬가지로 비소의 경우는 Si/Co비가 2에 가까운 값을 유지하고 있는 반면에 붕소의 경우는 오히려 2를 초과하여 2.38±0.14의 비로 변하여 코발트에 대한 실리콘의 비가 $CoSi_2$상의 값을 훨씬 초과하였다. XRD에 의한 결과에 의하면 1000℃에서도 $CoSi_2$ 외에 다른 상이 발견되지 않으므로 Si이 많은 새로운 상이 형성된 것은 아니다. 또한 비소의 경우는 1000℃에도 코발트 피크가 700℃와 마찬가지로 날카로운 계면을 유지하고 있는 반면에 붕소의 경우는 700 ℃에서 날카롭던 계면이 1000℃에서는 완만하게 퍼지는 것을 관찰할 수 있다. 즉 SiO_2쪽으로의 계면이 완만하게 퍼지는 것으로 나타나 있고 더구나 SiO_2층 쪽으로의 Co 농도도 낮아짐을 Co 피크의 모양으로부터 알 수 있다. 이는 SiO_2층으로 코발트가 확산하였기 때문이며 따라서 Co에 대한 Si의 비도 상대적으로 증가된 것으로 판달할 수 있다. SiO_2 층으로의 Co 확산 현상은 비소의 경우엔 나타나지 않았다.

Ⅳ. 실리사이드의 열적 안정성

접합을 먼저 형성한 후에 실리사이드를 형성하는 기존의 공정은 이온 주입시의 실리콘 내의 손상을 회복하기 위한 열처리가 실리사이드화 반응 전에 이미

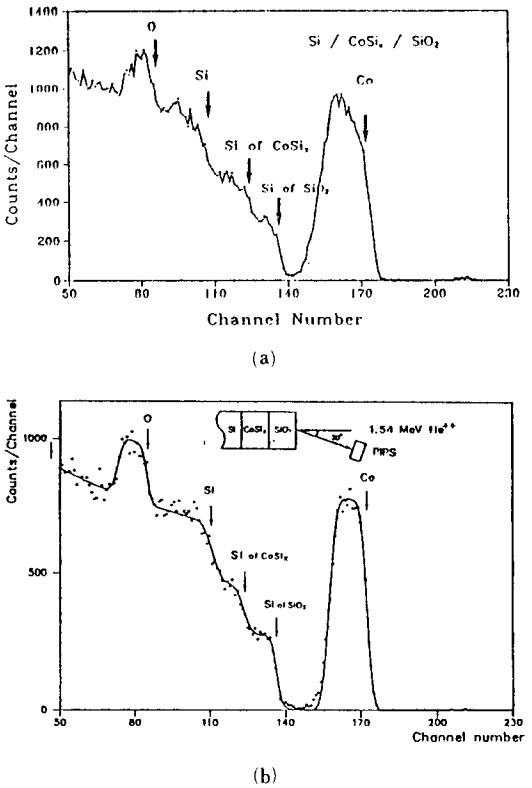


그림 5. 코발트 실리사이드 박막의 1.54-MeV RBS 스펙트럼, $SiO_2/CoSi_x/Si$구조
(a) B, 1000°C 30sec (b) As, 1000°C 30sec

Fig. 5. 1.54-MeV RBS spectra of Co silicide films, $SiO_2/CoSi_x/Si$ structure.
(a) B, 1000°C 30sec, (b) As, 1000°C 30sec.

행해진다. 따라서 실리사이드가 겪어야하는 열적 비용은 단지 실리사이드화에 필요한 정도에 불과하게 된다. 그러나 금속 혹은 실리사이드와 같은 다결정 확산원을 사용하여 접합을 형성한후 경우는 실리사이드화 반응에 필요한 열적 비용에 불순물 확산을 위한 열적 비용이 더해진다. 실리콘 내로의 불순물 확산을 위한 열처리 온도와 시간의 한계를 결정짓게 되는 가장 중요한 변수가 실리사이드의 열적 안정성이다. 실리사이드의 열적 안정성을 규정하는 방법은 여러 가지가 가능하지만 본 실험에서는 비저항의 증가에 관심을 두었다. 열처리 온도에 따른 실리사이드의 비저항 변화를 살펴보기 위해서 단결정 실리콘 위에 붕소와 비소가 이온 주입된 코발트를 장시간 급속 열처리하였다. 각각 900, 1000, 1100℃에서 일정한 시간 간격으로 열처리 시간을 증가시키면서 면저항을 측정하였다. 각 온도에서 열처리 시간이 증가할 수록 면저항 값이 점차 증가하였다. 가장 낮은 저항값보다 30%이상으로 면저항 값이 증가하게 되는 열처리 시간을 그 온도에서의 막성질 저하점으로 간주하였다. 그림 6에 온도에 따른 이 저하점들을 시간에 따라 나타내었으며 다결정 실리콘 위에 형성된 $CoSi_2$의 저하점을 같이 나타내어 이를 비교하였다.

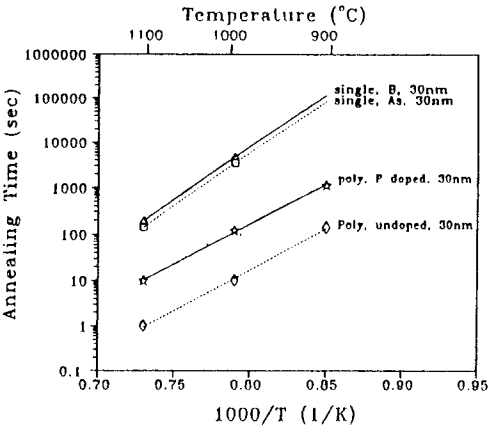


그림 6. 고온에서의 실리사이드 저항 증가(30%) 저하점. Co 두께는 30nm

Fig. 6. Degradation ponts of increased resistances (30%). Thickness of Co is 30nm.

다결정 실리콘 위에 형성된 $CoSi_2$의 경우는 1000, 1100℃에서는 수초간의 열처리막 행해도 면저항이 급격히 증가하였으며, 이는 인이 도핑되어 있는 경우가 도핑되어 있지 않은 경우보다 억제되었다. 900℃로 열처리 온도가 낮아지면 저항의 증가율이 감소하게 되어 이 저하 시간은 증가되어 100초 이상의 값이 되었다. 그러나 단결정 실리콘 위의 붕소나 비소가 이온주입되어 있는 $CoSi_2$의 경우는 900, 1000℃에서는 웬만한 시간의 열처리로는 이 저하점을 찾을 수 없었다. 1100℃에서도 다결정 실리콘의 경우보다 훨씬 더 저하 시간이 증가되었으며 이 때 불순물에 따른 차이는 거의 발견할 수 없다. 다만 비소의 경우가 붕소의 경우보다 약간 빨리 저항이 증가되었고 이 경우에도 두 직선의 기울기 자체는 일치하고 있다. 그러나 이 기울기는 다결정 실리콘의 경우와는 일치하지 않으며 따라서 이는 저항의 증가가 서로 다른 기구에 의한다는 결과이다.

코발트 금속의 경우 열처리 온도가 증가하면서 Co_2Si, CoSi, $CoSi_2$ 순서로 실리콘 함량이 많은 상

이 생성되는데 이 중에서 가장 비저항이 낮은 현상은 $CoSi_2$상이다. 따라서 고온에서 비저항이 증가하는 현상은 새로운 실리사이드 상의 형성 때문은 아니다. $CoSi_2$의 경우 단결정 실리콘 위에서보다 다결정 실리콘 위에서 특히 비저항 증가 현상이 두드러지게 나타난다. 이는 어느 정도 이상의 고온 열처리를 거치게 되면 실리사이드가 다결정 실리콘의 입계를 따라 밑으로 확산되어 다결정 실리콘 밑의 SiO_2층 위에 막을 형성하게 되기 때문이라고 보고되어 있다.[13] 즉 결정립계가 존재하는 다결정 실리콘의 경우는 실리사이드가 쉽게 이 결정립계를 따라 확산하여 다결정 실리콘 밑의 SiO_2층 위에 쌓이게 된다. 본 실험에서 인이 도핑되어 있지 않은 경우보다 면저항의 증가가 억제된 것은 도핑된 인(P)이 다결정 실리콘의 결정립계에 석출되어 실리사이드의 확산을 억제하였기 때문이다.

C.Y.Ting등[14]에 의하여 단결정 실리콘 위에 형성된 $TiSi_2$의 경우에 고온에서의 면저항 증가는 $TiSi_2$의 뭉침 등에 의한 것이라고 보고되어 있다. $CoSi_2$의 경우에도 단결정 실리콘 위에서의 면저항 증가 현상은 $TiSi_2$와 일치하며[2] 따라서 900, 1000℃와 같이 비교적 높지 않은 온도에서는 이러한 저하가 웬만해서는 나타나지 않고 1100℃에서는 비교적 짧은 시간의 열처리로 이 저하를 관찰할 수 있다. 그러나 1100℃에서 열처리하는 경우 10초간의 열처리만 행해도 면저항 증가에 우선하여 표면에 코발트 산화물로 생각되는 절연막이 부분적으로 형성된다.

V. 불순물 분포

300Å정도 두께의 코발트 박막에 각각 30keV의 BF_2^+ ($3\times10^{15}cm^{-2}$)와 60keV의 As^+ ($1\times10^{16}cm^{-2}$)을 이온 주입하여 접합을 형성하였다. TRIM simulation에 의하면[12] 이 에너지는 R_p가 코발트와 실리콘의 계면에 걸리는 것(Implantation Through Metal)이 아니라 코발트 내에 갇히게 되는(Implantation Into Metal) 범위의 에너지이다.

그림 7에 코발트 내에 이온 주입된 상태의 붕소의 SIMS 분포와 이온 주입시 예상되는 붕소의 분포(점선)를 표시하여 이를 측정 결과와 비교하였다. 이때 코발트 층위에 1500Å의 SiO_2 막을 스퍼터 증착하였다. 그림에서 두께는 실리콘의 스퍼터 속도로 확산한 것이며 농도에 대한 정량적인 분석은 하지 않았다. 일차 이온은 O_2로 하였으며 40nA의 빔전류를 사용하였다. 스퍼터면은 125 μm이며 SiO_2가 증착되어 있는 경우 산화막의 충전 효과를 감소시키기 위하여 표면에 금을 100A 정도 증착한 후 전자층을 함께 사용하여 분석하였다. 이온 주입 에너지에 따라서 코발트 내에 갇혀 있는 붕소의 분포를 예상하였지만, 측정시 충전 효과에 따른 에너지 이동을 줄이기 위해 가한 역방향 전압이 코발트 층에서 감소하게 되면서 모든 원자의 counts수가 코발트 층에서 감소하는 결과를 나타내어 코발트 층 내에서 붕소의 정확한 분포를 얻을 수 없었다. 그러나 그림에서 보듯이 예상된 분포를 가정하면 R_p가 코발트 내에 갇히게 됨을 알 수 있다.

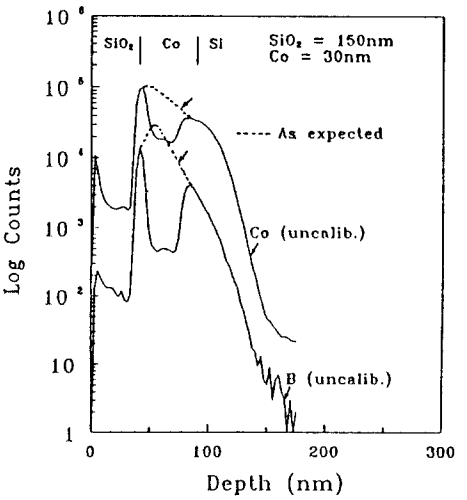
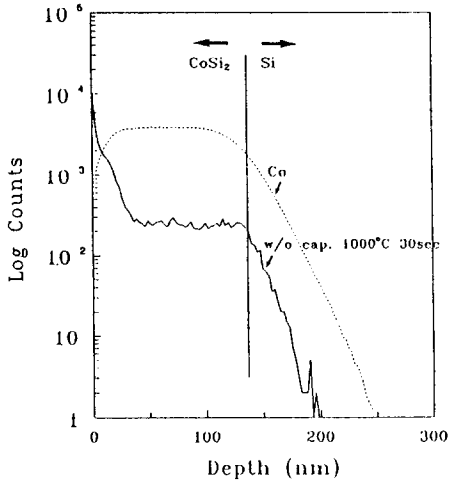
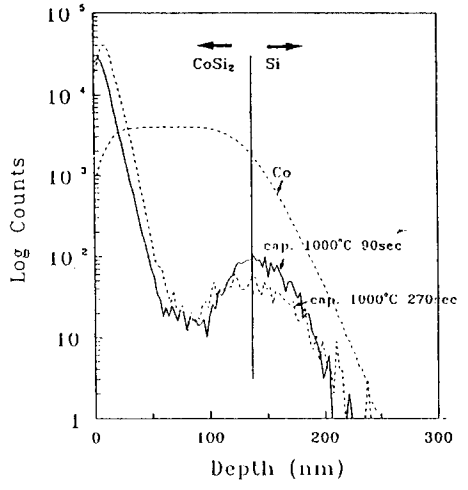


그림 7. 코발트 내로 이온 주입된 상태의 보론의 SIMS 분포
Fig. 7. As-implanted SIMS profiles of B into Co.

그림 8에는 700℃에서 30초간 실리사이드 형성 열처리를 거치고 붕소를 확산시켜 접합을 형성하기 위해 1000℃에서 30초간 급속 열처리된 $CoSi_2/p^+/n$ 접합의 SIMS 분포를 나타내었다. 1000℃에서 두번째 열처리를 한 이유는 붕소의 확산을 위한 것이다. 그러나 그림에서 보듯이(a) 2차 열처리를 거친 후에도 붕소의 계면 농도가 매우 낮고 접합 전체에 걸쳐 붕소가 낮은 농도로 얇게 ($<0.1\mu m$) 분포하는 것으로 나타났다. 1500Å의 SiO_2 보호막을 스퍼터로 증착하고 2차 열처리(30초)를 한 경우도 보호막을 하지 않았을 경우와 큰 차이를 발견할 수 없었다. 확산량을 늘이기 위하여 2차 열처리 시간을 90초로 증가시킨 결과, 보호막의 역할로 인해 실리사이드 내의



(a)



(b)

그림 8. 두 단계의 열처리를 거친 붕소의 SIMS 분포
(a) 보호막(SiO_2)없음, 1000°C 30초
(b) 보호막 있음, 1000°C 90, 270초

Fig. 8. SIMS profiles of baron after 2 step annealings.
(a) SiO_2 uncapped, 1000°C 30sec,
(b) SiO_2 capped, 1000°C 90, 270sec.

붕소의 량이 심각하게 소모되지는 않았지만 실리콘 내로 확산한 붕소의 량이 현저하게 증가하지도 않았다. 즉 열처리 시간의 증가로 $SiO_2/CoSi_2$와 $CoSi_2/Si$ 계면에 붕소가 집적되고 실리사이드 중간층의 농도는 감소하여 농도가 U형으로 분포하였다. 열처리 시간이 90초에서 270초로 증가되자 실리콘 계면에서의 농도가 오히려 감소하고 접합 깊이는 약간 증가되었다. 이 시편들을 SRP 측정한 결과 접합에서 붕소의 농도는 $\sim 10^{18}cm^{-3}$ 정도였고, 접합 깊이는 SIMS에 의한 결과(0.1 μm)보다 낮게 평가되어 0.05 μm로 나타났다.

비소의 경우 700℃에서 1000℃까지 100℃의 간격으로 각각 30초간의 급속 열처리를 거친 실리사이드 접합에서는 붕소와 마찬가지로 거의 접합을 발견할 수 없었다. 고온으로 갈수록 증가되는 확산량에도 불구하고 저온에서와 마찬가지 양상을 나타낸 이유는 고온으로 갈수록 동시에 증가하게 되는 기화에 의한 소모량 때문이다. 또한 700℃에서 1차 열처리 한 후에 보호막이 없이 2차 열처리 시간을 증가시킨 경우(90초)도 마찬가지 결과였다. 따라서 보호막이 없이 열처리 시간이나 열처리 온도를 증가시키는 것이 접합 형성에 별다른 영향을 미칠 수 없었다.

그림 9에는 비소의 경우에 보호막과 확산 열처리 시간이 불순물 분포에 미치는 영향을 알아보기 위한 SRP 분포를 나타내었다. 비소는 높은 증기압을 갖기 때문에 보호막의 효과가 뚜렷이 나타날 것이라는 예상과는 달리 두단계의 짧은 열처리(700, 1000℃ 30초)로는 그 현저한 차이를 발견할 수는 없었다. 이는 비소의 낮은 확산 계수값 때문일 것이다. 즉, 비소의 기화되는 손실은 감소하였다고 하더라도 비소가 실리콘 내로 확산하기에는 확산을 위한 열처리 시간이 너무 짧았을 것이라는 예상이다. 따라서 열처리 시

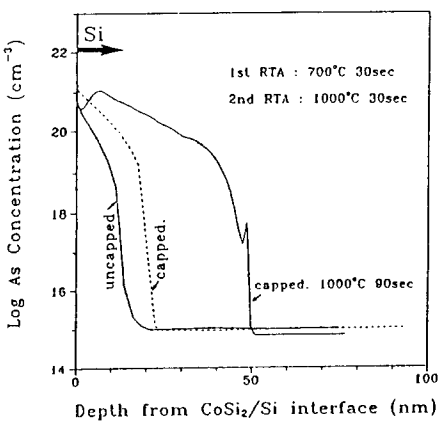


그림 9. 두 단계의 열처리를 거친 비소의 SRP 분포
(a) 보호막(SiO_2)없음, 1000°C 30초
(b) 보호막 있음, 1000°C 30초
(c) 보호막 있음, 1000°C 90초

Fig. 9. SRP profiles of arsenic after 2 step annealings.
(a) SiO_2 uncapped, 1000°C 30sec,
(b) SiO_2 capped, 1000°C 30sec,
(c) SiO_2 capped, 1000°C 90sec.

간을 늘려 90초간 열처리한 경우 접합 깊이가 증가되었음을 알 수 있었다. 붕소의 경우에 접합에서의 농도가 $\sim 10^{18}cm^{-3}$에 불과했었던 반면에 비소의 경우는 1000℃에서 90초간 열처리한 결과 접합의 비소농도는 $\sim 10^{20}cm^{-3}$로 매우 높았고, 접합 깊이는 붕소와 비슷한 0.05 μm로 측정되었다.

Ⅵ. 결 론

IIM 공정 시에 800℃에서 열처리한 비소와 붕소가 이온 주입된 코발트 실리사이드와 인이 도핑된 다결정 실리콘 위에 형성된 폴리사이드의 비저항 값은 각각 17, 23, 22 $\mu\Omega$cm로서 코발트 내의 비소나 단결정 실리콘 혹은 다결정 실리콘 내에 도핑되어 있는 인이 실리사이드의 비저항값을 증가시키는 것으로 나타났으며 이는 동시 접합 공정과 일치하는 결과였다. XRD 분석에 의한 결과 600℃와 700℃ 사이에서 CoSi가 $CoSi_2$로 바뀌어 〔CoSi/$CoSi_2$/Si〕 구조가 〔$CoSi_2$/Si〕 구조로 전이되었다.

다결정 실리콘위에 형성된 $CoSi_2$는 단결정 실리콘 위에 형성된 $CoSi_2$보다 열적으로 불안정하여 각 온도(900, 1000, 1100℃)에서 열처리 시간이 증가함에 따라 훨씬 더 빨리 저항이 증가되었다. 이 때 다결정 실리콘 내에 도핑되어 있는 인(P)과 같은 불순물은 실리사이드의 확산을 억제하여 저항의 증가율을 낮추었다. IIM 공정에 의한 단결정 위의 $CoSi_2$의 면저항 증가는 1000, 1100℃의 고온에서도 쉽게 나타나지 않았다.

코발트 내에 이온 주입된 비소와 붕소는 열처리 시에 기화되어 표면 밖으로 빠져나가는 양이 상당해서 불순물의 소모를 막기 위해서는 SiO_2와 같은 보호막을 필요로 하였다. 비소의 경우는 보호막을 사용하여 1000℃에서 90초간 열처리한 결과 0.05 μm의 얇은(전기적인) n^+/p 접합을 얻을 수 있었다. 그러나 붕소의 경우는 실리콘 내로 확산하는 량이 부족하여 높은 농도의 접합을 얻을 수 없었으며 이를 개선하기 위해서는 이온 주입 에너지의 변화, 이온 주입량의 증가, 기존의 로 확산 공정의 적용등에 대한 보완 연구가 요구된다.

參 考 文 獻

[1] S. Wolf, Silicon Processing for the VLSI era, vol. 2, *Lattice* press, 1986, pp. 154~160.

[2] C.M. Osburn, "Formation of silicided, ultra shallow jnctions using low thermal budget processing," *Journal of Eectronic Materials,* vol. 19, no. 1, 1990.

[3] J.F. Ziegler, "Channeling of Ions near the silicon (100) axis," *Appl. Phys. Lett.,* 46, 358 (1985).

[4] S.P. Murarks, Silicides for VLSI Application, 1983, pp. 9~14.

[5] R. Liu et al, "Formation of shallow p +/n and n+/p junctions with $CoSi_2$," ULSI SCIENCE and TECHNOLOGY/1987, p. 446(1987).

[6] L. Niewohner, et al., "Self-aligned $CoSi_2$ formation to lon beam mixing and Its application no MOS devices," June 11-12, 1991 VMIC Conference, p. 329, 1991 IEEE.

[7] F.C. shone, K.C. Saraswat, J.D. Plummer, "Formation of 0.1m N+/p and P+/N junction by doped silicide technology," IEDM Tech. Dig. 1985, p. 407(1985).

[8] E. Nagasawa, H. Okabayashi, and M. Morimotto, "Mo - and Ti-silicided low-resistance shallow junctions formed using the ion implantation through metal technique," *IEEE Trans. Electron Devices,* ED-34, 581 (1987).

[9] S.P. Murarka et al, "Self-aligned cobalt disilicide for gate and interconnection and contacts to shallow junctions," *IEEE Trans. Electron Devices,* Oct, p. 2108, 1987.

[10] 이석운, 민경익, 주승기, "동시 접합 공정에 의한 자기 정렬 실리 사이드 공정 및 얇은 접합 형성에 관한 연구," 전자공학회 논문집, vol. 29-A, no. 2, 1992

[11] Chin-Shie Wei, et al., "Comparison of cobalt and titanium silicides for SALICIDE process and shallow junction formation," June 12-13, 1989 VMIC Conference, p. 241, 1989 IEEE.

[12] 민경익, 이석운, 주승기, "할로겐 램프에 의한 급속 열처리에서 기판 표면 상태에 따른 온도 상승 효과에 관한 연구", 전자공학회 논문집, vol. 28-A, no. 10, 1991

[13] Stefan Nygren, Stefan Johanson, "Recrystallization and grain growth pehenomena in pollycrystalline Si/$CoSi_2$ thin film couples," *J. Appl. Phys.* 68(3), 1 August 1990.

[14] C.Y. Ting, et al, "High temperature process limitation on $TiSi_2$," J. Electrochem. Soc. 133, 2621(1986).

著 者 紹 介

李 石 運 (學生會員)

1967年 6月 18日生. 1990年 서울대학교 금속공학과 졸업. 1992年 서울대학교 금속공학과 석사학위 취득. 현재 서울대학교 금속공학과 박사과정 재학중. 주관심분야는 Metallization 공정임.

●

閔 庚 瀷 (學生會員)

1967年 7月 23日生. 1990年 서울대학교 금속공학과 졸업. 1991年 서울대학교 금속공학과 석사 학위 취득. 현재 서울대학교 금속공학과 박사과정 재학중. 주관심분야는 인공 초격자를 이용한 자성재료의 개발등임.

朱 承 基 (正會員)

1952年 9月 4日生. 1975年 서울대학교 금속공학과 졸업. 1982年 Stanford 대학 재료과 공학 박사학위 취득. 1984年 National Semiconductor R&D center 근무. 1986年 Fairchild Advanced R&D Lab 근무. 1986年～현재 서울 대학교 금속공학과 부교수. 주관심분야는 반도체 소자 제조공정및 자성재료의 개발등임.