

Hot electron에 의한 CMOS 차동증폭기의 입력 offset 전압 모델링

(Hot Electron Induced Input offset Voltage Modeling in CMOS Differential Amplifiers)

朴 鍾 泰*

(Jong Tae Park)

要 約

본 연구에서는 hot electron에 의한 소자의 노쇠화로 인하여 CMOS 차동 증폭기의 입력 offset 전압에 어떤 영향을 미치는지에 대해서 기술하였다. 측정된 소자의 특성으로부터 소오스 결합 MOSFET쌍의 입력 offset 전압을 정의하고 이를 위한 해석적 모델을 제시하였다. 그리고, 측정으로 부터 구한 입력 offset 전압과 모델을 비교하므로 입력 offset 전압의 소자 변수들에 대한 의존도를 검증하였다.

Abstract

This paper presents one of the first comprehensive studies of how hot electron degradation impacts the input offset voltage of a CMOS differential amplifiers. This study utilizes the concept of a virtual source-coupled MOSFET pair in order to evaluate offset voltage degradation directly from individual device measurement. Next, analytical models are developed to describe the offset voltage degradation. these models are used to examine how hot electron induced offset voltage is affected with the device parameters.

I. 서 론

초대형 집적회로의 MOSFET 소자의 크기가 deep submicron 레벨로 scaling됨에 따라 hot electron에 의한 소자의 노쇠화 현상은 더욱더 심각하게 되었으며 집적 회로의 소자 설계 및 회로 설계의 한계를 결정 짓는 한 요인이 되고 있다.^[1]

Hot electron에 의한 소자의 노쇠화 현상을 물리적으로 설명, 해석하기 위하여 많은 연구가 되었으며 여다.^[2,3] 또한 hot electron에 의한 소자의 수명시간을

예측하는 방법들이 연구되어 MMOSFET인 경우 Do-
wer law 관계식이 일반적으로 이용되고 있다.^[4] 그러나, 소자의 수명 시간을 결정하는 기준을 드레인 전류의 10% 변화나 10mV의 문턱 전압 변화로 정의하는 것이 실제 회로에서는 얼마나 큰 영향을 미치는 것이며 어떤 회로 또는 시스템의 수명시간과 어떤 관계가 될 것인지에 대해서는 연구가 초기 상태에 있다.^[5]

C. Duvvy 등은 DRAM에서 hot electron이 access time과 refresh time에 미치는 영향에 관하여 연구를 하였는데 채널 길이가 1.0 μ m CMOS DRAM인 경우 stress시간에 따라 access time이 증가하고 refresh time이 감소하는 현상을 보고하였다.^[6]

*正會員, 仁川大學校 電子工學科
(Dept. of Elec. Eng., Incheon Univ.)
接受日字: 1992年 4月 18日

또, P. Lee 등과 Q. Wang 등은 NMOSFET 및 CMOS inverter의 지연시간이 hot electron에 의하여 크게 영향을 받음을 보고하였으며 J. Van der Pol 등은 SRAM이 hot electron의 영향을 받음을 보고하였다.^[7-9] 지금까지의 연구 발표로부터 MOSFET의 디지털 시스템에서 hot electron에 의한 회로의 성능이 저하됨은 분명하며 소자의 크기가 deep submicron레벨로 더욱더 작아지면 hot electron에 의한 영향은 더 클 것으로 생각된다. 그런데 hot electron이 아날로그 회로에 미치는 영향에 관해서는 연구가 거의 초기 상태인데 J. Chung 및 Park 등이 hot electron에 의하여 차동 증폭기의 입력 offset 전압, 출력 저항 및 이득이 저하된다고 발표하였다.^[10,11] 앞으로 기억 소자의 감지 증폭기를 회로 비롯한 여러 가지 아날로그 회로에 hot electron에 의한 회로의 성능 저하가 있을 것으로 생각되므로 많은 연구가 필요하다.

본 연구에서는 hot electron에 의한 소자 노쇠화로 인하여 발생하는 CMOS 차동증폭기의 입력 offset 전압을 선형 및 포화 영역으로 나누어서 모델링하였다. 그리고 모델의 타당성을 검증하기 위하여 소자 및 공정 변수들에 따른 여러 소자의 offset 전압을 측정하여 변수들의 의존도를 비교 분석하므로 실제 설계자들이 차동 증폭기를 설계할시 규칙 선정에 이용할 수 있도록 하였다.

II. 입력 offset 전압 모델링

그림 1과 같은 virtual 소오스 결합 MOSFET 차동 증폭기 회로에서 Q1은 stress를 가하지 않는 fresh 소자이며 Q2는 stress를 가한 소자라고 가정하면 입력 전압이 0이 되는 소위 소자가 matching이 되기 위하여는 입력단에 offset 전압이 인가되어야 될 것이다. 이것은 Q2 소자가 stress를 받으면 hot electron에 의하여 소자의 특성이 노쇠화되어 I~V 특성이 Q1 소자와 다르게 되는 이유에서 비롯된 것이다. 이런 hot electron에 의한 소자의 노쇠화 현상에 관한 설명을 위하여는 많은 물리적인 모델이 제시되었으므로 구체적인 설명은 참고문헌을 인용하여 본 연구에서는 소자의 노쇠화 현상이 차동증폭기의 특성에 미치는 영향으로부터 입력 offset 전압의 값을 모델링하였다.^[2,3]

먼저 입력 offset 전압은 그림 2와 같이 fresh 소자와 stress를 받은 소자의 I~V 특성곡선으로부터 일정한 I_{Drain}가 흐를때 입력 V_{GS}의 차이로 정의하였다. Hot electron에 의하여 노쇠화된 소자는 경계면 전하 N_{it}

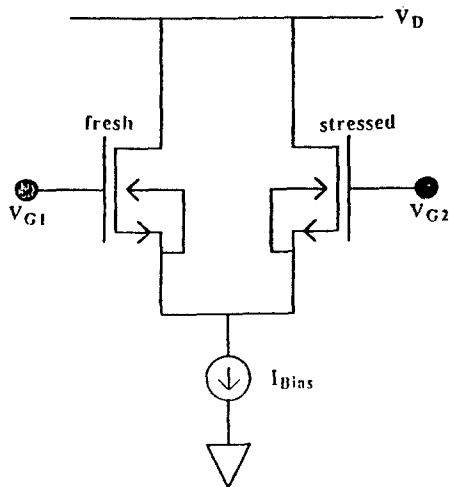


그림 1. Virtual 소오스 결합 MOSFET 차동증폭기 쌍
Fig. 1. Schematic of virtual source-coupled differential MOSFET pair.

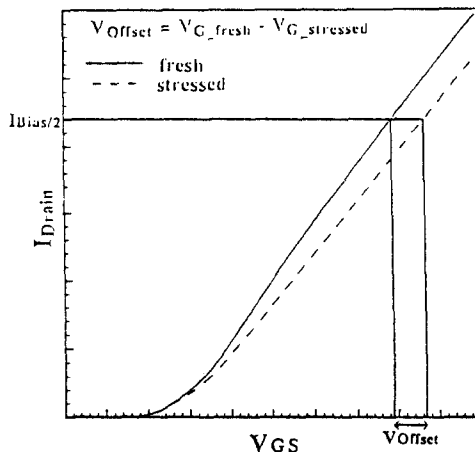


그림 2. V_{offset}의 정의
Fig. 2. Definition of V_{offset} from I~V characteristics.

가 생성이 되는데 이것에 의한 소자의 문턱전압과 이동도 등에 관한 연구는 많이 되었으므로 본 연구에서는 hot electron에 의하여 소자의 문턱전압과 이동도가 변하였다고 가정하고 offset 전압을 모델링하였다.

Hot electron에 의하여 노쇠화된 소자의 I~V 특성으로 부터 선형영역에서는 노쇠화가 심하며, 포화영역에서는 노쇠화가 약하게 됨을 알 수 있으므로 offset 전압 모델링을 선형영역과 포화영역의 2 영역에서 모델링하였다.

1. 선형영역에서의 offset 전압 모델링

일반적으로 stress를 받지 않은 fresh소자의 선형 영역에서 $I \sim V$ 특성은 다음과 같이 쓸 수 있다.

$$I_{D_{S1}} = \frac{W}{L} \mu_1 C_{ox} \left[(V_{GS1} - V_{T1}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (1)$$

Stress후 소자의 문턱전압과 이동도가 변하였다고 가정하면 stress 받은 소자의 선형영역에서 $I \sim V$ 특성은 다음과 같이 쓸 수 있을 것이다.

$$I_{D_{S2}} = \frac{W}{L} \mu_2 C_{ox} \left[(V_{GS2} - V_{T2}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (2)$$

여기서 첨자 1과 2는 각각 fresh소자와 stress를 받은 소자를 의미한다. offset전압의 정의로부터 V_{offset} 정의로부터

$$V_{offset} \equiv V_{GS2} - V_{GS1} \quad (3)$$

이며 fresh소자와 stress를 받은 소자의 문턱전압차이를 ΔV_T 로 표시하면 다음과 같이 쓸 수 있다.

$$\Delta V_T \equiv V_{T2} - V_{T1} \quad (4)$$

식 (1)과 (2)를 같게 놓고 식 (3)의 정의대로 offset 전압을 구하면 다음과 같게 된다.

$$V_{offset} = \left[\frac{\mu_1}{\mu_2} - 1 \right] (V_{GS1} - V_{T1}) - \left[\frac{\mu_1}{\mu_2} - 1 \right] \frac{1}{2} V_{DS} + \Delta V_T \quad (5)$$

계면상태의 양에 따른 이동도의 변화는 Sun과 Plummer의 실험적 관계식으로부터 다음과 같다.¹²⁾

$$\mu_2 = \frac{\mu_1}{1 + \alpha N_{it}} \quad (6)$$

여기서 α 는 상수이며 N_{it} 는 cm^2 단위당 계면상태의 밀도를 나타낸다. 식 (6)을 식(5)에 대입하면 V_{offset} 은 다음과 같게 된다.

$$V_{offset} = \alpha N_{it} \left[\frac{1}{V_{DS}} \right] \left[\frac{I_{D_{S1}} L}{W \mu_1 C_{ox}} + \frac{1}{2} V_{DS}^2 \right] - \frac{\alpha N_{it}}{2} V_{DS} \quad (7)$$

그리고 문턱전압을 어떤 일정한 전류에서의 게이트 전압으로 정의하면 ΔV_T 는 stress 전후의 게이트 전압 차이로 표시할 수 있다.¹³⁾

$$\Delta V_T = \left[\frac{\alpha I_{D_{S2}} L}{W \mu_1 C_{ox} V_D} \right] + \left[\frac{q}{C_{ox}} \right] N_{it} \quad (8)$$

식 (8)을 식(7)에 대입하면 offset전압은 다음과 같다.

$$V_{offset} = \alpha N_{it} \frac{L}{\mu_1 C_{ox}} \frac{1}{V_{DS}} \frac{2 I_{D_{S1}}}{W} + \frac{q N_{it}}{C_{ox}} \quad (9)$$

그런데 경계면 상태 N_{it} 는 V_{DS} 및 V_{GS} 의 함수관계가 있으므로 V_{DS} 가 아주 작은 값일때의 N_{it} 를 N_{it0} 로 정의하고 V_{DS} 에 따른 N_{it} 를 표시하면 다음과 같이 쓸 수 있을 것이다.

$$(N_{it})_{eff} = N_{it0} \left[A_1 \frac{V_{GS} - V_T}{V_{DS}} \right] \quad (10)$$

여기서 A_1 은 fitting 변수이다. 결국 식(10)을 식(9)에 대입하여 선형영역에서의 offset 전압모델은 다음과 같이 될것이다.

$$V_{offset} = \alpha N_{it0} \frac{A_2 L}{\mu C_{ox}} \left[\frac{1}{V_{DS}} \right]^2 \frac{2 I_{D_S}}{W} \left[\frac{I_D s L}{W \mu C_{ox}} + \frac{1}{2} V_{DS}^2 \right] + \frac{q N_{it0}}{C_{ox}} \frac{A_2}{V_{DS}} \left[\frac{I_D s L}{W \mu C_{ox}} + \frac{1}{2} V_{DS}^2 \right] \quad (11)$$

여기서 $A_2 = \sqrt{A_1}$ 인 fitting 변수이다.

2. 포화영역에서의 offset전압 모델링

선형에서와 같이 stress 받은 소자의 문턱전압과 이동도가 변하였다고 가정하고 또한 포화영역에서는 채널길이의 modulation이 변하였다고 가정하면 fresh 소자와 stress를 받은 소자의 $I \sim V$ 특성식은 다음과 같이 쓸 수 있을 것이다.

$$I_{D_{sat1}} = \frac{W}{L - \Delta L_1} \frac{\mu_1 C_{ox}}{2} \frac{(V_{GS1} - V_{T1})^2}{(1 + \delta)} \quad (12)$$

$$I_{D_{sat2}} = \frac{W}{L - \Delta L_2} \frac{\mu_2 C_{ox}}{2} \frac{(V_{GS2} - V_{T2})^2}{(1 + \delta)} \quad (13)$$

(12)와 식(13)을 같게 놓으면

$$F (V_{GS1} - V_{T1})^2 = S (V_{GS2} - V_{T2})^2 \quad (14)$$

여기서 $F = \frac{\mu}{L - \Delta L_1}$, $S = \frac{\mu}{L - \Delta L_2}$

식(3)과 같이 offset전압의 정의로부터 포화 영역에서의 offset전압은 다음과 같이 될것이다.

$$V_{offset} = \Delta V_T - \left[1 - \sqrt{\frac{F}{S}} \right] (V_{GS1} - V_{T1}) \quad (15)$$

포화영역에서 ΔV_T 의 값을 얻기위하여 Hsu와 같은 방법으로 계산을 하면 ΔV_T 는 다음과 같이 쓸 수 있다.

$$\Delta V_T = \alpha N_{it} \frac{L - \Delta L_2}{\mu_1 C_{ox} W} \frac{I_{D_{sat2}}}{V_{D_{sat}}} + \frac{q N_{it}}{C_{ox}} \approx \frac{\alpha N_{it}}{2 V_{D_{sat}}} (V_{GS1} - V_{T1})^2 + \frac{q N_{it}}{C_{ox}} \quad (16)$$

식(16)을 식(15)에 대입하면 다음과 같다.

$$V_{offset} = \frac{\alpha N_{it}}{2V_{D\ sat}} (V_{GS1} - V_{T1})^2 - (V_{GS1} - V_{T1}) + \sqrt{\frac{F}{S}} (V_{GS1} - V_{T1}) + \frac{4N_{it}}{C_{ox}}$$

그러나, $\frac{\alpha N_{it}}{2V_{D\ sat}} (V_{GS1} - V_{T1})^2 - (V_{GS1} - V_{T1}) \ll (1 + \alpha N_{it})^{\frac{1}{2}} (V_{GS1} - V_{T1})$

이며 $\left[\frac{F}{S}\right] \approx (1 + \alpha N_{it})$ 로 근사시킬 수 있으므로 식(17)은 다음과 같이 쓸 수 있다.

$$V_{offset} \approx (1 + \alpha N_{it}) \left[\frac{(L - \Delta L)}{\mu_1 C_{ox} W} \frac{qN_{it}}{D\ sat} \right] + \frac{qN_{it}}{C_{ox}} \tag{18}$$

식(10)을 식(18)에 대입하면

$$V_{offset} \approx \left[1 + \frac{N_{it0}}{2} A_2 \left(\frac{V_{GS} - V_T}{V_{DS}} \right) \left(\frac{(L - \Delta L_2)}{\mu_1 C_{ox} W} \right) \left(\frac{(L - \Delta L_1)}{\mu_1 C_{ox} W} \right) \frac{I_{D\ sat2}}{D\ sat} \right] + \frac{qN_{it} \alpha A_2}{C_{ox}} \frac{A_2}{V_{DS}} \frac{(L - \Delta L)}{C_{ox} W \mu} \frac{2I_{D\ sat}}{W} \tag{19}$$

III. 결 과

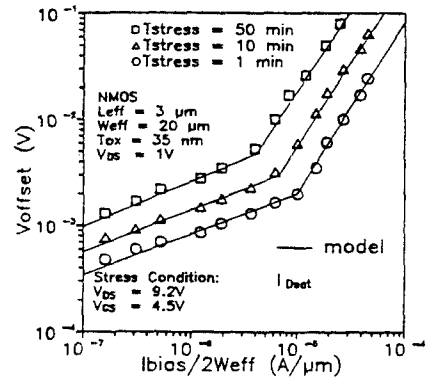
해석학적으로 모델링한 것을 실제 측정치와 비교하기 위하여 n형 다결정 실리콘을 사용한 표준공정으로 제작된 NMOSFET를 측정하였다. 모든 소자는 최악의 DC stress조건인 $I_{SUB}^3 / I_{DS}^2 \cdot W_{a,eff}$ 가 최대가 되는 조건에서 V_{DS} 와 V_{GS} 를 선정하였으며 stress 시간은 50분까지 하였다.

그림 3은 드레인 전류와 stress시간에 따른 offset전압변화를 측정하여 나타낸 것으로 stress를 인가하기 전에는 소자의 offset전압은 0mV로 가정하였다. 그림 3으로부터 포화영역에서는 드레인전류에 따라 offset전압이 많이 변하지 않지만 선형영역에서는 드레인전류에 따라 offset전압이 크게 변함을 알 수 있다.

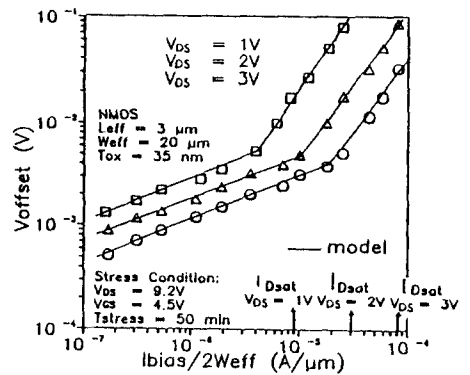
본 연구에서 제시한 모델의 타당성을 검증하기 위하여 여러가지 소자변수 및 측정 조건에 따른 offset전압의 변화를 측정치와 비교하고자 한다.

1. 드레인 전류와 V_{offset} 과의 관계

그림3은 드레인전류에 따른 offset전압변화를 측정치와 이론치를 비교하여 나타낸 것이다. 선형영역에서는 식(11)에서와 같이 V_{offset} 는 $(2I_{DS} / W)^{\frac{1}{2}}$ 으로 비교



(a)



(b)

그림 3. (a) 다른 드레인 전압에서 offset 전압 변화 (b) 다른 stress 시간에서 offset 전압 변화
Fig. 3. (a) Offset voltage at different drain biases, (b) Offset voltage at different stress times.

하는 것을 알 수 있다. 측정된 값과 이론에서 구한 드레인전류의 의존성이 완전히 일치하지는 않는데 이것은 식(1)과 같이 전류-전압 특성식을 간단하고 근사적인 것을 사용하였기 때문으로 생각된다. 또한 포화영역에서는 식(19)에서와 같이 V_{offset} 는 $(2I_{DS} / W)$ 로 비례하는 것을 알 수 있다. 마찬가지로 측정치와의 차이는 포화영역의 전류-전압특성식이 간단하고 근사적인것에서 간략된것으로 생각된다. 그림 3의a는 드레인 전압이 변할때 드레인 전류에 따른 V_{offset} 변화로 전압이 클수록 측정치와 이론치가 잘 일치함을 알 수 있다. 또한 그림3의 b는 stress시간이 변할 때 드레인 전류에 따른 V_{offset} 의 변화로써 stress 시간이 증가할수록 측정치와 이론치가 잘 일치함을 알 수 있다.

2. V_{DS} V_{offset} 의 관계

그림 4로부터 V_{DS} 가 증가할수록 V_{offset} 은 감소하는 것을 알 수 있는데 드레인 전류가 일정할 때 선형영역과 포화영역에서의 V_{DS} 와 V_{offset} 관계를 나누어서 측정치와 비교하였다. 식(11)로부터 선형영역에서 V_{offset} 은 V_{DS}^{-2} 로 비례하며 포화영역에서는 식(19)로부터 V_{offset} 은 V_{DS}^{-1} 로 비례하는 것을 알 수 있는데 이 의존성을 그림 4로 나타내었다. 그림 4로부터 선형영역에서 V_{offset} 의 크기변화가 포화영역에 비하여 큰 것을 알 수 있는데 이것은 hot electron에 의하여 생성된 유효 N_{it} 가 선형영역에서 크게 감소된 것으로 생각된다.

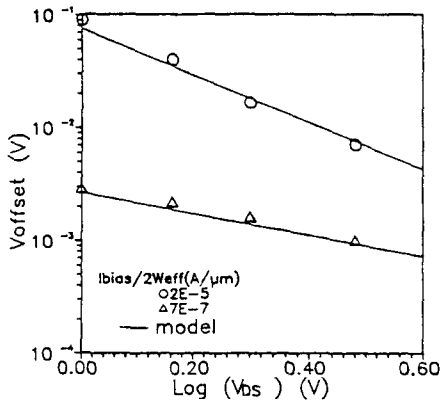


그림 4. Offset 전압과 드레인 전압의 상관 관계
Fig. 4. Correlation between offset voltage and drain voltage.

높은 V_{DS} 에서는 V_{offset} 전압이 거의 0V에 가까워지는 것을 알 수 있는데 이것은 stress를 받은 소자의 드레인전류가 fresh소자의 전류와 비슷한 값을 갖는 데서도 확인할 수 있었다. 이런 V_{DS} 에 따른 V_{offset} 의 감소원인은 낮은 V_{DS} 에서는 N_{it} 가 음전하로 대전되어 있으나 V_{DS} 가 증가할수록 quasi-fermi level이 낮아지게 되고 이것은 드레인부근의 N_{it} 를 비게 만드므로 I_{DS} 가 증가하게 되어 fresh소자와 유사하게 되는데 있다고 생각된다.

3. Stress 시간과 V_{offset} 의 관계

Stress시간이 증가될수록 Hot electron에 의한 소자의 노쇠화현상은 더욱더 심할 것이며 이로 인하여 V_{offset} 변화도 클 것이다. 그림3에서도 동일한 V_{DS} 와 I_{DS} 에서 stress시간이 큰 소자가 V_{offset} 변화가 큰 것을

알 수 있다. 식(9)와 식(10)에서 N_{it} 는 stress시간 T에 n승(T^n)으로 비례하므로 stress시간과 V_{offset} 의 관계를 구할 수 있다. 그림 5는 stress시간과 V_{offset} 의 관계를 나타낸 것으로 측정모델에서 구한 값과의 stress시간 의존성을 같이 나타내었다. 선형영역에서는 식(9)에서와 같이 V_{offset} 은 T^n 으로 비례하며 포화영역에서는 $T^{n/2}$ 로 비례하는 것을 알 수 있다. 그림 5로부터 구한 n은 약 0.5정도임을 알 수 있다. 그림 5의 관계로부터 실제 차동증폭기의 수명시간을 결정할 수도 있을 것으로 기대된다.

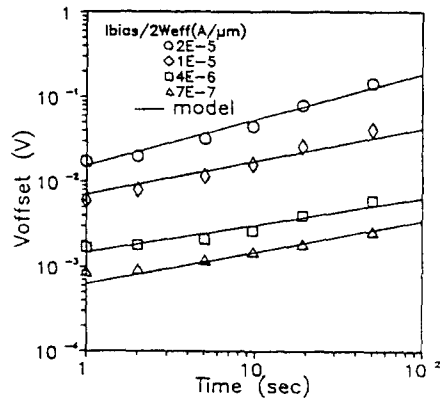


그림 5. Offset 전압과 stress 시간과의 상관관계
Fig. 5. Correlation between offset voltage and stress time.

4. 게이트산화층 두께와 V_{offset} 의 관계

소자의 크기가 같고 stress를 인가한 시간과 전압 조건이 같은 경우 즉, N_{it} 가 같은 경우 게이트 산화층의 두께가 작을수록 소자의 수명시간은 오히려 증가하는 것으로 알려져 있다. 그림 6은 T_{ox} 가 서로 다른 여러소자의 V_{offset} 변화를 측정치와 모델의 이론적인 관계를 나타낸 것이다. 모든 소자와 같은 N_{it} 를 갖게 하기 위하여 $I_{SUB}^3 / I_{DS}^2 \cdot W_{eff}$ 가 같은 값을 갖게 V_{OS} 와 V_{CS} 를 조절하여 stress를 인가하였다. 그림6으로부터 T_{ox} 가 클수록 V_{offset} 은 큰 것을 알 수 있는데 식(11)로부터 동일한 stress시간과 V_{DS} 에서 선형 영역에서는 V_{offset} 가 $T_{ox}^{3/2}$ 로 비례하며 포화영역에서는 거의 $T_{ox}^{1/2}$ 비례함을 알 수 있다.

IV. 결과 고찰

Stress를 인가하는 동안 hot electron에 의하여 생

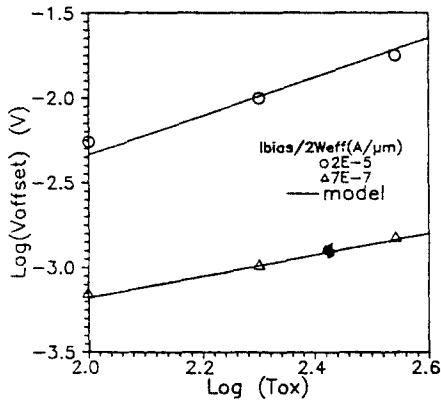


그림 6. Offset 전압과 SiO₂의 두께와의 상관 관계
Fig. 6. Correlation between offset volage and SiO₂ thickness.

생된 N_{it}중 quasi fermi 레벨보다 낮은 에너지레벨에 있는 N_{it}는 음전하로 대전하게 된다. 그러나 외부에서 인가되는 V_{DS}에 따라 quasi fermi 레벨이 변하게 되므로 실제 유효 N_{it}는 외부 인가 전압의 함수일 것이다. 이런 유효 N_{it}를 모델링하기 위하여 식(10)을 사용하였는데 이것은 실제 V_{offset}와 측정변수들과의 관계를 일치하기 위하여 가정한 모델로 K. Quader의 근사방법과 유사하다.¹⁴ V_{offset}는 N_{it}의 변화에 의하여 결정되는 것이므로 유효 N_{it}와 V_{DS}의 관계를 정확히 모델링하여야 더 정확하고 완전한 V_{offset}모델을 만들수 있을 것으로 생각된다.

일반적으로 hot electron에 의하여 degradation되는 정도 (D(%)) = ΔV_T, ΔG_m/G_m, ΔI_D/I_D등)와 시간과의 관계는 D(%) = A·tⁿ으로 나타낼 수 있다. 보통 n의 값이 0.3~0.7의 값을 갖으므로 본 연구의 그림 5로부터 구한 n의 값 0.5정도인 것을 고려할 때 간접적으로 본 모델의 타당성을 알 수 있다. 본 연구에서는 수식적 간편성을 고려하여 선형 및 포화영역에서 전류-전압 특성식을 간단한 것을 사용하였으므로 실제 측정치와 이론적인 모델의 변수 의존성에 얼마정도의 오차가 있었던 것으로 생각되나 표 1과 같은 V_{offset}와 소자의 변수 및 측정변수에 관한 설계는 실제 차동증폭기의 설계규칙 설정에 크게 이용될수 있을 것으로 기대된다.

V. 결 론

본 연구에서는 hot electron에 의한 소자 노화화에 의하여 CMOS 차동 증폭기의 입력 offset전압을 선

표 1. 모델 변수에 대한 V_{offset} 의존성
Table 1. V_{offset} model parametric dependence.

| V _{offset} Model Parametric Dependence | |
|---|------------------------------------|
| Linear Region | Saturation Region |
| $\left(\frac{I_{bias}}{W_{eff}}\right)^{3/2}$ | $(I_{bias}/W_{eff})^{1/4}$ |
| V _{DS} ⁻² | V _{DS} ^{-1/2} |
| T _{stress} ⁿ | T _{stress} ^{1/2} |
| T _{ox} ^{3/2} | T _{ox} ^{1/4} |
| L _{eff} ^{3/2} | L _{eff} ^{1/4} |

형 및 포화영역으로 나누어서 모델링하였다. Offset 전압은 fresh소자와 stress를 받은 소자의 전류-전압 특성으로 부터 구하였으며 stress를 인가하는 동안 생성된 N_{it}가 측정시의 V_{DS}전압에 따라 (N_{it})_{eff}로 값이 변함을 가정하여 모델링하였다. 모델의 타당성을 위하여 측정치와 비교한 결과 소자 및 측정 변수들에 의한 의존도는 거의 일치하였으나 사용한 전류-전압 특성식이 간단한 것을 사용하였으므로 오차가 조금 있었다.

모델의 타당성을 검증하기 위하여 측정치와 비교한 결과 간단한 전류-전압 특성식을 사용한 것으로 인한 조금의 오차는 있었으나 소자 및 측정 변수들에 의한 의존도는 거의 일치하였으므로 실제 설계자들이 차동 증폭기의 설계 규칙의 설정에 많이 이용할 수 있을 것으로 기대된다.

參 考 文 獻

- [1] J. Chung, M-C. Jeng, and C. Hu "Low voltage hot-electron currents and degradation in deep-submicrometer MOSFETs," *IEEE Trans. Electron Devices*, vol. 37, pp. 1651-1657, July 1990.
- [2] C. Hu, s. tam and K. Terril, "Hot electron-induced MOSFET degradation Model, monitor, and improvement," *IEEE Trans. Electron Devices*, vol. 32, pp. 375-384, 1985.
- [3] P. Heremans, R. Bellens, and H. Maes, "Consistant model for the hot-carrier degradation in n-channel and p-channel MOSFETs," *IEEE Trans. Electron Devices* vol. 35, pp. 2194-2209, 1988.
- [4] E. Takeda and N. Suzuki, "An empirical model for device degradation due to hot electron injection," *IEEE Electron Device Lett.*, vol. EDL-4, no. 4, pp. 111-113, 1983.

- [5] J. Winnerl, A. Lill, and f. Nepl, "Influence of transistor degradation on CMOS performance and impact on life time criterion," *Int. Elect. Device Meeting(IEDM) Technical Digest*, pp. 204-2107, 1988.
- [6] C. Duvury, et al, "Impact of hot carriers on DRAM circuits," International Reliability symposium(IRPS) Proceeding, pp. 201-206, 1987.
- [7] P. Lee, P. Ko, and C. Hu, "Relating CMOS inverter lifetime to DC hot-carrier lifetime of NMOSFETs," *IEEE Electron Device Letters*, vol. EDL-11, pp. 39-41, Jan 1990.
- [8] Q. Wang, et al, "Influence of MOSFET I-V Characteristics on Swiching Delay Time of CMOS Inverters After Hot Carrier Stress," *IEEE Electron Device Letters*, Vol. EDL-12, pp. 238-, May 1991.
- [9] J. Van der Pol and J. koomen, "Relation between the hot carrier lifetime of transistors and CMOS SRAM products," International Reliability Physics Symposium(IRPS) Proceedings, pp. 178-185, 1990.
- [10] J. Chung, et al, "The effects of hot-electron degradation on analog MOSFET Performance," *Int. Elect. Device Meeting (IEDM) Technical Digest*, pp. 553-556, 1990.
- [11] S. Mohanedi, V. Chan, J. Park, et al, "Hot electron induced input offset voltage degradation in CMOS differential amplifiers," International Reliability Physics symposium(IRPS) pp. 76-80, 1992.
- [12] S.C. Sun and J.D. Plummer, "Electron mobility in inversion and accumulation layers on thermally oxidizes silicon surfaces," *IEEE Trans. Electron Devices*, vol. EDL-27, pp. 1497-1503, 1980.
- [13] F.C. Hsu and S. Tam, "Relationship between MOSFET degradation and hot-electron induced interface state generation," *IEEE Electron Device Lett*, vol. EDL-5, no. 2, pp. 50-52, Feb. 1984.
- [14] Khandker N. Quader, et al, "A new approch for simulation of circuit degradation due to hot electron damage in NMOSFET," *Int. Elect. Device Meeting(IEDM) Technical Digest*, pp. 337-340, 1991.

著 者 紹 介

朴 鍾 泰(正會員) 第23卷 第3號 參照
 현재 인천대학교 전자공학과
 교수