

Buried Channel MOS 구조를 이용한 표면생성속도 측정 방법

(A Surface Generation Velocity Measurement Technique Using the Buried Channel MOS Structure)

曹 晟 豪*, 許 然 喆**, 李 鍾 德**

(Sung Ho Jo, Yeon Cheol Heo, and Jong Duk Lee)

要 約

채널층의 두께가 얇고 도핑이 낮은 BC(buried channel) MOS 구조를 이용하여 표면생성속도 S_0 를 gate-controlled diode S_0 측정 방법보다 더욱 정확하게 측정하는 방법(BC MOS S_0 측정 방법)을 제안하고 이를 해석적 및 실험적으로 검증하였다. 게이트 길이가 $171\mu\text{m}$ 인 BC MOS 구조 테스트패턴에서 S_0 를 측정한 결과, BC MOS S_0 측정방법 및 gate-controlled diode S_0 측정 방법으로 각각 0.66cm/sec 와 0.28cm/sec 의 측정결과를 얻었다.

Abstract

A measurement technique of the surface generation velocity S_0 using the BC(buried channel) MOS structure with shallow and low doped channel layer(BC MOS S_0 measurement technique) is presented and verified analytically and experimentally. Using this measurement technique, S_0 can be measured more accurately than that measured using the gate-controlled diode S_0 measurement technique. When S_0 is measured for the two techniques from a BC MOS structure test pattern with gate length of $171\mu\text{m}$, the results are 0.66cm/sec and 0.28cm/sec for the former and the latter respectively.

I. 서 론

완전히 공핍된 반도체 표면에서 캐리어가 열적으로 생성되는 정도를 나타내는 파라미터인 표면생성속도(surface generation velocity) S_0 를 측정하는 간단한 방법에는 C-t 측정^[1], linear sweep 측정^[2], GCD(gate-controlled diode) 구조를 이용한 S_0 측정(GCD S_0 측정)^[3] 등이 있으며, 이 중에서 GCD S_0 측정이 비교적 정확하다고 알려져 있다. 그러나 Pierret^[4]에 의하면 GCD S_0 측정에서도 게이트 아래의 표면을 완

전히 공핍시키지 못하기 때문에 실제의 S_0 보다 상당히 작은 측정값을 얻게 되는데, 이는 본질적으로 GCD 구조에서는 게이트 아래에 수평방향 전기장을 만들 수 없기 때문이다.

이러한 한계를 갖는 GCD 구조와는 달리, 채널층의 두께가 얇고 도핑이 낮은 BC MOS 구조에서는 채널층과 기판 사이에 높은 역방향전압을 가하여 게이트 아래에 수평방향 전기장을 만들 수 있다. 따라서 GCD 구조에 비해 표면을 더욱 공핍시킬 수 있어 S_0 를 보다 정확하게 측정할 수 있다. 본 논문에서는 이러한 특징을 갖는 BC MOS 구조를 이용하여 S_0 를 보다 정확하게 측정하는 방법을 제안하고 이를 해석적으로 검증한 다음, 측정 결과로부터 두 방법 사이의 차이를 확인하였다.

*準會員, **正會員, 서울대학교 電子工學科

(Dept. of Elec. Eng., Seoul Nat'l Univ.)

接受日字: 1992年 1月 7日

II. BC MOS 구조를 이용한 표면생성속도 측정 방법

1. GCD S_0 측정의 한계

그림1과 같은 n-기판에 만든 GCD 구조에서 S_0 를 측정하는 경우, p^+ -드레인에 작은 (-)전압 V_D 를 가하고 게이트 전압 V_G 를 (+)에서 (-)로 변화시켜 표면을 공핍시킨다. 이때 V_G 에 의한 표면의 공핍 영역에서 캐리어가 열적으로 생성되는데, 이 중에서 정공은 V_G 에 의한 수직방향 전기장에 의해 표면에 모인 후 V_D 가 가해진 p^+ -드레인으로 빠져나가며 생성전류 (generation current)를 이룬다. 이때 p-n-접합 부근을 제외한 게이트 아래의 대부분에는 수평방향 전기장이 없으므로 확산에 의해서만 생성전류가 흐른다.

그런데 확산에 의해 전류가 흐르기 위해서는 농도 차이가 있어야 하므로, p^+ -드레인에서 멀어질수록 정공 표면농도가 증가한다. 따라서 게이트가 조금만 길어도 표면의 대부분이 정공의 약한 반전(weak inversion) 상태가 되어 완전히 공핍되지 못하므로 실제의 S_0 보다 상당히 작은 값을 측정하게 된다. 이러한 GCD S_0 측정의 한계는 본질적으로 GCD 구조의 게이트 아래에 수평방향 전기장을 만들 수 없기 때문이다.

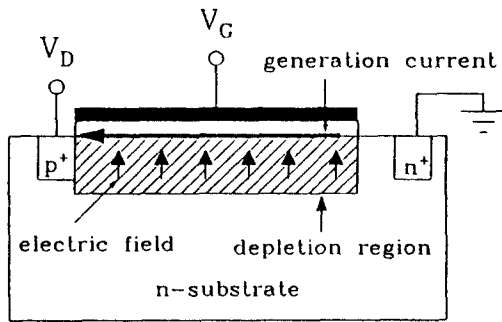


그림 1. GCD S_0 측정에서의 수직방향 전기장과 생성전류
 Fig. 1. The vertical electric field and the generation current in the GCD S_0 measurement.

2. BC MOS S_0 측정 방법의 측정 원리

BC MOS 구조는 근본적으로 p-n 접합 위에 MOS 커패시터가 있는 구조이며, 본 논문에서는 그림 2와 같은 n-채널 BC MOS 구조에 대해 고려한다. 먼저

채널층을 완전히 공핍시키는 역방향전압 V_{p1} 을 정의하는데, 이는 BC MOS 구조의 게이트를 float시킨 상태에서 채널층과 기판 사이의 역방향전압에 의해서만 채널층이 완전히 공핍될 때에 n^+ -드레인에 가해진 (+)전압이다. 만약 채널층의 두께가 두껍거나 도핑이 높으면 V_{p1} 이 매우 커져 채널층이 완전히 공핍되기 전에 breakdown이 일어나므로 본 논문에서 제안하는 BC MOS S_0 측정 방법을 사용할 수 없다. BC MOS S_0 측정에서 게이트에는 V_{p1} 보다 1~2V 정도 높은 전압 V_G 를 가하는데, n^+ -드레인에 V_{p1} 을 가하면 BC MOS 구조의 수직방향 에너지밴드가 그림3과 같게 된다. 이때 $V_G > V_{p1}$ 이므로 표면에는 전자가 축적되는데, 이를 공핍시키고 수평방향 전기장을 만들기 위해 V_G 보다 4~5V 정도 높은 전압 V_D 를 n^+ -드레인에 가하고 측정하게 된다. 축적된 전자가 공핍되면 p-기판의 공핍영역이 약간 늘어나므로 채널층과 기판 사이의 역방향전압은 V_{p1} 보다 좀더 증

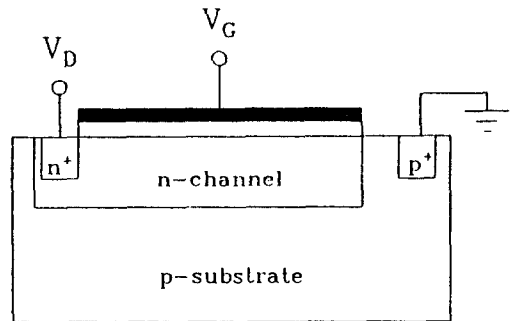


그림 2. n-채널 BC MOS 구조
 Fig. 2. The n-channel BC MOS structure.

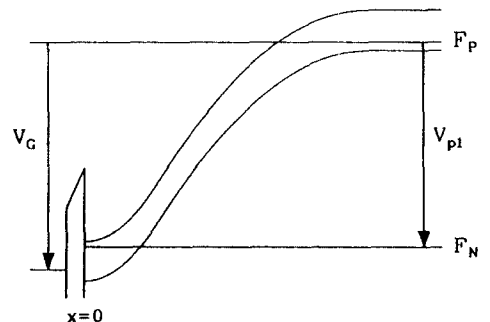


그림 3. $V_G = V_{p1} + 1 \sim 2V, V_D = V_{p1}$ 일 때의 BC MOS 구조의 수직방향 에너지밴드
 Fig. 3. The vertical energy band of BC MOS structure when $V_G = V_{p1} + 1 \sim 2V, V_D = V_{p1}$.

가한다. 증가된 역방향전압을 V_{p2} 라 하면 $V_{p1} < V_{p2} < V_c$ 인데, $V_c < V_D$ 이므로 $V_D - V_{p2}$ 만큼의 전압은 n^+ -드레인에서 전자를 공핍시킨다. 따라서 n^+ -드레인의 공간전하로부터 전기장이 그림4와 같이 생기는데, 이는 역방향전압에 의해 완전히 공핍된 n-채널층에는 (-)전하가 거의 없으므로 n^+ -드레인의 공간전하에서 시작된 전기장이 p-기판까지 뻗기 때문이다. 이로 인해 p-기판의 공핍영역의 크기는 위치에 따라 달라지며, 이 전기장의 수평방향 성분이 BC MOS 구조의 게이트 아래의 수평방향 전기장이 된다.

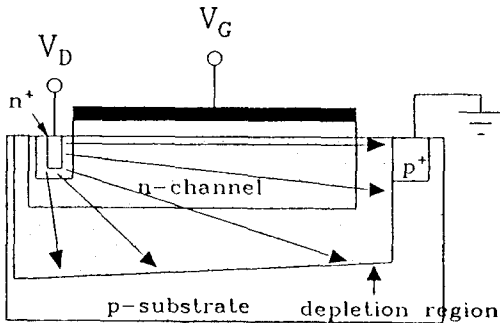


그림 4. n^+ -드레인에서 p-기판으로 생긴 전기장
Fig. 4. The electric field from n^+ -drain to p-substrate.

공핍영역에서 생성된 전자는 역방향전압에 의한 수직방향 전기장에 의해 표면에 모인 후 V_D 가 가해진 n^+ -드레인으로 빠져나가며 생성전류를 이루는데, 이때 전자가 주로 수평방향 전기장에 의해 흐르므로 n^+ -드레인으로부터 멀어질수록 전자 표면농도가 증가하는 정도가 GCD S_0 측정에서보다 상당히 작다. 따라서 표면이 완전 공핍상태에 보다 근접하게 된다.

앞서 설명한 전압을 가하여 표면을 공핍시킨 상태에서 S_0 를 구하기 위해서는 V_c 를 초기에 가한 전압보다 증가시키면서 채널층에 흐르는 생성전류 I_D 를 측정한다. 처음에 V_c 가 증가하면 I_D 가 약간 증가하는데, 이는 V_c 의 증가에 따라 표면전위가 증가하므로 p-기판의 공핍영역이 약간 늘어나서 공핍영역에서의 생성전류가 증가하기 때문이다. V_c 가 계속해서 증가하면 표면전위가 V_D 에 근접하게 되어 전자가 n^+ -드레인에서 표면으로 흘러들어와 축적되므로 표면에서의 캐리어 생성이 억제된다. 따라서 I_D 가 표면에서의 생성전류 만큼 감소하게 되므로, I_D 가 감소한 정도 ΔI_D 로부터 식(1)을 사용하여 S_0 를 계산한다.³⁾ 여기서 A는 게이트 면적이다.

$$\Delta I_D = qn_1AS_0 \tag{1}$$

3. BC MOS S_0 측정 방법의 해석적 검증

BC MOS S_0 측정에서는 수평방향 전기장에 의해 표면이 완전 공핍상태에 보다 근접하므로 GCD S_0 측정에 비해 실제의 S_0 에 보다 근접한 S_0 를 측정할 수 있다는 것을 해석적으로 검증하였다. 이를 위하여, 도핑이 균일한 n-채널 BC MOS 구조에서 BC MOS S_0 측정을 하기 위해 앞서 설명한 전압을 게이트 및 드레인에 가한 경우의 전자 표면농도 분포를 결정하는 미분방정식을 유도하고, 이의 근사적 해를 구하여 고찰하였다. 미분 방정식의 유도 과정은 기본적으로 Pierret⁴⁾가 GCD S_0 측정에서의 캐리어 표면농도를 결정하는 미분방정식을 유도한 과정과 같지만, Pierret와는 달리 수평방향 전기장을 고려하였다.

1) 미분방정식의 유도

먼저 게이트 길이와 폭이 각각 L, Z이고 n-채널층과 p-기판의 일정한 도핑이 각각 N_D, N_A 인 n-채널 BC MOS 구조에 그림5와 같은 좌표계를 설정한다. 앞서 설명한 V_c 와 V_D 가 가해져 채널층이 완전히 공핍된 BC MOS 구조의 x-방향 에너지밴드는 그림6과 같으며, 여기서 X_j 는 n-채널층 두께, X_d 는 $N_D X_j = N_A X_d$ 를 만족시키는 p-기판의 공핍영역의 크기, ΔX_d 는 p-기판의 공핍영역의 전체 크기에서 X_d 를 뺀 크기, F_N 과 F_p 는 전자 및 정공의 quasi-Fermi 준위이다. 공핍영역에서 F_N 과 F_p 가 각각 일정하다고 두고 그림6의 x-방향 에너지밴드에 대한 1차원 Poisson 방정식을 적분하면 식(2)와 같은 게이트 단위면적당 게이트 아래에 있는 전자의 양 N과 전자 표면농도 n_s

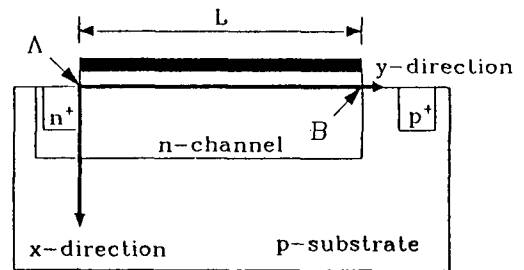


그림 5. 해석적 검증을 위해 n-채널 BC MOS 구조에 설정한 좌표계
Fig. 5. The coordinate system of the n-channel BC MOS structure for the analytic verification.

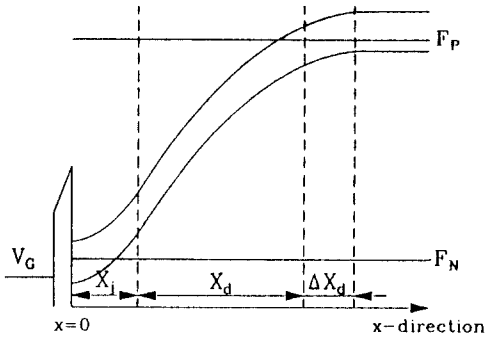


그림 6. BC MOS S₀ 측정에서의 n-채널 BC MOS 구조의 x-방향 에너지밴드

Fig. 6. The x-direction energy band of the n-channel BC MOS structure in the BC MOS S₀ measurement.

사이의 근사적인 관계를 얻는다.⁴⁾

$$N = \left(\frac{\epsilon_{si}}{q} \right) \left(\frac{kT}{q} \right) \frac{n_s}{N_A \Delta X_d} \quad (2)$$

한편 표면을 따라 흐르는 생성전류 I_g와 N 및 F_N의 y-방향 변화 사이의 관계는 식(3)과 같다.⁴⁾ 여기서 μ_n^{*}는 공핍영역에서의 평균 전자이동도이다.

$$I_g = Z \mu_n^* N \frac{dF_N}{dy} \quad (3)$$

식(4)와 같이 규격화한 변수를 사용하고 식(2)를 식(3)에 대입하면 식(5)를 얻는다. 여기서 E_i^(s)는 표면의 진성 Fermi 준위이고, E_L은 표면의 수평방향 전기장으로 식(6)과 같다.

$$\eta = \frac{n_s}{n_i} = \exp[(F_N - E_i^{(s)})/kT], \quad \zeta = \frac{y}{L} \quad (4)$$

$$\left. \begin{aligned} I_g &= A^* \left(\frac{d\eta}{d\zeta} + \frac{qLE_L}{kT} \eta \right) \\ A^* &= \left(\frac{Z}{L} \right) \mu_n^* \epsilon_{si} \left(\frac{kT}{q} \right)^2 \frac{n_i}{N_A \Delta X_d} \end{aligned} \right\} \quad (5)$$

$$E_L = \frac{1}{q} \frac{dE_i^{(s)}}{dy} \quad (6)$$

ζ에 대한 ΔX_d의 미분이 식(7)임을 고려하여 I_g를 y에 대해 미분하면 식(8)이 된다.

$$\frac{d\Delta X_d}{d\zeta} = - \frac{\epsilon_{si} L E_L}{qN_s (X_j + X_d + \Delta X_d)} \quad (7)$$

$$\left. \begin{aligned} \frac{dI_g}{dy} &= \frac{A^*}{L} \left(\frac{d^2\eta}{d\zeta^2} + a \frac{d\eta}{d\zeta} + b\eta \right) \\ a &= \left(\frac{q}{kT} + \frac{\epsilon_{si}}{qN_s (X_j + X_d + \Delta X_d) \Delta X_d} \right) L E_L \\ b &= \frac{qL^2}{kT} \left(\frac{dE_L}{dy} + \frac{\epsilon_{si} E_L^2}{qN_s (X_j + X_d + \Delta X_d) \Delta X_d} \right) \end{aligned} \right\} \quad (8)$$

한편 공핍영역 및 표면에서 생성된 전자가 I_g에 더해짐에 따라 y-방향으로 I_g가 변하는 정도는 식(9)와 같으며, G_D와 G_S는 각각 공핍영역과 표면에서 단위시간 동안 게이트 단위면적당 생성되는 전자의 양을 나타낸다. G_D는 식(10)과 같이 근사할 수 있으며, W_c는 캐리어 생성에 기여하는 공핍영역의 크기이고 τ_g는 평균생성수명이다.⁵⁾

$$\frac{dI_g}{dy} = -q Z (G_D + G_S) \quad (9)$$

$$G_D = \frac{n_i W_c}{\tau_g} \quad (10)$$

식(8)을 식(9)에 대입하면 식(11)이 되며, 이 식이 n-채널 BC MOS 구조에 대해 BC MOS S₀ 측정을 하는 경우의 전자 표면농도 분포를 결정하는 미분방정식이다. 식(11)에서 수평방향 전기장을 0으로 두면 Pierret가 GCD S₀ 측정에 대해 유도한 미분방정식이 된다.

$$\frac{d^2\eta}{d\zeta^2} + a \frac{d\eta}{d\zeta} + b\eta = - \frac{q Z L}{A^*} (G_D + G_S) \quad (11)$$

2) 미분방정식의 근사해

앞서 유도한 미분방정식에서는 G_S가 전자 표면농도, 즉 η의 복잡한 함수이고, ΔX_d와 E_L이 위치의 함수이어서 a, b, A*가 상수가 아니기 때문에 정확한 해를 구하기가 매우 어렵다. 따라서 정확한 전자 표면농도 분포를 구하는 대신 다음과 같은 근사를 사용한 근사해를 구하여, BC MOS S₀ 측정에서는 수평방향 전기장에 의해 표면이 완전 공핍 상태에 근접하게 됨을 검증하였다. 우선 높은 역방향전압을 가하는 BC MOS S₀ 측정에서는 공핍영역이 상당히 크므로, 식(10)과 같이 공핍영역의 크기에 비례하는 G_D에 비해 G_S가 무시할 정도로 작다. 또한 ΔX_d의 위치에 따른 변화 역시 매우 작으므로 이를 상수로 둘 수 있다.

한편 수평방향 전기장도 위치에 따라 달라지는데, 실제로 본 논문에서 고려하는 BC MOS 구조에서는 n⁺-드레인의 두께와 n-채널층의 두께가 비슷하고, 전자 표면농도에 영향을 주는 수평방향 전기장은 n⁺

-드레인의 측면에서 n-채널층의 측면으로 뻗으므로 수평방향 전기장은 근사적으로 평판 커패시터에서의 전기장과 같다. 따라서 수평방향 전기장은 균일하다고 근사할 수 있다.

식(10)을 식(11)에 대입한 후 이러한 근사를 사용하면 식(12)의 미분방정식을 얻는다.

$$\left. \begin{aligned} \frac{d^2\eta}{d\xi^2} + a\frac{d\eta}{d\xi} + b'\eta &= -A \\ b' &= \frac{qL^2}{kT} \left(\frac{\epsilon_{s1} E_L^2}{qN_A(X_j + X_d + \Delta X_d) \Delta X_d} \right) \\ A &= \frac{q Z L n_i W_G}{\tau_g A^*} \end{aligned} \right\} \quad (12)$$

식(12)에서는 a, b', A가 모두 상수이므로 해를 해석적으로 쉽게 구할 수 있으며 일반해는 다음과 같다.

$$\left. \begin{aligned} \eta &= \alpha \exp[\lambda_1 \xi] + \beta \exp[\lambda_2 \xi] - \frac{A}{b'} \\ \lambda_1 &= \frac{1}{2} (-a + (a^2 - 4b')^{1/2}) \\ \lambda_2 &= \frac{1}{2} (-a - (a^2 - 4b')^{1/2}) \end{aligned} \right\} \quad (13)$$

한편 앞의 그림5에서 A점 ($\xi=0$)은 n⁺-드레인에 붙어 있으므로 여기서의 전자농도는 거의 0이라 둘 수 있고 ($\eta=0$), B점 ($\xi=1$)에서의 생성전류는 채널층 측면의 p-n 접합누설전류인데 이는 전체 생성전류에 비해 무시할 수 있다 ($I_g=0$). 이러한 경계조건을 사용하면 α 와 β 는 식(14)와 같다. 식(13)과 식(14)가 n-채널 BC MOS 구조에 대해 BC MOS S₀ 측정을 하는 경우의 전자 표면농도 분포를 근사적으로 나타낸다.

$$\alpha = \frac{A \lambda_2}{b'(\lambda_2 - \lambda_1) \exp[\lambda_1]} \cdot \beta = \frac{A}{b'} - \alpha \quad (14)$$

3) 근사해의 계산 결과 및 고찰

앞서 구한 근사해를 실제로 측정에 사용한 BC MOS 구조 테스트 패턴으로부터 추출한 파라미터 값을 사용하여 계산하였다. 구체적인 파라미터 값은, 게이트 산화막 두께 700Å, N_D=1.5×10¹⁶/cm³, N_A=5.0×10¹⁵/cm³, X_j=0.5μm, τ_g=6.0μsec, L=171μm이고, μ_n^{*} 대신에 벌크에서의 전자이동도를 사용하였다. 또한 전압 조건은 V_g=12.5V, V_D=13.5V이다. 한편 수평방향 전기장의 크기로는 20V/cm를 가정하였는데 이는 근사해의 계산 결과와 측정결과 사이의 fitting으로부터 구한 근사값이다. 규격화된 전자 표면농도 η의 근사해를 계산한 결과는 그림7과 같으며, n⁺-드레인으로부터 멀어짐에 따라 전자 표면농도가 증

가하다가 오히려 감소하게 되어 게이트 아래의 표면이 완전 공핍 상태에 거의 근접하게 됨을 알 수 있다. 또한 그림7에는 전자 표면농도로부터 표면이 공핍되는 정도 γ^(%)를 백분율로 계산하여 함께 나타내었는데, 계산된 γ를 게이트 길이에 대해 평균한 값 γ_{av}는 81%이다. 같은 가정 및 파라미터 값과 전압 조건으로 V_D=2V, V_G=3.5V를 사용하여 Pierret가 GCD S₀ 측정에 대해 유도한 미분방정식의 해를 계산하면 그림8과 같으며, 수평방향 전기장이 없기 때문에 계속해서 증가한다. 또한 표면농도로부터 계산된 γ를 그림8에 함께 나타내었는데, 이를 평균한 γ_{av}는 30%이다.

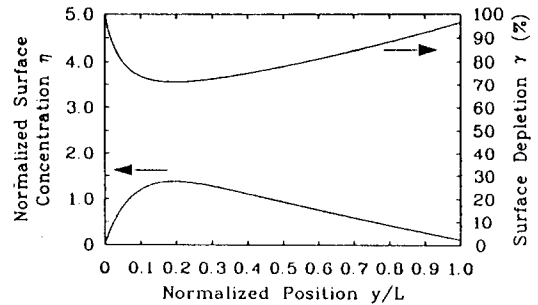


그림 7. BC MOS S₀ 측정에서의 위치에 따른 η 및 γ
Fig. 7. The η and γ vs. position in the BC MOS S₀ measurement.

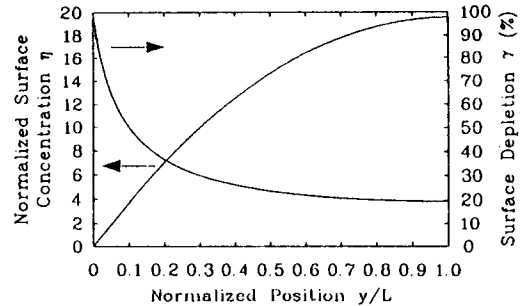


그림 8. GCD S₀ 측정에서의 위치에 따른 η 및 γ
Fig. 8. The η and γ vs. position in the GCD S₀ measurement.

이러한 BC MOS S₀ 측정방법 및 GCD S₀ 측정방법에 대한 표면농도 계산 결과 사이의 차이가 BC MOS S₀ 측정 방법에서는 게이트 아래의 표면에 수평방향 전기장이 존재하기 때문에 생긴다는 것을 보이기 위해, 수평방향 전기장이 0V/cm인 경우와 20V

/cm인 경우에 대해 계산된 근사해를 그림9에 나타내었다. 그림9로부터 계산 결과와 측정 결과 사이의 fitting으로부터 구한 20V/cm의 매우 작은 수평방향 전기장에 의해서도 표면이 완전 공핍상태에 충분히 근접하게 됨을 알 수 있다. 또한 수평방향 전기장이 0V/cm인 경우에 대한 근사해와 그림8을 비교하면, BC MOS S_0 측정에서 수평방향 전기장이 생기지 않는다면 GCD S_0 측정의 경우와 마찬가지로 n^+ -드레인으로부터 멀어짐에 따라 표면농도가 계속해서 증가하여 표면이 충분히 공핍되지 않기 때문에 두가지 방법으로 구한 S_0 사이의 차이가 크지 않을 것으로 예상된다. 그런데 실제로 두가지 방법으로 측정한 S_0 사이의 차이는 다음에 기술한 바와 같이 매우 크므로 BC MOS S_0 측정에서는 수평방향 전기장이 존재함이 간접적으로 증명된다.

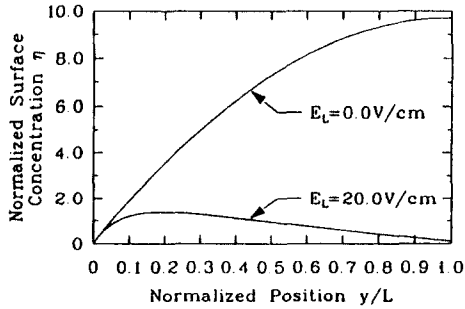


그림 9. $E_L=0V/cm$ 인 경우와 $E_L=20V/cm$ 인 경우의 BC MOS S_0 측정에서의 위치에 따른 η
 Fig. 9. The η vs. position in the BC MOS S_0 measurement for $E_L=0V/cm$ and $E_L=20V/cm$.

한편 그림10은 다른 파라미터 값들은 바꾸지 않고 게이트 길이만을 $10\mu m$ 에서 $300\mu m$ 로 변화시키면서 BC MOS S_0 측정 및 GCD S_0 측정에 대해 계산한 γ_{av} 를 나타낸 것이다. 이로부터 GCD S_0 측정에서는 측정된 S_0 가 측정에 사용한 테스트패턴의 게이트 길이에 따라 많이 달라지지만, BC MOS S_0 측정에서는 측정된 S_0 가 게이트 길이의 영향을 비교적 덜 받음을 알 수 있다.

4. BC MOS S_0 측정 방법의 실험적 검증

1) 측정 조건

본 논문에서 제안한 BC MOS S_0 측정 방법으로 GCD S_0 측정에 비해 더욱 정확한 S_0 를 측정할 수 있다는 것을 실험으로 확인하기 위해, 게이트 폭이

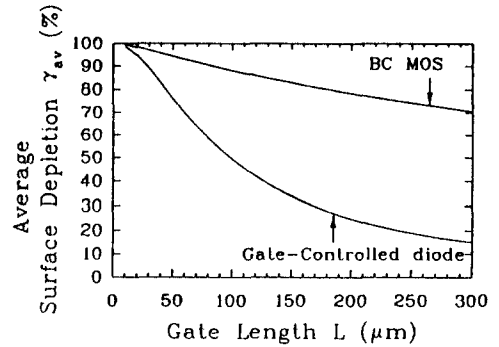


그림10. 게이트 길이의 변화에 따라 BC MOS S_0 측정 및 GCD S_0 측정에 대해 계산된 γ_{av}
 Fig. 10. The calculated γ_{av} vs. the gate length for the BC MOS S_0 measurement and the GCD S_0 measurement.

$769\mu m$, 게이트 길이가 $171\mu m$ 인 n-채널 BC MOS 구조 테스트패턴에서 BC MOS S_0 측정 방법 및 GCD S_0 측정 방법으로 S_0 를 측정하였다. BC MOS S_0 측정의 경우에는, $V_b=15V$, $V_c=10V$ 를 가하여 표면을 공핍시킨 후 V_c 를 $17V$ 까지 증가시키면서 V_c 에 따른 I_b 를 측정하였다.

한편 원래의 GCD S_0 측정에서는 채널층이 없는 구조를 사용하지만, 공정 조건이 달라짐에 따라 S_0 의 측정값이 변하는 것을 배제하기 위해 동일한 테스트패턴에서 GCD S_0 측정을 하였다. BC MOS 구조 테스트패턴에서 GCD S_0 측정을 하기 위해서는 $V_b=2V$, $V_c=3V$ 를 가한 다음 V_c 를 $-7V$ 까지 감소시키면서 V_c 에 따른 I_b 를 측정하였다. 이때 n-채널층과 p-기판 사이의 역방향전압 V_b 가 작기 때문에 BC MOS S_0 측정에서와는 달리 n-채널층에 중성영역이 존재하고, 또한 역방향전압에 의해 p-기판의 정공이 채널층으로 주입되지 않는다. 따라서 이러한 GCD S_0 측정 조건은 n-채널층과 같은 농도를 갖는 기판에 만든 GCD 구조에 대한 GCD S_0 측정과 동일하다.

2) 측정 결과 및 검토

위의 측정 조건에서 BC MOS S_0 측정 방법 및 GCD S_0 측정 방법으로 같은 BC MOS 구조 테스트패턴에서 V_c 에 따른 I_b 를 측정한 결과는 그림11 및 그림12와 같다.

I_b 의 측정 결과에 나타난 ΔI_b 로부터 계산된 S_0 는, BC MOS S_0 측정 방법의 경우에 $0.66cm/sec$ 이고 GCD S_0 측정 방법의 경우에 $0.28cm/sec$ 이다. 두가지 방법으로 측정한 S_0 를 비교하면 BC MOS S_0 측정 방법으로 구한 S_0 가 2.4배 크며, 동일한 BC MOS

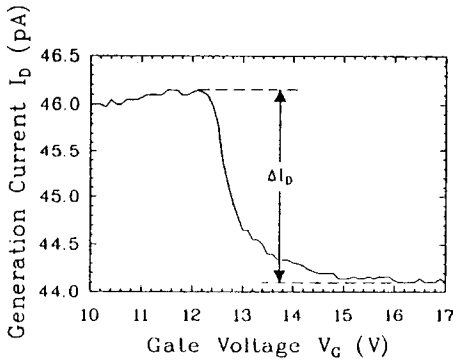


그림 11. BC MOS S_0 측정 방법으로 측정한 생성전류

Fig. 11. The generation current measured by following the BC MOS S_0 measurement technique.

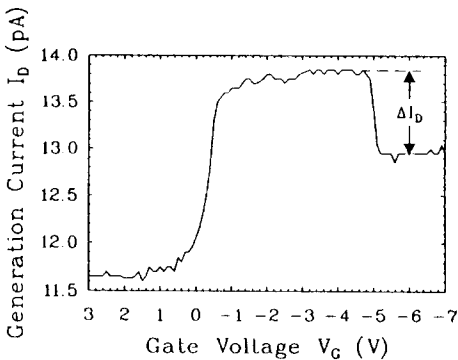


그림 12. GCD S_0 측정 방법으로 측정한 생성전류

Fig. 12. The generation current measured by following the GCD S_0 measurement technique.

구조 테스트패턴에서 측정하였기 때문에 이러한 두 측정 결과 사이의 차이는 단지 측정 방법에 따른 차이이다. 두가지 측정 결과의 차이가 매우 크게 나타나고 있는데, 이는 근사해의 고찰에서 살펴본 바와 같이 BC MOS S_0 측정에서는 게이트 아래의 표면에 수평방향 전기장이 존재하여 표면이 완전 공핍상태에 보다 근접하게 되기 때문이다. 따라서 본 논문에서 제안한 BC MOS S_0 측정 방법을 사용하여 GCD S_0 측정 방법에 비해 실제의 S_0 에 보다 가까운 측정 결과를 얻게 됨이 실험적으로 검증된다.

III. 결 론

표면생성속도 S_0 를 측정하는데 일반적으로 사용되

는 GCD S_0 측정에서는 표면이 완전히 공핍되지 않기 때문에 실제의 S_0 보다 상당히 작은 S_0 를 측정하게 되며, 이러한 현상은 게이트 아래에 수평방향 전기장이 없기 때문에 일어난다. 본 논문에서는 이러한 GCD S_0 측정의 한계를 극복하기 위해 채널층의 두께가 얇고 도핑이 낮은 BC MOS 구조를 사용하여 보다 정확한 S_0 를 구하는 측정 방법을 제안하고 이를 검증하였다. 이 BC MOS S_0 측정 방법에서는 채널층과 기판 사이에 가해지는 높은 역방향 전압으로 인해 게이트 아래의 표면에 수평방향 전기장이 생성되므로 표면이 완전 공핍상태에 보다 근접하게 된다. 이때 수평방향 전기장의 크기가 매우 작더라도 표면이 완전 공핍 상태에 충분히 근접하게 되어 GCD S_0 측정에 비해 상당히 큰 S_0 가 측정된다는 것을 해석적으로 검증하였다. 또한 BC MOS S_0 측정 결과가 GCD S_0 측정에 비해 테스트패턴의 게이트 길이에 영향을 덜 받음도 보였다. 실제로 BC MOS S_0 측정 방법을 사용하면 GCD S_0 측정에 비해 더 큰 S_0 를 측정하게 된다는 것을 검증하기 위해 이들 두가지 방법으로 게이트 길이가 $171\mu\text{m}$ 인 BC MOS 구조 테스트패턴에서 S_0 를 측정하였는데, BC MOS S_0 측정 방법 및 GCD S_0 측정 방법으로 구한 S_0 는 각각 0.66cm/sec 와 0.28cm/sec 이었다. 일반적으로 GCD S_0 측정 방법으로는 실제의 S_0 에 비해 상당히 작은 S_0 를 측정하게 되므로, BC MOS S_0 측정 방법을 사용하여 실제의 S_0 에 보다 근접한 측정 결과를 얻을 수 있음이 실험적으로 검증되었다.

본 논문에서 제안한 BC MOS S_0 측정 방법을 사용하면 표면에서의 캐리어 생성이 동작 특성에 중요한 영향을 미치는 CCD형 고체촬상소자 등의 BC MOS 구조에서 S_0 를 보다 정확하게 측정할 수 있다.

參 考 文 獻

- [1] J.S. Kang and D.K. Schroder, "The pulsed MIS capacitor-a critical review," *Phys. Stat. Sol.*, 89a, pp. 13-43, 1985.
- [2] R.F. Pierret, "A linear sweep MOS-C technique for determining minority carrier lifetimes," *IEEE Trans. Electron Devices*, vol. ED-19, pp. 869-873, 1972.
- [3] Dieter K. Schroder, *Advanced MOS Devices*, in *Modular Series on Solid State Devices*, Addison-Wesley Publ. Co., Reading, MA, 1987.
- [4] R.F. Pierret, "The gate-controlled diode S_0

measurement and steady-state lateral current flow in deeply depleted MOS structures," *Solid-State Electronics*, vol. 17, pp. 1257-1269, 1974.

"Theoretical and practical investigation of the thermal generation in gate controlled diodes," *Solid-State Electronics*, vol. 24, no. 9, pp. 869-877, 1981.

[5] Jan van der Spiegel and Gilbert J. Declerck,

著 者 紹 介



曹 晟 豪 (準會員)

1966年 11月 11日生. 1989年 2月 서울대학교 전자공학과 졸업. 1992年 2月 서울대학교 대학원 전자공학과(석사). 1992年 3月~ 현재 서울대학교 대학원 전자공학과 박사과정. 주관심분야는 반도체 소자 제조 및 분석 등임.



許 然 喆 (正會員)

1965年 12月 2日生. 1988年 2月 서울대학교 전자공학과 졸업. 1990年 2月 서울대학교 대학원 전자공학과(석사). 1990年 3月~ 현재 서울대학교 대학원 전자공학과 박사과정. 주관심분야는 반도체 소자 제조 및 분석 등임.

李 鍾 德 (正會員) 第29卷 A編 第5號 參照
현재 서울대학교 전자공학과 교수