

論文92-29A-7-3

대용량 2단 ATM스위치와 그 특성에 관한 연구

(A Study on the Two-Stage ATM Switch and Its Traffic Characteristics)

宋 光 錫*, 金 潤 哲**, 韓 致 文***, 李 太 遠****

(Kwang Suk Song, Yun Cheol Kim, Chi Moon Han and Tae Whon Rhee)

要 約

본 논문에서는 대용량 2단 ATM스위치를 제안하고 그 성능에 대한 수학적 해석을 하였다. 제안된 대용량 2단 ATM스위치는 소팅망과 복수개의 단위 스위치로 이루어져 있다. 제안된 스위치는 셀프라우팅 방식이고 넌블록킹 특성을 갖는다. 또한 최대 스루풋은 100%이고 일반적인 출력버퍼형 스위치들에 있어서 단점이되는 속도증가도 필요 없는 구조를 가지고 있다. 입력선수의 제곱이 되는 요소가 없으므로 하드웨어복잡도는 적다고 말할 수 있고, 이는 주로 소팅망에 좌우되는데 소팅망은 그 구조가 규칙적이기 때문에 VLSI화 하기에 용이한 구조를 가지고 있다.

Abstract

In this paper, a new large scale ATM switch architecture for Broadband ISDN is presented and its performance is analyzed mathematically. The proposed two-stage ATM switch consists of a sorting network and several unit switches. The proposed switch is self-routing and nonlocking. Its maximum throughput is 100% without speedup which other output buffered switch needs. The hardware complexity mainly depends on that of a sorting network, but sorting network is easy to be implemented to VLSI because of its regularity in the structure.

1. 서 론

광대역 종합정보통신망의 다양한 서비스를 효율적으로 구현하기 위하여 CCITT에서는 ATM(asynchronous transfer mode) 방식을 권고한 바 있다. ATM 통신방식에 관한 연구는 그 동안의 ATM 스위치망 구조 연구 관점으로부터 ATM 교환시스템 구조 연구 및 이의 실현 방안에 관한 연구로 이행되고 있다. 즉 ATM 교환시스템

실현을 위한 경제성있고 신뢰성있는 대규모 스위치망 구성방식, ATM 프로토콜의 최적 실현구조, ATM망에서의 트래픽 제어기술 및 고속 LSI 제조기술 등이 중요한 연구분야로 부각되고 있다. 이 가운데 대규모 스위치 구성분야는 ATM 시스템 구성을 위한 중요한 분야 중의 하나로서 앞으로 상용화를 전제로 할 때에는 회선규모가 수 천 내지 수만 정도이고 terabit 정도의 교환용량을 갖는 대규모 스위치망 구성이 필요할 것으로 예상되고있다¹⁾. 그러나 현재까지 발표된 대부분의 ATM 스위치는 ATM 개념도입의 타당성 내지는 실현성을 입증하기 위한 것으로 수내지 수십회선 정도의 소규모가 대부분이며 주로 스위치의 고성능화, 낮은 셀지연 및 낮은 셀패킷 특성 등에 초점이 맞추어져 왔다^{2,3)}.

*準會員,**正會員,韓國電子通信研究所

(Electronic Telecommunication Research Institute)

準會員,*正會員,高麗大學校 電子工學科

(Dept. of Elec. Eng., Korea Univ.)

接受日次: 1992年 2月 8日

그동안 연구 및 발표된 ATM 스위치들은 크게 블럭킹 스위치와 언블럭킹 스위치로 분류할 수 있다. 이 가운데 블럭킹 스위치는 하드웨어가 비교적 간단하여 실현하기가 용이하며 경로제어를 분산처리하는 장점이 있으나 낮은 스루풋과 넌유니폼트래픽 특성이 좋지않으므로 광대역 ISDN에는 부적합하다. 언블럭킹 스위치의 경우에는 버퍼위치에 따라 입력버퍼형, 출력버퍼형, 공유버퍼형 스위치로 나눌 수 있는데 입력버퍼형 스위치의 경우 낮은 하드웨어 복잡도와 분산 경로제어 방식을 특징으로하고 있으나 최대 스루풋이 0.58에 불과하고⁴⁾, 넌유니폼 트래픽하에서는 성능이 떨어진다. 출력버퍼형 스위치의 경우 스루풋과 지연 특성이 가장 우수하며 넌유니폼 트래픽의 경우도 잘 동작한다⁵⁾. 그러나 버스티트래픽의 경우에도 충분한 성능을 갖기 위해서는 출력버퍼의 수가 많이 필요하게 된다. 이와함께 일반적으로 출력버퍼형 스위치는 하드웨어 복잡도가 높고 내부 속도증가를 필요로한다. 공유버퍼형 스위치는 출력버퍼형 스위치에 비하여 매우 적은 하드웨어로서 구성이 가능하며 또한 출력버퍼형 스위치와 동일한 성능을 갖는다. 그러나 공유버퍼형 스위치의 경우 경로 제어를 중앙에서 수행해야하므로 스위치를 대용량화하기가 불가능하다. 이상의 각종 스위치의 구조에 대한 분석 결과로부터 그동안 연구 및 제시되어 온 소규모의 스위치를 그대로 확장하여 대용량 ATM 스위치를 구성하기에는 성능과 복잡도 측면에서 많은 문제점을 갖고 있음을 알 수 있다. 따라서 대규모의 스위치를 구성하는 방식으로는 적은 규모의 뛰어난 성능을 갖는 스위치를 다수 연결하여 대용량화하는 방안이 연구되고 있다. 이러한 소규모의 단위 스위치를 이용한 스위치의 대용량화 방안으로는 clos망구성방식⁶⁾, 출력링크확장에 의한 다단구성방식⁷⁾, 실시간 루팅알고리즘을 갖는 출력그룹핑방식⁸⁾등이 제안된바 있다. 이 가운데 clos망 구성 방식의 경우 비폐쇄 특성을 유지하기 위해서는 하드웨어의 복잡도가 증가하고 폐쇄형의 경우 재배치 알고리즘 실현을 위한 하드웨어량 및 복잡도가 증가하는 단점이 있다⁶⁾. 출력링크 확장 방식의 경우 최종 출력단 다중화에 따른 출력단에서의 출력버퍼기능이 필요하며 이와 함께 단위 스위치내에서 최종출력단으로 향하는 셀이 여러 개일 경우에 대한 충돌 회피를 위한 별도의 경로 제어알고리즘이 필요한 단점이 있다⁷⁾. 마지막으로 실시간 루팅알고리즘을 갖는 출력그룹핑 방식은 연결망 내에서 실시간 경로선택 알고리즘이 필요하며 이로인한 셀지연 및 셀폐기를 증가 등의 성능 저하가 있게 된다⁸⁾.

본 논문에서는 sorting network⁹⁾를 이용하여 간단히 대용량 ATM 스위치를 구성할 수 있는 새로운 방법을 제시하였다. 제시된 대용량 ATM 스위치는 다수의 단위 스위치를 sorting network를 통하여 연결하는 구조로서 앞

서 기술한 대용량화 방법과 달리 별도의 루팅 알고리즘이 필요없으며 전체 스위치의 특성이 단위스위치에 의존하는 특성을 갖는다. 따라서 우수한 성능을 갖는 단위 스위치를 이용하여 대용량 ATM 스위치를 구성할 경우 대용량화에도 불구하고 성능저하 등의 문제가 발생하지 않는다.

II. 제안된 대용량 2단 ATM 스위치의 구조

Sorting 원리를 이용한 대용량 ATM 스위치 구성방식은 그림1과 같이 상호 접속을 위한 소팅망과 소팅망 출력을 그룹핑(grouping)원리에 의해 집선한다음 단위스위치와 접속하는 구조이다. 집선방식은 N개의 입력을 갖는 스위치의 임의의 타임슬롯(time slot)상에서 어느 특정 출력 j로 향할 셀의 수가 g(g>8)개 이상 존재할 확율이 적은 원리(knockout 원리)¹⁰⁾를 이용하고, 소팅망 출력을 그룹화하여 특정 그룹 출력에 셀을 동시 전송할 수 있는 링크 수를 증가 시킴으로써 확률적으로 출력 경합을 해결하는 방법이다. 단, 후단 스위치는 언블럭킹 구조이다. 각 입력의 매 타임 슬롯상에 도착하는 셀은 상호 독립이라고 가정할때, 동일 타임 슬롯상에서 각 출력으로 향할 셀의 갯수도 상호 독립이다. 따라서, 스위치의 출력경합 문제는 출력을 n개씩 그룹화하면, 개별적으로 생각할 때의 동시 입력 링크수보다 적은 입력 링크수로써, 동일한 확율을 갖도록 해결할 수 있다.

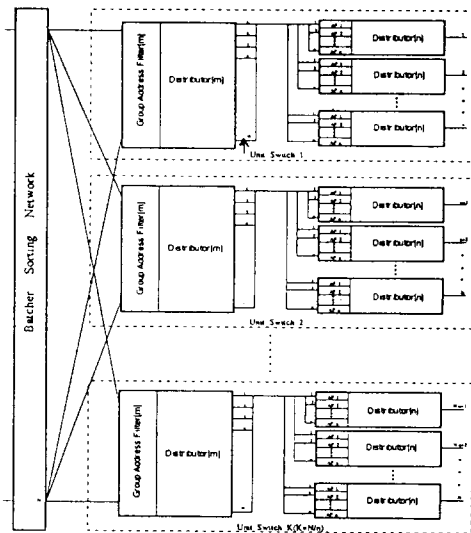


그림 1. 대용량 2단 ATM 스위치 구조도
Fig. 1. Block diagram of large scale two stage ATM switch.

본 방식은 전단에 Batcher소팅 망을 이용하기 때문에 문헌^[7]처럼 널블럭킹을 위한 실시간 루팅 알고리즘이 필요없고, 소팅 원리를 이용해서 그룹화(grouping)하기 때문에 간단히 집선회로를 구성할 수 있는 장점을 갖는다.

본 방식의 셀 폐기 특성은 전단 소팅망의 출력 집선에 의한 셀 폐기 확률 P_1 과 후단 단위 스위치의 특성에 의한 셀 폐기율 P_2 로 구분할 수 있다. 각단의 셀 폐기율은 상호 독립이므로 본 방식의 셀 폐기율 P_{ovr} 는 식(1)과 같이 주어진다.

$$P_{ovr} = 1 - (1 - P_1)(1 - P_2) = P_2 \quad (1)$$

단, $P_1 \ll P_2 \ll 1$

식(1)에서, $P_1 \ll P_2$ 가 되도록 구성하면, 본 방식의 셀 폐기율은 주로 후단 ATM스위치 특성에 의해 결정된다. 따라서 후단 단위 스위치는 적절한 입 출력 링크수를 가지며 특성이 우수한 스위치를 선택하여 구성하는 것이 바람직하다.

하드웨어복잡도는 전단 sorting network와 후단 단위 스위치의 형태(m, n 값)에 따라 달라지는데 이는 스위치의 성능(셀폐기율, 셀지연)등과도 밀접한 관계를 갖는다. 후단 단위스위치의 구성은 해당 그룹의 출력포트로 향하는 셀만 선택하는 그룹어드레스필터(GAF : group address filter), GAF에 의해 선택된 셀들을 고르게 분산시키는 분배기(Distributor), 특정 출력포트로 향하는 셀만 선택하는 어드레스 필터(AF : address filter)등으로 구성된다.

분배기의 구성은 입력 셀에 연속적인 루팅 데이터(routing data)값을 주는 Running adder, 연속적인 루팅 데이터를 갖는 셀을 블럭킹(blocking)없이 종단의 버퍼(FIFO)에 루팅(routing)시키는 RBN(Reverse Banyan Network), RBN을 통해 루팅(routing)된 셀을 저장하는 버퍼로 구성된다.

분배기는 단위스위치내에 전단과 후단 두군데서 사용되는데 전단분배기의 버퍼는 스위치내에서 공유버퍼기능을 수행하며 후단분배기의 버퍼는 출력버퍼기능을 수행한다. 따라서 단위스위치는 공유 및 출력버퍼를 갖는 널블럭킹(nonblocking)스위치이다.

1. Batcher 소팅망

Batcher 소팅망^[9]은 입력되는 셀의 헤더 내에 있는 출력포트 주소의 크기 순서대로 정렬시키는 기능을 한다. 그림2는 8x8 Batcher 소팅망의 예로서 입력된 셀들이 정렬되는 모양을 보여준다. Batcher 소팅망은 입력 포트의 수가 N일 경우 $\log_2 N(\log_2 N + 1)/2$ 의 단(stage)으로 구성이 된다. 따라서 Batcher 소팅망의 총 교차점 수는 다음

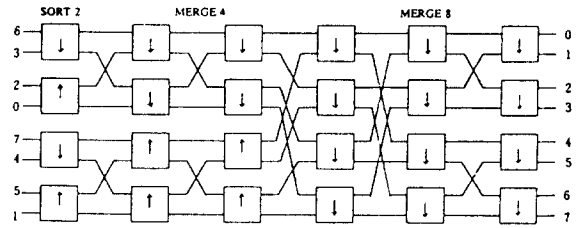


그림 2. 8x8 Sorting 망
Fig. 2. 8x8 sorting network.

의 식(2)로 표현된다.

$$\text{총교차점 수} : N \log_2 N \cdot (\log_2 N + 1) / 2 \quad (2)$$

Batcher 소팅망은 그 구성 형태가 매우 규칙성이 있으므로 실제 이를 실현할 경우 VLSI화 하기가 용이한 구조를 갖고 있다.

2. 후단 ATM 스위치

(1) 그룹어드레스필터(GAF)

GAF의 입력은 앞단의 소팅(sorting)망의 출력으로부터 다음과 같이 그룹입력을 구성한다.

$$G_r = (S_r, S_{r+m}, S_{r+2m}, \dots, S_{r+(k-1)m}) \dots \quad (3)$$

$(k = N/m, 1 \leq r \leq N/m)$

따라서, 하나의 GAF에 연결되는 소팅망의 출력선은 m 만큼의 간격을 가지고 연결되며 총 $k(k = N/m)$ 개의 입력 가운데 해당 그룹의 출력포트로 향하는 셀을 하나만 선택하여 통과시킨다. 단위 스위치에는 총 m개의 GAF가 있으며 따라서 N개의 입력 가운데 최대 m개의 셀을 선택하여 통과 시키게 된다. 만일 해당 그룹으로 향하는 셀의 갯수가 m 이상일 경우는 나머지 셀은 폐기시키게 된다.

GAF는 그림3과 같이 K개의 단위 주소 필터 출력이 daisy chain으로 연결된 형태로 구성될 수 있다. 이 경우 하나의 셀이 검출되면 daisy chain에 의해 나머지 AF의 모든 출력을 막는 구조로서 동일한 출력포트로 향하는 셀이 2개이상 존재할 경우 한 셀만 선택해서 전송하게 된다. 이때에 폐기되는 셀은 임의로 선택되어 지며 따라서 GAF에서의 충돌회피 방식은 랜덤(random) 방식으로 이루어진다.

(2) 분배기(distributor)

분배기(distributor)는 그림4와 같이 Running Adder, Reverse Banyan Network, 다수의 FIFO로 구

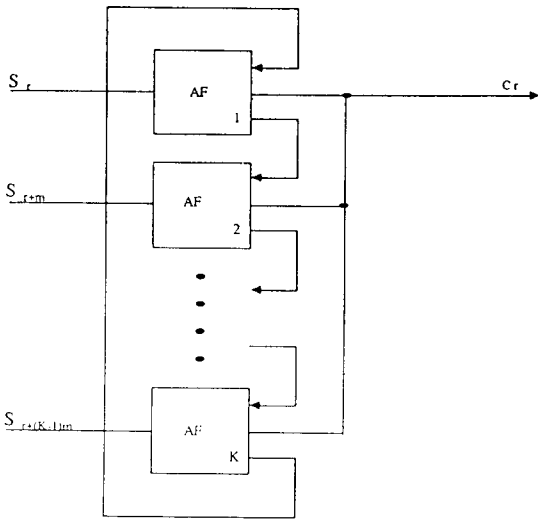


그림 3. Group Address Filter의 구조도
 Fig. 3. Block diagram of group address filter.

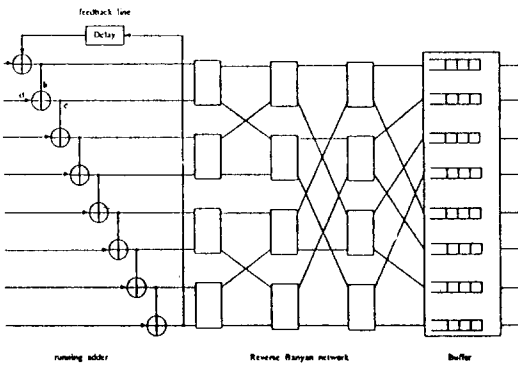


그림 4. Distributor의 구조도
 Fig. 4. Block diagram of distributor.

성된 공유 버퍼로 구성된다. 분배기(distributor)의 기능은 GAF로부터 단위 클럭사이클에 최대 m개의 셀을 받아서 이를 최종 m개의 공유버퍼에 차례로 배열시키는 기능을 수행한다.

본방식에서 구성되는 Running Adder는 2입력 1출력을 갖는 덧셈기(adder)를 기본 소자로하여 구성된다. 덧셈기(adder)의 동작은 그림4에서와 같이 a입력으로 들어오는 셀이 액티브인 경우 b 입력으로 들어오는 RBN의 출력 주소값(rbn)을 1 증가해서 modulo m값을 취한후 이를 c 출력으로 보내고 액티브가 아닌경우 b로부터 입력된 출력주소(rbn)값을 그대로 c로 출력시킨다. Running Adder의 최종 하단의 값은 다시 피드백(feed back)되

어 최상단의 덧셈기(adder)에 입력되는데 이는 출력단의 버퍼에 셀이 연속적으로 분포되도록 하기 위함이다.

(3) Reverse Banyan Network(RBN)

RBN은 그림4와 같이 구성되며 이는 Banyan Network의 역의 형태로 구성된다. Banyan Network의 경우 i번째단의 스위칭소자는 루팅 데이터 가운데 i번째 비트에 의해 스위칭하는데 반하여 RBN의 경우에는 log₂m-i(m: RBN 입력 포트수)번째 비트를 검사하여 스위칭한다. RBN의 기능은 RA로부터 1 클럭 사이클 동안 셀을 받아서 이를 공통버퍼에 차례로 루팅하는 기능을 수행한다.

RBN의 입력포트에 들어오는 셀들은 이미 RA에 의하여 연속적인 값을 갖는 서로 다른 출력포트 주소를 가지므로써 RBN 내의 블럭킹(Blocking) 현상은 발생하지 않는다.

(4) 공유버퍼

공유버퍼는 그림4에서 보는 바와 같이 출력포트 수만큼의 FIFO가 RBN의 각 출력포트에 개별적으로 연결된 형태로 구성된다. 비록 각 FIFO가 개별 버퍼의 형태로 구성 되어있지만 단위스위치의 입력포트를 통해 들어오는 각 셀들은 비록 최종 출력포트의 주소가 다를지라도 RA와 RBN에의해 모든 출력 버퍼에의해 공유될 수 있으므로 이들 버퍼는 공유버퍼의 특성을 갖는다. 공유버퍼에 입력되는 셀의 양이 버퍼의 크기보다 클 경우 즉 버퍼 오버플로우가 생길 경우에 폐기되는 셀은 임의로 선택되어진다. 따라서 공유버퍼에서 버퍼 오버플로우에 의한 충돌 회피 방식은 랜덤(random) 방식으로 이루어진다. 입출력 방법은 m개의 FIFO로 이루어진 공유버퍼로부터 n개의 서버가 차례로 셀을 읽어가는 형태이다. 따라서 스위치 규모가 커지더라도 이에 따른 공유버퍼의 입출력 회수 또는 속도의 증가가 필요없다.

(5) 어드레스필터(Address Filter)

어드레스필터는 최종 출력단으로 향하는 셀만을 골라서 통과 시키는 기능을 수행한다. 그 구성은 간단한 비교기와 제어로직으로 구성되며 하나의 입력포트로 부터 입력된 셀의 헤더내의 출력 주소를 해당 출력포트 주소와 비교하여 일치할 경우 이를 통과시키게 된다.

(6) 출력버퍼

출력버퍼는 공유버퍼와 동일한 하드웨어 구조를 가지며 그 입출력 동작도 윈도우의 크기가 1인 경우만 제외하면 공유버퍼와 동일하다. 그러나 출력버퍼의 경우 공유버퍼와 달리 버퍼내에 존재하는 셀은 모두 동일한 출력포트로 주소를 갖는다. 출력버퍼에서 버퍼 오버플로우에 의한 충돌회피 방식은 공유버퍼의 경우와 동일한 랜덤(random) 방식에 의해 처리된다. 출력버퍼의 입출력 역시 공유버퍼와 마찬가지로 단위 클럭 사이클당 각각 한번씩 이루어 지며 스위치의 크기와는 무관하다.

Ⅲ. 대용량 2단 ATM 스위치의 트래픽 특성

본 논문에서 제안된 스위치는 다음과 같은 3가지 부분에서 그 트래픽특성이 결정된다.

- i) Sorting Network의 출력 집선
- ii) 단위스위치의 공통버퍼
- iii) 단위스위치의 출력버퍼

따라서 제안된 본 스위치의 트래픽 특성에 관한 해석은 이상의 3가지 부분에 대하여 하도록 한다. 트래픽특성은 각부분마다, 트래픽 분포가 균일한 경우와 트래픽 특성이 균일하지 않은 경우에 대하여 각각의 셀 폐기율, 집선비, 공통버퍼와 출력버퍼의 크기 및 각 버퍼에서의 셀지연등에 관하여 해석하였다.

1. Sorting Network의 출력집선

그림5에서와 같이 Sorting Network의 N개의 출력은 $m \times m$ 단위스위치의 m개 입력으로 집선하게 되는데 이때 임의의 출력그룹 j로 향할 셀의 갯수가 m개이상일 경우 셀폐기가 생기게된다. 이에 대한 해석을 입력 트래픽 패턴이 균일할 경우와 균일하지 않을 경우에 대하여 검토한다.

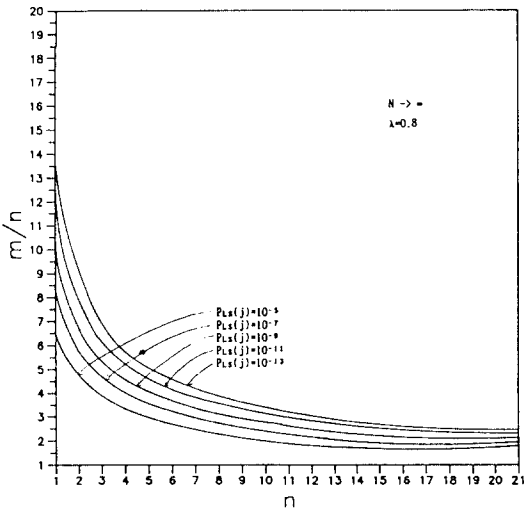


그림 5. Group Size n과 m/n비의 변화에 따른 셀 폐기율
 Fig. 5. Ratio of simultaneous cells accepted to group size for various cell loss probability.

(1) 입력 트래픽 분포가 균일한 경우

N개의 입력을 갖는 스위치 회로망에서 셀은 각 입력의 타임 슬롯상에 평균 확률 λ 로 도착하고, 한 셀의 모든 출

력으로 향할 확율은 균등하다고 가정한다. 이때 임의의 타임 슬롯상에서 임의의 그룹 j에 k개의 셀이 도착할 확율 $P_k(j)$ 는 식(4)와 같이 주어진다 (단, 후단 ATM스위치의 출력은 n개씩 그룹화함).

$$P_k(j) = \binom{N}{k} \left(\frac{n\lambda}{N}\right)^k \left(1 - \frac{n\lambda}{N}\right)^{N-k} \quad (4)$$

여기서, $k=0,1, \dots, N$ 이며, n개의 그룹 출력 j에 동시에 도착하는 셀이 m개 초과할 확율 $P_{Ls}(j)$ 는 식(5)와 같이 주어진다. 한 타임슬롯상에서 최대 수용가능한 링크수를 m으로 할때, 식(5)는 n개의 그룹출력으로 향하는 셀 가운데 m개의 입력 셀을 선택할때 집선에 의해 생기는 셀 폐기율이다.

$$P_{Ls}(j) = \frac{1}{n\lambda} \sum_{k=m+1}^N \binom{N}{k} \left(\frac{n\lambda}{N}\right)^k \left(1 - \frac{n\lambda}{N}\right)^{N-k} \quad (5)$$

여기서 $N \rightarrow \infty$ 으로 하고 식(5)를 정리하면 다음의 식(6)과 같이 된다[7].

$$P_{Ls}(j) = \left(1 - \frac{m}{n\lambda}\right) \left(1 - \sum_{k=0}^m \frac{(n\lambda)^k \cdot e^{-n\lambda}}{k!}\right) + \left(\frac{(n\lambda)^m \cdot e^{-n\lambda}}{m!}\right) \quad (6)$$

이 식으로부터 입력 부하 $\lambda=0.8$, $N \rightarrow \infty$ 로 두었을 때 셀폐기율의 변화에 따른 n과 m/n비의 관계를 그림5에 나타내었다. 이 결과에서 알 수 있듯이 단위 스위치의 크기를 적절히 선택하면 집선에 의한 셀폐기율을 원하는 스위치의 특성에 맞추도록 구성할 수 있다.

(2) 입력 트래픽이 균일하지 않은 경우

입력 트래픽이 균일하지 않은 경우로서 다수의 단말이 동시에 특정 출력과 통신하려고 할때 발생하는 트래픽 패턴을 hot spot 성 트래픽이라 한다. 이러한 트래픽 현상은 정보 통신 분야 및 전화망에서 빈번히 발생한다. 예를 들면, 특정지역에 통화하려고 하는 가입자가 동시에 많이 발생할 때 나타나는 현상이다. 특히, 트래픽이 일시적으로 집중하는 현상이며, ATM에서는 버스트특성 트래픽(bursty traffic)이라고 생각할 수 있다. 본 논문에서는 균일한 트래픽에 hot spot 성 트래픽이 중첩된 트래픽 모델에 대해서 검토한다. hot spot 성 트래픽의 비율을 h라 하면, 입력 타임 슬롯에 셀이 도착할 확율은 식(7)와 같이 주어진다.[11]

$$\lambda = h\lambda + (1-h)\lambda \quad (7)$$

여기서, $h\lambda$ 는 hot spot성 트래픽이고, $(1-h)\lambda$ 는 모든

출력에 균일하게 향하는 트래픽이다. 이와 같은 모델에서, 임의의 타임 슬롯상에서 그룹 출력 j에 k개의 셀이 도착할 확률 $P_k(j)h$ 는 식(8)과 같이 주어진다.

$$P_k(j)h = \binom{N}{k} \left(h\lambda + \frac{n(1-h)\lambda}{N} \right)^k \left(1 - h\lambda - \frac{n(1-h)\lambda}{N} \right)^{N-k} \quad (8)$$

여기서 $k=0, 1, 2, \dots, N$ 이다. 이 경우, hot spot성 트래픽에 대한 셀의 폐기특성, 즉 셀폐기율 $P_{Ls(j)h}$ 는 식(9)과 같다.

$$P_{Ls(j)h} = \frac{1}{n\lambda} \sum_{k=m+1}^N (k-m) \binom{N}{k} \left(h\lambda + \frac{n(1-h)\lambda}{N} \right)^k \left(1 - h\lambda - \frac{n(1-h)\lambda}{N} \right)^{N-k} \quad (9)$$

식(9)에 의해, 본 방식의 hot spot성 트래픽 특성을 나타내면 그림 6과 같다. 그림6은 회선규모 $N=1024$, $\lambda=0.9$ 인 경우에 있어서, hot spot성 트래픽 비율에 대해 주어진 셀 폐기 특성($P_{Ls} < 10^{-7}$)을 만족하는 n 과 m/n 비의 관계를 나타내고 있으며, hot spot 요소인 h 값에 따라 동일한 출력그룹 크기(n 값)에 대하여 집선비(m 값)가 변하는 것을 알 수 있다. 따라서 단위스위치의 규모(m, n 값)에 따라 특정한 h 값에 대한 특정한 셀 폐기율 값을 얻을 수 있다. 이 결과로부터 단위 스위치의 크기를 적절히 선

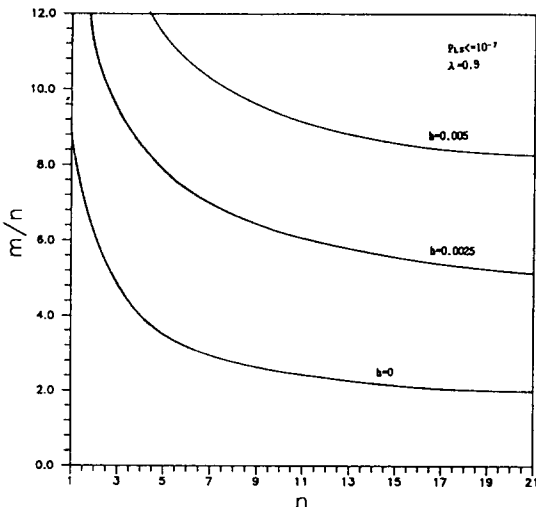


그림 6. 일정한 셀 폐기율 하에서의 h factor에 따른 n 과 m/n 비의 관계

Fig. 6. Ratio of simultaneous cells accepted to group size for various hot-spot fraction.

택할 경우 hot spot성 트래픽에 대해 유연히 대처할 수 있다.

(3) 셀의 지연 특성

ATM스위치의 입력에 도착한 셀이 출력단을 떠날 때까지 걸리는 시간을 셀 지연시간이라고 정의하면, 스위치 전단인 소팅 망에서의 지연 D_1 및 후단 ATM 스위치 단에서 지연 D_2 로 구별된다. 본 방식에서의 전체지연 D_t 는 식(10)과 같다.

$$D_t = D_1 + D_2 \quad (10)$$

출력을 n 개씩 그룹핑하는 입출력 단자수가 N 인 소팅망을 고려할 때, 지연 D_1 은 식(11)과 같은 지연(bits)으로 주어진다.

$$D_1 = \log_2 N (\log_2 N + 1) / 2 - \log_2 n \quad (11)$$

출력단을 16개씩 그룹핑하는 1024회선 규모의 ATM 스위치를 고려할때, 지연 D_1 은 식(11)에 의해 51비트지연을 갖는다. 150Mbits/s회선 속도의 스위치 회로망에서 지연은 약 0.4μsec정도에 지나지 않으므로 전체 지연 D_t 에 비해 무시할 정도이다. 또 지연 D_1 은 입력링크 사용 효율에 독립이며, 단지 전단 소팅망 및 그룹핑의 크기(size)에 의해 결정되는 요소이다. 그러므로 본 방식의 지연특성은 후단 ATM 스위치에 의해 결정된다. 후단 ATM스위치의 지연특성은 사용한 ATM스위치의 구조에 의존한다. 결론적으로 본 방식의 지연특성은 1단 스위치로 구성된 지연특성과 거의 동일한 특성을 갖는다고 말할 수 있다.

2. 단위 스위치의 공유버퍼

분배기(Distributor) 내의 RA와 RBN에 의해 분산된 각 셀들은 개별 버퍼를 공유하면서 차례로 저장되며, 저장된 셀들은 n 개의 서버에 의해 최대 n 개씩 읽혀져서 다음 단으로 보내진다. 공유버퍼의 입출력 방식은 앞에서 기술한 바와 같이 임의의 한 싸이클내에 먼저 공유버퍼로부터 셀(cell)이 최대 n 개 읽혀진 후 RBN으로부터 최대 m 개의 셀이 공유버퍼에 쓰여지게 되는 동작이 이루어진다. 이와같은 공유버퍼의 동작은 km 의 크기를 갖는 단일 버퍼와 n 서버의 형태로 나타낼 수 있다. 이때 버퍼의 상태는 버퍼가 모두 비어있을 경우로부터 최대 km 개가 완전히 채워질 경우까지 모두 $km+1$ 의 상태가 존재한다.

Q_t 번째 타임슬롯에 버퍼(buffer)에 쌓여있는 셀(cell)의 갯수라 하고, A_t 를 t 타임슬롯동안에 도착한 셀(cell)의 갯수라 하면 Q_t 는 식(12)과 같이 나타낼 수 있다.

$$Q_i = \text{Min}(\text{Max}(0, Q_{i-1} - n) + A_i, km) \quad (12)$$

단일클럭 사이클동안 공유버퍼에 k개의 셀(cell)이 들어올 확율을 a(k)라하고 Q를 Q_i로부터 얻어진 steady-state 버퍼(buffer)의 크기라 하면, 버퍼 내에 셀이 Q개 있을 확률 P(Q)에 대한 일반적인 식은 다음과 같다.

i) $0 \leq X \leq m$

$$P(X) = \sum_{i=0}^n a(X)P(i) + \sum_{n=0}^{X-1} a(X)P(X+n-i) \quad (13)$$

ii) $m < X \leq km - n$

$$P(X) = \sum_{i=0}^m a(i)P(X+n+i) \quad (14)$$

iii) $km - n < X < km$

$$P(X) = \sum_{i=X-km+n}^m a(i)P(X+n+i) \quad (15)$$

iv) $X = km$

$$P(X) = \sum_{j=0}^{m-n} \left(\sum_{i=n+1}^m a(i)P(km-j) \right) \quad (16)$$

위의 식은 아래와 같은 형태의 행렬식으로 나타낼 수 있다.

$$\begin{bmatrix} 0 \\ \cdot \\ \cdot \\ \cdot \\ 0 \end{bmatrix} = \begin{bmatrix} \cdot \\ \cdot \\ a(k) \\ \cdot \\ \cdot \end{bmatrix} \begin{bmatrix} p(0) \\ \cdot \\ \cdot \\ \cdot \\ p(km) \end{bmatrix} \quad (17)$$

위의 식에서 a(k) 관한 행렬식이 singular 형태가 되지 않도록 식(16)을 다음의 식(18)으로 대치하여 풀면 버퍼(buffer)의 임의의 셀 점유율 P(x)를 구할 수 있다.

$$\sum_{i=0}^{km} P(i) = 1 \quad (18)$$

(1) 트래픽 분포가 균일한 경우

각 입력 포트에 셀이 매 타임 슬롯상 λ의 확율을 갖고 도착하고 도착한 셀이 모든 출력으로 향할 확율이 균등하다고 가정하면 임의의 타임 슬롯에 n개의 출력 포트를 갖는 임의의 그룹에 k개의 셀이 도착할 확율은 다음과 같다.

$$a(k) = \binom{m}{k} \left(\frac{n\lambda}{m} \right)^k \left(1 - \frac{n\lambda}{m} \right)^{m-k} \quad (19)$$

즉 a(k)는 한 클럭사이클동안 버퍼(buffer)에 셀

(cell)이 k개가 들어올 확율을 의미한다. 셀폐기율은 다음의 식(20)과 같이 정의된다.

$$\text{셀폐기율} = \frac{\text{입력셀의 개수} - \text{출력셀의 개수}}{\text{입력셀의 개수}} \quad (20)$$

여기서 입력셀의 개수는 단위스위치의 각입력포트에 들어오는 모든 입력 부하의 합으로 표현될수 있으며, “입력셀의 개수-출력셀의 개수”는 곧 폐기된 셀의 개수로서 이는 버퍼(buffer)의 용량 km보다 셀이 넘쳐 들어올 때 발생한다.

따라서 셀폐기율 P_{LS}는 식(21)로 구해진다.

$$P_{LS}(j) = \frac{1}{n\lambda} \sum_i \sum_j P(i) a(j) (i + j - n - km) \quad (21)$$

$$(km - m + n + 1 \leq i \leq km, m \leq j \leq i - km - 2m + n + 1)$$

공유버퍼의 셀폐기율은 식(21)에서 알 수 있듯이 결국 스위치 크기 m, n과 버퍼의 크기 k, 입력 부하 λ로 결정된다. 그림7에 λ=0.8, k=1일 경우 특정한 셀폐기율에 따른 n값과 k(k≈m/n)의 관계를 나타내었다. 그림7로부터 공유버퍼에서의 원하는 트래픽특성을 갖는 단위스위치의 규모와 버퍼의 크기값을 얻을 수 있다.

(2) 입력 트래픽이 균일하지 않은 경우

입력 트래픽이 균일하지 않을 경우의 공유버퍼의 특성은 앞의 Sorting Network의 출력집신의 경우와 같이 입력부하 λ를 hot spot 트래픽 성분과 균일한 트래픽성분이 중첩된 경우를 적용하여 해석한다.

λ=hλ+(1-h)λ이므로 임의의 n개 출력포트를 갖는 그룹으로 k개의 셀이 도착할 확율은 식(22)로 구해진다.

$$a(k) = \binom{m}{k} \left(h\lambda + \frac{n(1-h)\lambda}{m} \right)^k \left(1 - h\lambda - \frac{n(1-h)\lambda}{m} \right)^{m-k} \quad (22)$$

식(22)를 앞 절의 등가식 (13) - (16)에 적용하여 같은 방법으로 해석한다. 최종적으로 얻어진 셀폐기율은 식(21)에 새로운 factor h가 추가된 형태로서 hot spot성분에 따라 셀폐기율의 값이 변화게 된다. 그림8에 h값의 변화에 따른 셀폐기율을 나타내었다. 이 그림에서 일정한 입력 트래픽하에서 hot spot 요소인 h값이 변하더라도 셀 폐기율이 크게 변하지않음을 알 수 있다. 따라서 공유버퍼는 hot spot성 트래픽에 민감하지 않다는 것을 알 수 있다.

(3) 셀지연특성

공유버퍼에서의 셀지연 W는 Little's formula에 의해 식(23)와 같이 정의된다.

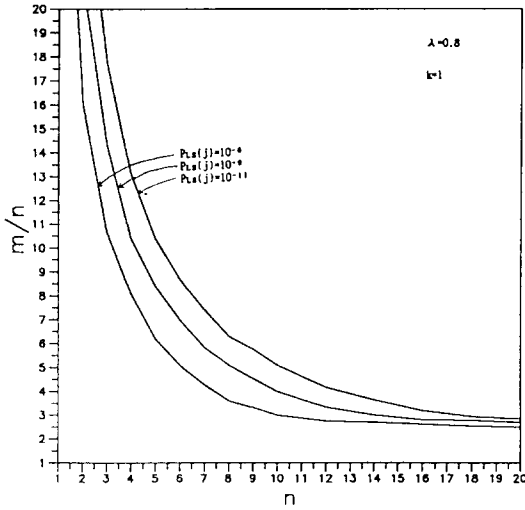


그림 7. 공유버퍼에서 group size n과 m/n비의 변화에 따른 셀 폐기율
 Fig. 7. Cell loss probability of the group size n vs. m/n on the common buffer.

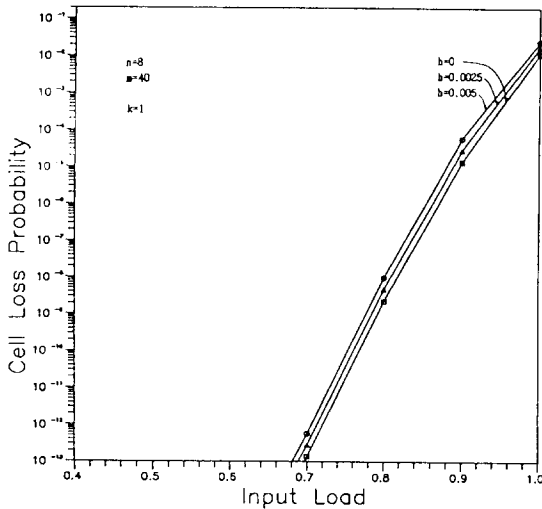


그림 8. 공유버퍼에서 입력 부하와 셀 폐기율과의 관계
 Fig. 8. Cell loss probability vs. input load on the common buffer.

$$W_1 = \frac{Q_1}{\lambda I} \quad (23)$$

여기서

$$Q_1 = \sum_{i=0}^{kn} i P(i) \quad (24)$$

$$\lambda_1 = \sum_{i=1}^n i P(i) + n \sum_{i=n+1}^{kn} P(i) \quad (25)$$

Q_1 과 λ_1 은 각각 버퍼(buffer)의 평균 길이와 처리된 셀의 갯수를 의미한다. 식(23)의 앞의 항은 공유버퍼내에 n개 보다 적은 셀이 있을 경우 이를 서버가 처리할 경우에 처리되는 셀 갯수에 대한 기대값이며, 두번째 항은 버퍼내에 n개 이상의 셀이있을 경우에 처리되는 셀 갯수의 기대값이다. 결국 식(23)은 처리되는 하나의 셀당 버퍼에 남아있는 평균 셀의 갯수를 의미하므로써 곧 셀당 지연 시간을 의미한다.

3. 단위스위치의 출력버퍼

앞단의 공유버퍼로부터 단위 클럭사이클 당 최대 n개의 셀을 받아 n개의 출력버퍼에 분배하고 분배된 셀들은 1개의 서버에 의해 차례로 출력포트로 내보내지는 형태로 서 이는 단일버퍼의 형태로 나타낼 수 있다.

즉 총 n개의 개별버퍼는 kn크기를 갖는 단일 버퍼(buffer)로 볼 수 있으며 이때 버퍼의 상태는 버퍼가 모두 비워졌을 경우부터 최대 kn개의 버퍼가 모두 채워질 경우까지 kn+1의 상태가 존재한다.

Q_t 번째 타임슬롯에 버퍼(buffer)에 쌓여있는 셀(cell)의 갯수라 하고, A_t 를 t 타임슬롯동안에 도착한 셀(cell)의 갯수라 하면 Q_t 는 식(26)과 같이 나타낼 수 있다.

$$Q_t = \text{Min}(\text{Max}(0, Q_{t-1} - 1) + A_t, kn) \quad (26)$$

단일클럭 사이클동안 공유버퍼에 k개의 셀(cell)이 들어올 확율을 a(k)라하고 Q를 Q_t 로부터 얻어진 steady-state 버퍼(buffer)의 크기라 하면, 버퍼내에 셀이 Q개 있을 확율P(Q)에 대한 일반적인 등가식을 각 상태 천이도로부터 다음과 같이 구할수 있다.

i) $0 \leq X \leq n$

$$P(X) = a(X)P(0) + \sum_{i=0}^X a(i)P(X+1-i) \quad (27)$$

ii) $n < X < kn$

$$P(X) = \sum_{i=0}^m a(i)P(X+1+i) \quad (28)$$

iii) $X = kn$

$$P(X) = \sum_{i=1}^n a(i)P(kn+1-i) + \sum_{i=2}^n a(i)P(kn) \quad (29)$$

위의 식에서 a(k) 관한 행렬식이 singular 형태가 되지 않도록 식(29)를 아래의 식(30)으로 대체하여 풀면 버퍼(buffer)의 임의의 셀 점유율 P(x)를 구할 수 있다.

$$\sum_{i=1}^{\infty} P(i)=1 \tag{30}$$

(1) 트래픽 분포가 균일한 경우

각 입력포트에 셀이 매 타임슬롯당 λ 의 확률을 갖고 도착하고 도착한 셀이 모든 출력으로 향한 확률이 균등하며 서로 독립적이라고 가정하면 임의의 타임 슬롯에 출력 포트에 k 개의 셀이 도착할 확률은 다음과 같다.

$$a(k)=\binom{n}{k} \left(\frac{\lambda}{n}\right)^k \left(1-\frac{\lambda}{n}\right)^{n-k} \tag{31}$$

셀폐기율은 앞절의 식(19)와 같이 정의된다. 여기서 입력셀의 갯수는 출력 버퍼에 들어오는 모든 입력 부하의 합으로 표현될 수 있으며, "입력셀의 갯수-출력셀의 갯수"는 곧 케기된 셀의 갯수로서 이는 버퍼(buffer)의 용량 kn 보다 셀이 넘쳐 들어올 때 발생한다.

따라서 셀폐기율 $P_{LS}(j)$ 는 식(32)로 구해진다.

$$P_{LS}(j)=\frac{1}{\lambda} \sum_i \sum_j P(i) a(j) (i+j-1-kn) \tag{32}$$

$$(kn-n+2 \leq i \leq kn, n \leq j \leq 1-kn+2n)$$

출력버퍼의 셀폐기율은 식(32)에서 알 수 있듯이 결국 스위치 크기 n 과 버퍼의 크기 k , 입력 load λ 로 결정된다.

그림9에 $\lambda=0.8, k=4$ 일 경우 특정 셀폐기율에 따른 n 값과 $k(k \approx m/n)$ 의 관계를 나타내었다. 이 그림으로부터 출력 그룹의 크기(n 값)에 따라 출력 버퍼에서의 셀폐기율이 변함을 알 수 있다.

(2) 트래픽 분포가 균일하지 않은 경우

입력 트래픽이 균일하지 않을 경우의 출력버퍼의 특성은 앞의 경우와 같이 입력로드 λ 를 hot spot 트래픽 성분과 균일한 트래픽 성분이 중첩된 경우를 적용하여 해석한다.

$\lambda = h\lambda + (1-h)\lambda$ 이므로 임의의 출력포트로 k 개의 셀이 도착할 확률은 식(33)로 구해진다.

$$a(k)=\binom{n}{k} - \left(h\lambda + \frac{(1-h)\lambda}{n}\right)^k \left(1-h\lambda - \frac{(1-h)\lambda}{n}\right)^{n-k} \tag{33}$$

식(33)을 앞절의 등가식 (27) - (29)에 적용하여 같은 방법으로 해석한다. 최종적으로 얻어진 셀폐기율은 식(32)에 새로운 factor h 가 추가된 형태로서 hot spot 성분에 따라 셀폐기율의 값이 변하게 된다. 그림10에 h 값의 변화에 따른 셀폐기율과 입력부하 및 버퍼 크기와의 관계를 나타내었다. 이 그림으로부터 출력 버퍼에서의 셀폐기

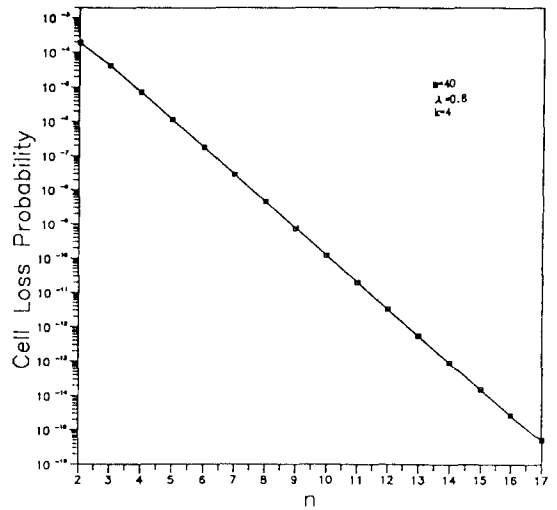


그림 9. 출력 버퍼에서 group size n 과 셀 폐기율과의 관계

Fig. 9. Call loss probability vs. group size n on the output buffer.

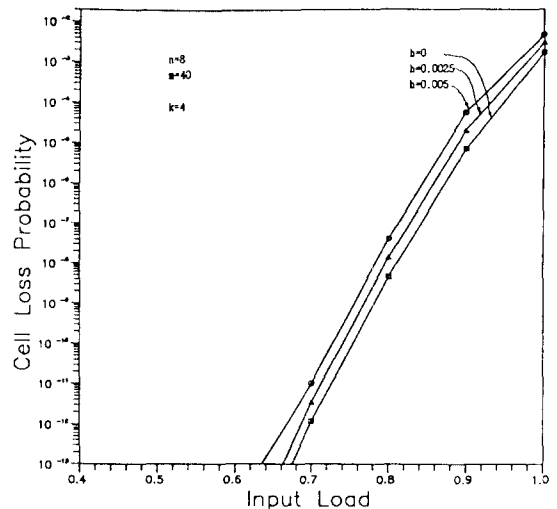


그림 10. 출력버퍼에서 입력 부하와 셀폐기율과의 관계

Fig. 10. Cell loss probability vs. input load on the output buffer.

율이 h 값에 대하여 크게 민감하지 않음을 알 수 있다.

(3) 셀지연특성

출력버퍼에서의 셀지연 W 는 앞 절의 공유버퍼의 경우와 마찬가지로 Little's formula에 의해 다음과 같이 정의된다.

$$W_2 = \frac{Q_2}{\lambda_2} \tag{34}$$

여기서

$$Q_2 = \sum_{i=0}^{kn} i P(i) \tag{35}$$

$$\lambda_2 = 1 \tag{36}$$

Q_2 는 버퍼(buffer)의 평균 길이를 의미한다. 출력버퍼의 처리는 매 사이클당 최대 1개로서 결국 식(34)는 처리되는 하나의 셀당 버퍼에 남아있는 평균 셀의 갯수를 의미하므로써 곧 셀당 지연시간을 의미한다.

IV. 결과 검토

본 장에서는 제안된 대용량 2단 ATM 스위치의 성능을 셀 폐기율과 셀 지연 측면에서 분석하였다. 스위치의 셀 폐기 특성은 소팅네트워크로부터 단위스위치로의 접선부와 단위 스위치의 공유버퍼 및 출력버퍼의 특성에 의해 결정되므로 이 부분에 대한 셀 폐기 특성에 대한 해석을 하였다. 소팅네트워크로부터 단위스위치로의 접선에 따른 셀 손실은 그림5에서 보는 바와 같이 단위 스위치의 규모(m, n값)에 따라 결정된다. $N=1024$, $m=40$, $n=8$, 입력부하 $\lambda=1$ 일 경우 유니폼트래픽하에서 Sorting Network 출력 접선부의 셀 폐기율이 10^{-17} 이 되므로써 최고스루풋은 100%가 된다. 후단 단위 스위치는 공유 및 출력버퍼형 구조를 갖는 스위치로서 $m=80$, $n=8$, 입력부하 $\lambda=1$ 일 경우 유니폼트래픽하에서 공유 및 출력버퍼에서의 셀 폐기율이 각각 10^2 , 10^3 이 되므로써 이 역시 최고 100%의 스루풋을 갖는다. 따라서 이 경우 전체 스위치의 스루풋은 100%가 된다. 단위 스위치의 특성이 스위치의 규모와 버퍼(FIFO)의 크기로 결정이 되는데 이는 하드웨어의 복잡도와 밀접한 관계를 가지므로써 스위치의 요구 사항에 맞추어 결정하여야 한다.

제안된 스위치의 하드웨어 복잡도는 각 구성 요소 별로 다음과 같다.

sorting network

$$(N/4)\log_2 N(\log_2 N + 1)$$

단위스위치

Reverse Banyan Network : $m\log_2 m + n^2\log_2 n$

Runing Adder : $m + n^2$

Shared & Output Buffer : $k_1m + k_2n^2$

k_1 : 공유버퍼의 FIFO 크기, k_2 : 출력버퍼의 FIFO 크기)

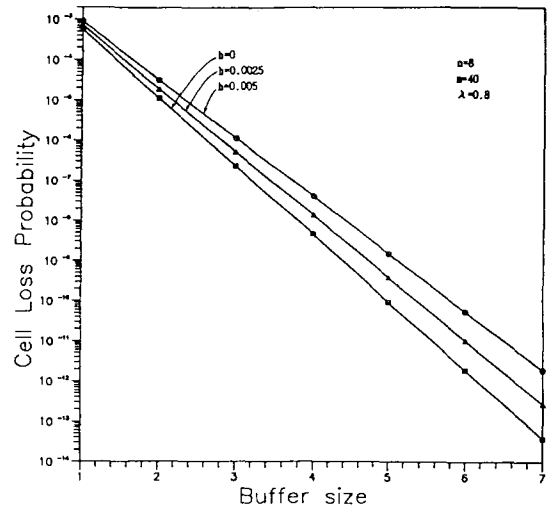


그림 11. 출력버퍼에서 버퍼 크기와 셀폐기율과의 관계.
Fig. 11. Cell loss probability vs. buffer sized on the output buffer.

표 1. 제안된 스위치의 성능과 복잡도비교

Table. 1. Comparison of complexity and performance for the proposed ATM switch.

비교 항목	스위치 종류	Blocking Switch [31]	Nonblocking			제안된 스위치
			입력버퍼 방식 [1]	출력버퍼 방식 [2]	공유버퍼 방식 [24]	
교차점수		$N\log_2^N$	$N\log_2^N (\log_2^N + 1)$	$O(N^2)$	fast memory+N	$(\log_2^N (\log_2^N + 1) / 2 - \log_2^N) N + a$
속도증가		없음	없음	N	없음	없음
최대 스루풋		45%	58%	100 %	100 %	100 %
셀 지연		\log_2^N	$\log_2^N + M$	M	algorithm speed	단위스위치규모
경로제어		self-routing	self-routing	self-routing	central	self-routing
충돌회피방식		random	random	random	random	random
버퍼의 위치		interstage	input	output	shared	output & shared
unbalance load 특성		나쁨	나쁨	좋음	좋음	좋음
burstiness 특성		나쁨	나쁨	나쁨	좋음	단위스위치규모

M : 출력 충돌을 해결하기 위한 오버헤드

a : 단위 스위치의 복잡도

Group Address Filter : m

Address Filter : n^2

Control Logic : -

단위 스위치에서 하드웨어 복잡도에 가장 큰 영향을 주

는 것은 $O(n^2)$ 요소이나 단위 스위치의 크기가 입력 포트 수(N)에 비하여 매우 적으므로 전체 스위치의 복잡도에 가장 큰 비중을 갖는 것은 소팅네트워킹의 소자 수로서 $(N/2)(\log_2 N(\log_2 N + 1)/2 - \log_2 n)$ 개의 2×2 스위칭 소자가 필요하다. 그러나 앞서 언급한 바와 같이 소팅네트워킹은 그 구조에 있어서 단위 스위치 소자의 배열이 매우 규칙적인 관계로 VLSI화 하기가 용이한 잇점이 있다.

이상 제안된 스위치의 특징을 표1에 정리하여 그동안 발표된 ATM 스위치의 특성과 비교하였다. 표에서 보는 바와 같이 하드웨어 복잡도를 나타내는 교차점 수는 입력 버퍼방식과 같은 정도의 복잡도를 보이고있으며 이 복잡도는 Sorting Network의 복잡도에 기인한 것이다. 제안된 스위치는 입력포트의 수의 증가에 따른 속도증가 요소가 없다. 최대스루풋은 출력버퍼 및 공유버퍼 방식 스위치와 같이 100%가 된다. 이는 제안된 스위치의 특징이 주로 후단 단위 스위치의 버퍼에서 발생하는데 특히 출력단의 버퍼에서 대부분의 셀 지연이 발생한다. 경로제어 방식은 각 셀들이 각기 자체적으로 출력포트를 찾아 가는 self-routing 방식이다. 따라서 스위치 규모가 커지더라도 중앙제어 방식에서와 같은 제한이 없다. 충돌회피 방식은 random방식으로서 셀이 폐기되는 경우 이에 대한 특별한 우선순위 방식등을 사용하고 있지 않다. 언밸런스로드(unbalanced load)의 경우 좋은 특성을 갖게되는데 이는 스위치 내에 공유 버퍼 기능이 있기 때문이다. 버스티트래픽(bursty traffic) 특성의 경우 그림6에서 보는 바와 같이 Sorting Network의 출력집선에 의한 셀 폐기율이 버스티 트래픽에 의해 민감한 면이 있으나 이 경우에 단위 스위치의 크기를 적절히 조정하므로써 스위치 설계 시의 요구 사항에 맞도록 적절히 대응할 수 있다.

參 考 文 獻

- [1] 박홍식, 강석열, "ATM 교환기술," 텔레콤 제7권 제1호, 1991, 5
- [2] H. Ahmadi and W. Denzel, "A survey of modern high-performance switching techniques," *IEEE Journal on Selected Areas in*

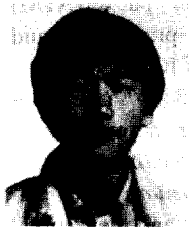
Communications, vol. SAC-6, pp. 1091-1103, Sept. 1989.

- [3] K. Lutz, "Considerations on ATM switching techniques," *International Journal of Digital and Analog Cabled Systems*, vol. 1, pp. 237-243, 1988.
- [4] J. Hui and E. Arthurs, "A broadband packet switch for integrated transport," *IEEE Journal on Selected Areas in Communications*, vol. SAC-5, pp. 1264-1273, Oct. 1987.
- [5] M. Karol, M. Hluchyj, and s. Morgan, "Input versus output queueing on a spacedivision packet switch," *IEEE Trans. on Communications*, vol. COM-35, pp. 1347-1356, Dec. 1987.
- [6] Tony. T. Lee, "A modular architecture for very large packet switches," *IEEE Transactions on Communications*. vol. 38, no. 7, July 1990.
- [7] Kai, Y. Eng, "A growable packer(ATM) switch architecture: design principles and applications," *Proceedings of ICC*, 1989.
- [8] Yoshito Sakurai, Nobuhiko Ido, "Large scale ATM multi stage switching network with shared buffer memory," *Proceedings of XIII International switching symposium*, 1990.
- [9] K. Batcher, "Sorting networks and their applications," in *AFIPS Proc. of Sprint Joint Comput., Conf.*, pp. 307-314, 1868.
- [10] Yu-shuan Yeh, Michael g. Hluchyj and Anthony S. Acampora, "The knockout switch: a simple, modular architecture for high-performance packet switching," *IEEE Journal on Selected Areas in communications*, vol. SAC-5, pp. 1274-1283, Oct. 1987.
- [11] H. Yoon, M. Liu, and K. Lee, "The knockout switch under nonuniform traffic," in *Proc. of Globecom '88(Hollywood Beach, Florida)*: pp. 1628-1634, IEEE Dec. 1988.

著 者 紹 介

宋 光 錫(準會員)

1953年 10月 23日生. 1979年 2月 고려대학교 전자공학과 졸업. 1981年 2月 고려대학교 전자공학과 석사학위 취득. 1992年 2月 고려대학교대학원 전자공학과 박사학위 취득. 현재 한국전자통신연구소 선임연구원. 주요관심분야는 마이크로프로세서, ATM스위치 구조 등임.



金 潤 哲(準會員)

1968年 12月 17日生, 1991年 2月 고려대학교 전자공학과 졸업, 현재 고려대학교 전자공학과 석사과정 재학 중, 주요관심분야는 디지털 신호처리, ATM스위치 구조 등임.



韓 致 文(正會員)

1951年 5月 19日生. 1970年 3月 2日~1977年 2月 25日 경북대학교 공과대학 전자공학과(공학사) 1981年 8月 20日~1983年 8月 25日 연세대학교 대학원 전자공학과(공학석사). 1987年 4月 1日~1990年 9月 29日 일본 동경대학대학원공학계연구과, 전기공학전공박사과정(공학박사). 1977年 2月 1日~1983年 3月 31日 한국과학기술연구원(KIST) 연구원, 1983年 4月 1日 현재 한국전자통신연구소(ETRI) 책임연구원, TDX개발단 ATM System연구실 근무, 실장. 주관심분야는 ATM Switch Network Architecture 및 Evaluation, ATM Traffic Modelling 및 Analysis, ATM Network 관련등임.

李 太 遠(正會員)

第 25 卷 第 2 號 參照

현재 고려대학교 전자공학과 교수