

수평 집적형 광전자 집적회로를 위한 InP/InGaAs PIN 광다이오드의 설계 및 제작

(Design and Fabrication of InP/InGaAs PIN Photodiode for Horizontally Integrated OEIC's)

呂 柱 天*, 金 成 俊*

(Ju Chun Yeo and Sung June Kim)

要 約

광전자 집적회로는 그 집적방식에 따라 수평집적형과 수직집적형으로 나누어질 수 있으며, 수평집적형은 기생소자의 영향을 줄일 수 있어서 그 응용범위가 넓어질 것이다. 이 논문에서는 수평집적형 광전자 집적회로에 사용될 PIN 광다이오드의 모델링과 제작 및 특성분석을 하였다. 모델링을 위하여 PIN 광다이오드의 단면에 대한 이차원 시뮬레이션을 통하여 전송선모델을 세우고 이것으로부터 lumped 모델의 파라미터를 추출하였다. 모델링의 결과로 여러가지 구조의 PIN 광다이오드의 주파수특성을 계산할 수 있으며, 이것으로부터 고속운동을 위한 PIN 광다이오드 구조의 최적화가 가능하다.

그리고 RIE와 습식식각을 이용한 평탄화, Zn_3P_2 박막을 이용한 확산공정을 개발하여 핏식각, 에피성장, 평탄화, 확산, 금속공정 등을 통하여 장파장 광통신을 위한 InP/InGaAs PIN 광다이오드를 제작하였다. 제작된 소자의 특성을 C-V와 I-V 측정을 통하여 분석하였으며, 제작된 PIN 광다이오드는 10V의 역방향 바이어스에서의 암전류가 5nA 이하이고 정전용량은 0.4pF이며, 측정된 직렬저항과 정전용량으로부터 계산된 대역폭은 4.23GHz이다.

Abstract

OEIC(Optoelectronic Integrated Circuit)'s can be integrated horizontally or vertically. Horizontal integration approach is, however, more immune to parasitic and more universally applicable. In this paper, a structural modeling, fabrication and characterization of PIN photodiodes which can be used in the horizontal integration are performed. For device modeling, we build a transmission line model from 2-D device simulation, from which lumped model parameters are extracted. The speed limits of the PIN photodiodes can also be calculated under various structural conditions from the model. Thus optimum design of horizontally integrated PIN photodiodes for high speed operation are possible. Such InGaAs/InP PIN photodiodes for long-wavelength communications are fabricated using pit etch, epi growth, planarization, diffusion and metallization processes. Planarization process using both RIE and wet etching and diffusion process using evaporated Zn_3P_2 film are developed. Characterization of the fabricated devices is performed through C-V and I-V measurements. At a reverse bias of 10V, the dark current is less than 5nA and capacitance is about 0.4pF. The calculated bandwidth using the measured series resistance and capacitance is about 4.23GHz.

*正會員, 서울대학교 電子工學科
(Dept. of Elec. Eng., Seoul Nat'l Univ.)
接受日字: 1992年 1月 21日

(※ 이 논문은 91년도 교육부 학술연구조성비(ISRC-92-E-OP-C001)와 한국과학재단 기초연구비에 의해서 지원되었습니다.)

I. 서 론

최근 광소자와 전자소자들을 하나의 기판위에 집적시키려는 광전자집적회로에 대한 연구가 많이 진행되고 있다. 이러한 광전자집적회로를 통하여 시스템의 성능의 향상, 생산원가의 절감, 신뢰성 증가 및 집적화에 따르는 기능성의 증가를 이룩할 수 있을 것으로 생각되며 이러한 광전자집적회로는 광통신시스템뿐만 아니라 장차 컴퓨팅시스템 (computing system)에까지 이용될 것으로 예상된다. 이러한 광전자집적회로들은 상기 열거한 장점에도 불구하고 실제 제작된 결과들은 같은 기능의 하이브리드 (hybrid) 회로보다 성능이 뒤떨어지는 것이 현실이다. 이것은 광소자와 전자소자간의 상호작용을 줄이는 것이 힘들고, 이들이 서로 다른 물질시스템을 요구하게 되므로 제작공정이 복잡해지며 하나의 기판 위에서 광소자와 전자소자를 동시에 최적화시키는 것이 힘들기 때문인 것으로 생각된다. 따라서 소자간의 상호작용이 작으면서도 제작이 쉬운 집적방식이 요구된다. 광전자집적회로의 집적방식에는 광소자와 전자소자들의 상대적 위치에 따라 수평집적형과 수직집적형방식이 있을 수 있으며 수직집적형 광전자집적회로는 광소자와 전자소자를 아래위로 배치하는 구조로서 에피층의 성장이 용이하나, 한정된 반절연성층의 두께 때문에 누설과 기생소자의 영향이 많아서 고속운용이 제한된다.^[1] 반면에 수평집적형은 반절연성기판위에 피트 (pit)을 파고 그 위에만 광소자에 필요한 물질을 기르고 그 이외의 영역에는 전자소자를 형성하는 방식으로 반절연성기판 위에 소자들이 있으므로 기생소자의 영향을 줄일 수 있어서 앞으로 고속운용을 위한 광통신시스템에서 필요한 구조가 될 것이다.^[2] 그러나 수평집적형 광전자집적회로에 사용되는 광소자는 수직집적형의 경우보다 구조가 복잡하기 때문에 소자의 해석에서 3차원적인 영향을 고려한 모델이 필요하며 공정이 복잡해지는 단점이 있다.

이 논문에서는 수평집적형 PIN 광다이오드를 단면에 대한 이차원 시뮬레이션을 통하여 전송선으로 모델링하였으며 이것으로부터 lumped PIN 광다이오드의 파라미터를 추출하여 기생소자의 영향과 고속운용을 위한 PIN광다이오드 구조의 최적화 방법에 대하여 살펴보고 또한 MOCVD를 이용한 에피성장, Zn₃P₂를 이용한 확산공정 및 RIE와 습식식각을 이용한 평탄화공정 등을 이용하여 장파장(1.3~1.55μm) 광통신용 InP/InGaAs PIN 광다이오드를 제작하고 그 특성을 예측하였다.

II. PIN 광다이오드의 모델링

1. 이차원 시뮬레이션 결과 및 모델 추출

수평집적형 PIN 다이오드는 그림 1와 같은 삼차원적인 구조이지만 모델링을 위한 전류의 분포와 전위의 분포를 알기 위해서는 단면에 대한 이차원 시뮬레이션이 적합하다. 이 논문에서는 그림 2와 같은 구조를 이차원 시뮬레이션인 PISCES를 사용하여 시뮬레이션을 하였다. 그림 3은 역방향 전압을 인가했을 때의 전류분포이다. 이때의 전류는 아래쪽의 n⁺층을 통하여 흐르는 성분과 위쪽의 p⁺-n 접합 (junction)을 통하여 흐르는 성분으로 나눌 수 있다. 그림 3은 가로방향의 길이를 편의상 10μm로 했을 때의 전류분포이기 때문에 p⁺-n 접합의 측면을 통한 전류성분이 크게 나타났지만 가로길이가 실제의 PIN 다이오드의 크기인 100μm정도일 때에는 p⁺-n 접합의 측면을 통한 전류성분은 상대적으로 작아지게 된다. 또한 광다이오드 (photodiode)로서 사용될 때에는 p⁺-n 접합의 아래쪽에서만 광생성 (photo-generation)이 일어나므로 p⁺-n 접합의 측면을 통하여 흐르는 전류성분은 무시할 수 있다. 그림 4는 n⁺층을 통하여 흐르는 전류의 크기를 위치에 따라 나타낸 것이다. 전류가 좌측으로 갈수록 증가하다가, p⁺-n 접합이 끝나는 부분부터 감소하기 시작한다. 이것은 p⁺-n 접합의 아래에서는 전류가 n⁺층으로 들어와서 전류밀도가 증가되는 과정이며, p⁺-n 접합이 끝나는 부분부터는 전

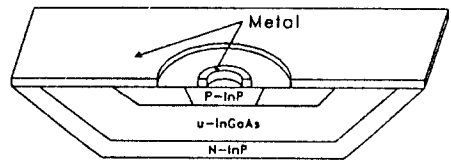


그림 1. 수평집적형 PIN 광다이오드의 사시도
Fig. 1. Tilted-angle view of horizontally integrated PIN photodiode.

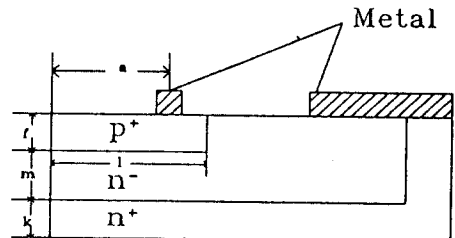


그림 2. PISCES simulation에 사용한 구조
Fig. 2. Structure used in PISCES simulation.

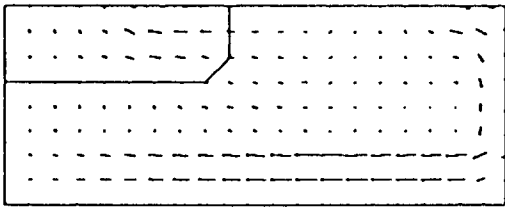


그림 3. PISCES 시뮬레이션으로부터 구한 역방향 바이어스 때의 전류분포(10 $\mu\text{m} \times 4\mu\text{m}$)
 Fig. 3. Current distribution under reverse bias obtained from PISCES simulation.

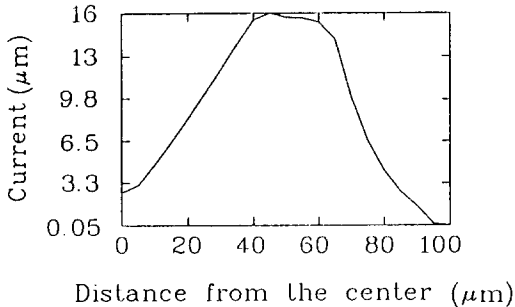


그림 4. 중심으로부터의 거리의 함수로 나타낸, n⁺층을 통하여 흐르는 전류의 크기
 Fig. 4. Contour current along n⁺-layer as a function of distance from the center.

류가 n⁺층으로 누설되는 현상을 보여준다. 이상의 결과로부터 빛에 의한 생성(generation)이 있는 경우에도 p⁺-n 접합 아래쪽은 전류가 들어와 그 밀도가 증가하고 p⁺-n 접합의 바깥쪽은 n⁺층으로의 전류의 누설이 있는 것으로 생각할 수 있다. PIN 광다이오드의 정상운용시는 pn 접합이 형성된 부분에만 빛을 비추게 된다. 이때 빛이 들어오는 영역을 active영역, 빛이 들어오지 않는 영역을 inactive영역이라고 하고, active영역과 inactive영역을 각각 모델링한다. 이 결과들을 종합하면 공핍층에서의 전계분포를 바꿀 정도로 광전류가 크지 않을 때에는 PIN 다이오드를 전송선(transmission line)으로 모델링할 수 있다.

이 영역에서는 빛에 의한 생성전류(generation current)와 p⁺층의 저항성분과 n⁺층의 저항성분과 접합용량(junction capacitance)을 고려해야 한다. 앞에서의 결과를 이용하면 그림 5와 같은 cell을 갖는 전송선(transmission line) 모델을 세울 수 있다. 그림 5에서 r_p는 p⁺층의 저항성분을 나타내는 것이며, 동심환 모양의 원판에서 전류가 안쪽에서 바깥쪽으로 흐를

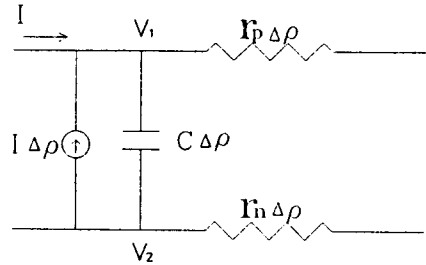


그림 5. Active 영역의 등가회로
 Fig. 5. Equivalent circuit of active region.

때의 저항값으로서 다음과 같이 주어진다.

$$r_p \cdot \Delta \rho = \frac{\Delta \rho \cdot R_{SP}}{2 \cdot \pi \cdot \rho} \quad (1)$$

여기서 R_{SP}는 p⁺층의 면저항(sheet resistance) 이고 ρ는 PIN 다이오드의 중심으로부터의 거리이며 Δρ는 ρ의 미소변화값이다.

r_n은 n⁺층의 저항성분으로서, 다음과 같이 주어진다.

$$r_n \cdot \Delta \rho = \frac{\Delta \rho \cdot R_{Sn}}{2 \cdot \pi \cdot \rho} \quad (2)$$

여기서 R_{Sn}은 n⁺층의 면저항이다.

I는 빛에 의한 생성전류성분이며, 동심환 모양의 원판에서 생성된 전류로서 다음과 같이 주어진다.

$$I \cdot \Delta \rho = 2 \cdot \pi \cdot I_0 \cdot \Delta \rho \quad (3)$$

여기서 I₀는 단위면적당 광생성전류이다.

C는 접합용량을 나타내는 성분으로서 동심환 모양의 원판에 해당되는 정전용량(capacitance)이다.

$$C \cdot \Delta \rho = 2 \cdot \pi \cdot C_0 \cdot \Delta \rho \quad (4)$$

여기서 C₀는 단위면적당 정전용량(capacitance)이다. 이 영역에서는 n⁺층의 저항성분과 n⁺층의 저항을 고려해야 한다. 등가회로는 그림 6과 같은 cell을 갖는 전송선(transmission line)이다. 그림 6에서 r₁은 n⁺층의 저항성분으로서 동심환 모양의 원판에서 아래에서 위로 전류가 흐를 때의 저항이다.

$$\frac{1}{r_1} \cdot \Delta \rho = \frac{q \cdot n_2 \cdot \mu_{n2} \cdot 2 \cdot \pi \cdot \rho \cdot \Delta \rho}{f + m} \quad (5)$$

여기서 f는 p⁺층의 두께이고, m은 active 영역에서의 n⁺층의 두께이며, n₂와 μ_{n2}는 n⁺층의 도우핑 농도와 이동도이다[그림 7]. r_n은 active 영역에서의 경우와 같다.

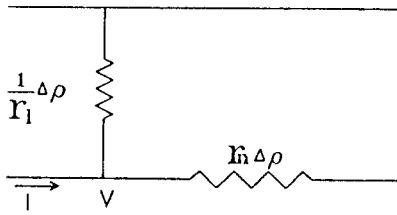


그림 6. Inactive 영역의 등가회로
Fig. 6. Equivalent circuit of inactive region.

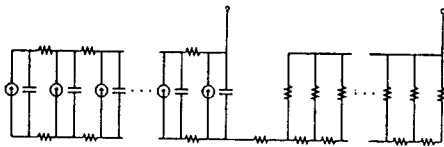


그림 7. PIN 광다이오드의 등가회로
Fig. 7. Equivalent circuit of PIN photodiode.

2. PIN 광다이오드의 lumped model

1) Rn1의 계산

그림 8에서 Rn1은 active n+층의 등가저항이며, 앞에서 세운 전송선 모델에서 p+영역의 저항성분을 무시하고 active영역에서 n+층의 전류와 전압의 관계식을 풀어서 active n+층의 등가저항 Rn1을 구할 수 있다. Active영역에서 n+층에서의 전류와 전압의 관계는 다음과 같은 식으로 표현된다.

$$\frac{dV(\rho)}{d\rho} = \frac{Rsn}{2 \cdot \pi \cdot \rho} \cdot I(\rho) \quad (6)$$

$$\frac{dI(\rho)}{d\rho} = -j \cdot \omega \cdot 2 \cdot \pi \cdot c_0 \cdot \rho \cdot V(\rho) + 2 \cdot \pi \cdot i_0 \cdot \rho \quad (7)$$

여기서 Rsn은 n+층의 면저항(sheet resistance)이다.

위의 식들을 $k\rho$ (1인 조건에서 근사시켜 풀면 식(8)을 얻을 수 있다. 여기서

$$k = \sqrt{-i \cdot \omega \cdot c_0 \cdot Rsn}$$

$$V(1) = \frac{\pi \cdot i \cdot 1^2 \cdot R_L}{1 + j \cdot \omega \cdot C \cdot (R_L + R_L + Rsn/8\pi)} \quad (8)$$

여기서 1은 active영역의 반지름이며, R_L 은 부하저항이고 $C = \pi \cdot 1^2 \cdot C_0$ 이다. 따라서 active영역의 등가저항 Rn1은 $Rsn/8\pi$ 로서 주어진다.

2) Rp의 계산

그림 8에서 Rp는 p+층의 등가저항이며, 직류성분만을 고려할 때 p-층에 흐르는 전류는 다음과 같다.

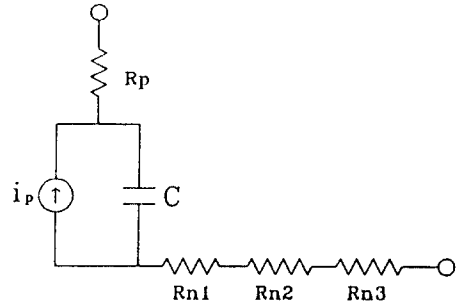


그림 8. PIN 광다이오드의 lumped model
Fig. 8. Lumped model of PIN photodiode.

$$i(\rho) = \begin{cases} i_0 \cdot \rho^2 & ; \rho < a \\ i_0 \cdot (1^2 - \rho^2) & ; \rho > a \end{cases} \quad (9)$$

여기서 a는 전극의 위치이다.

전력계산방법[4]을 이용하여 등가저항을 구하면 다음과 같다.

$$R_p = \frac{Rsp}{8 \cdot \pi} + \frac{Rsp}{2 \cdot \pi} \cdot 1n(1/a) - \frac{Rsp}{2 \cdot \pi \cdot 1^2} \cdot (1^2 - a^2) \quad (10)$$

Rp가 최소로 되는 a의 값은 $1/\sqrt{2}$ 가 된다.

3) Rn2의 계산

그림 8에서 Rn2는 active 영역과 N전극 사이의 등가저항이며, 다음과 같이 주어진다.

$$Rn2 = \int_1^h \frac{Rsn}{2 \cdot \pi \cdot \rho} \cdot d\rho = \frac{Rsn}{2 \cdot \pi} \cdot 1n(h/1) \quad (11)$$

여기서 h는 중심으로부터 N 전극까지의 거리이다.

4) Rn3의 계산

그림 8에서 Rn3는 N전극 아래 부분의 등가저항이며, N전극 아래 부분의 전송선 모델은 다음과 같은 미분방정식으로 표현될 수 있다.

$$\frac{dV}{d\rho} = \frac{Rsn}{2 \cdot \pi \cdot \rho} \cdot I(\rho) \quad (12)$$

$$\frac{dI}{d\rho} = \frac{2 \cdot \pi \cdot \rho}{Ri} \cdot V(\rho) \quad (13)$$

여기서 $Ri = t / (qn_2un_2)$ 이고, t는 i-층의 두께이며, n_2 와 un_2 는 각각 i-층의 도우핑농도와 이동도이다.

위의 식들을 $b \gg 1$ 인 조건에서 근사하여 풀면 식(14)을 얻을 수 있다. 여기서 $b = (Rsn/Ri)^{0.5}$ 이다.

$$V(\rho) = \frac{C}{\rho^{0.5}} \cdot \exp(-b \cdot \rho) \quad (14)$$

따라서 등가저항 $Rn3$ 는 다음과 같다.

$$Rn3 = \frac{V(h)}{I(h)} \cdot \frac{2}{2bh+1} \quad (15)$$

여기서 h 는 중심으로부터 N 전극까지의 거리를 의미한다.

3. PIN 광다이오드의 주파수 특성

장파장 영역의 빛을 수광하기 위한 InP/InGaAs 수평식형 PIN 광다이오드에서는 장파장영역의 빛을 흡수하지 않는 InP로써 p층과 n층을 만들기 때문에 InGaAs로 만들어진 i층에서만 빛의 흡수가 일어나므로 확산에 의한 시간지연이나 p층 및 n층에서의 빛의 흡수에 의한 양자효율의 감소가 거의 무시된다. 이 경우 PIN 광다이오드의 속도는 transit 시간, RC 지연시간, 이종접합 계면에서의 전하포획 등에 의해서 제한된다.⁵⁾ Transit 시간은 i층에서의 캐리어의 이동속도에 의존하는데, 이것은 다시 전계의 세기에 관련된다. 일반적으로 PIN 광다이오드는 i층을 완전히 공핍시키기 위해서 충분한 역방향 전압을 가해하므로 공핍층내에는 강한전계가 가해져서 캐리어는 거의 포화속도로 이동하게 된다. 대략적인 transit 시간의 계산은 i층의 두께를 캐리어의 포화속도로 나눈 값이 된다. 그러나 빛의 흡수가 균일하지 않고, 즉 지수함수적으로 변화하고, 전자와 정공의 포화속도가 서로 다르기 때문에 이것을 고려한 경우 위의 대략적인 계산과는 다른 결과가 나온다. 빛이 p층에서 들어올 때의 transit 시간에 의한 PIN 광다이오드의 주파수 응답특성은 다음과 같이 주어진다.⁶⁾

$$\frac{i(\omega)}{i(o)} = H(\omega) = \frac{1}{1 - \exp(-\alpha L)} \cdot \left[\frac{1 - \exp(j\omega\tau_p - \alpha L)}{j\omega\tau_p + \alpha L} + \exp(-\alpha L) \cdot \frac{\exp(-j\omega\tau_p) - 1}{j\omega\tau_p} + \frac{1 - \exp(-j\omega\tau_n)}{j\omega\tau_n} + \exp(-\alpha L) \cdot \frac{1 - \exp(-\alpha L - j\omega\tau_n)}{\alpha L - j\omega\tau_n} \right] \quad (16)$$

여기서 $i(\omega)$ 는 검출된 광전류, ω 는 각변조 주파수, L 은 i층의 두께, α 는 광흡수계수, v_n, v_p 는 각각 전자와 정공의 포화속도, $\tau_n = L/v_n, \tau_p = L/v_p$ 이다. Transit 시간만을 고려할 때에는 i층의 두께가 작아질수록 주파수응답이 개선되지만, 실제로는 i층의 두께가 줄어들면 PIN 광다이오드의 접합용량(junction capacitance)이 증가하여 RC지연시간이 증가한다. 따라서 고속운동을 위한 최적의 i층 두께가 존재하게 된다. Transit 시간과 RC지연시간을 동시에 고려할 때의 PIN 광다이오드의 주파수응답 특성은 다음과 같이

주어진다.

$$\frac{i(\omega)}{i(o)} = H(\omega) \cdot \frac{1}{(1 + i \cdot \omega \cdot R \cdot C)} \quad (17)$$

위의 식에서 R 은 PIN 광다이오드의 직렬저항과 부하저항의 합이며, C 는 PIN 광다이오드의 접합용량, 연결선 및 bonding pad의 기생용량, 증폭기회로의 입력정전용량들의 합으로서 주어지는데 수평집적형구조에서는 반절연성기판 위에 소자가 만들어지므로 기생용량이 아주 작아서 주된 정전용량의 성분은 PIN 광다이오드의 접합용량이다. 앞에서의 모델에서 PIN 광다이오드의 직렬저항(series resistance)은 $R_p + Rn1 + Rn2 + Rn3$ 가 된다. 그림 9는 각 설계변수(광감응영역의 직경, i층의 두께, n⁺층의 두께, N전극의 위치)의 값의 변화에 따른 RC 지연시간에 의한 주파수특성의 변화를 나타낸 것이다.

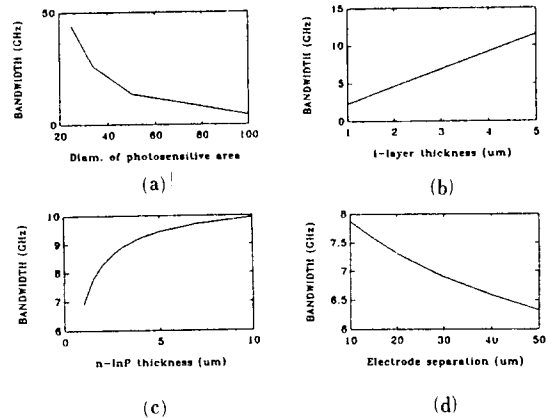


그림 9. RC 지연시간에 의한 3dB 차단주파수 (f_{3dB})

- (a) 광감응영역의 직경과 f_{3dB}
- (b) i층의 두께와 f_{3dB}
- (c) n⁺-InP층의 두께와 f_{3dB}
- (d) N-전극의 위치와 f_{3dB}

Fig. 9. 3dB cut-off frequency due to RC delay (f_{3dB}).

- (a) Photo-sensitive area vs. f_{3dB} ,
- (b) i-layer thickness vs. f_{3dB} ,
- (c) n⁺-InP layer thickness vs. f_{3dB} ,
- (d) Position of N-electrode vs. f_{3dB} .

III. PIN 광다이오드의 제작

이상의 모델링은 어느 기관에서 제작된 OEIC에도 적용되었으나, 이 단원에서는 실제로 OEIC가 가장 절실히 요구되는 적용분야의 하나인 장파장 광통신

용 OEIC를 위한 수평집적형 PIN 광다이오드의 제작에 대하여 기술하겠다.

1. 단위공정

1) 핏식각공정

이 공정은 PIN 광다이오드가 형성될 영역을 만드는 공정으로서 그 위에 PIN 광다이오드를 위한 에피층을 성장시키게 되므로 결함이 작고 측면경사가 작아야 한다. 또한 핏의 깊이는 에피층의 두께와 비슷하게 하는 것이 평탄화 공정에 유리하다. 이 논문에서는 Si₃N₄막을 식각마스크로 이용하여 5H₂SO₄:1H₂O₂:1H₂O용액을 이용하여 핏을 식각하였다. 이 식각용액에서의 InP식각률은 대략 5~6μm/min 정도이나 식각용액을 섞을 때 발생하는 열을 이용하여 식각용액을 활성화시키기 때문에 식각용액이 시간이 지나감에 따라서 식으면서 식각률이 감소하게 되므로 정확한 식각깊이의 조절을 위해서는 세심한 주의가 필요하다.

2) 에피성장공정

에피성장된 물질은 아래로부터 undoped-InP, n-InP, undoped-InP, undoped-InGaAs, undoped-Inp의 순으로 길러졌으며 각층의 두께는 그림 10과 같이 길러졌다. n-InP층은 PIN 다이오드의 n층을 형성하기 위한 것이며, n-InP 아래 위의 undoped-Inp는 버퍼(buffer)층으로 사용되었고, undoped-InGaAs는 장차 광흡수층으로 사용될 i층이며, 윗쪽의 undoped-InP는 Zn 확산공정을 통하여 p층으로 만들어질 층이다. 에피 성장에 이용된 MOCVD장비는 미국의 Spire Co.의 제품이며, 반응기는 수직수냉형의 quartz bell jar와 graphite susceptor로 구성되어 있다. 에피층은 600°C, 76Torr에서 성장되었으며 In의 소스로는 TMI, Ga의 소스로는 TEG를 사용하였다. 상세한 것은¹⁷⁾에 상술될 예정이다.

undoped - InP	1.0μm	undoped - InP	1.0μm
i -InGaAs	2.5μm	i -InGaAs	2.5μm
undoped - InP	0.5μm	undoped - InP	0.5μm
n -InP	0.5μm	n -InP	1.0μm
undoped - InP	0.5μm	undoped - InP	0.5μm

(a) (b)

그림 10. 성장된 에피층의 두께

(a) 구조 I (b) 구조 II

Fig. 10. The thickness of epitaxial layers.

(a) Structure I, (b) Structure II.

그림 11은 성장된 에피층의 표면을 α-step으로 관찰한 것이다. 핏의 경계부분에서 약 0.5μm의 over growth를 제외하고는 원래의 핏 모양과 유사하다.



그림 11. 에피면의 α-step 측정결과

Fig. 11. αstep result of epi-surface.

3) 평탄화공정

평탄화공정의 목적은 첫째로 PIN 광다이오드가 만들어질 영역 이외의 에피층을 제거하고 둘째로 기판 표면을 평탄하게 함으로써 이후의 광리소그래피 및 금속화공정을 쉽게 하자는 것이다. 평탄화공정에서 습식식각만을 사용한 경우는 스텝의 높이를 2μm 이하로 줄이기가 힘들다는 문제점이 있으며, RIE만을 이용한 평탄화공정의 경우 낮은 InP층의 식각률과 폴리머(Polymer)형성의 문제점이 있었다. 따라서 이 논문에서는 RIE와 습식식각을 같이 사용하여 평탄화공정을 하였다. 그 과정은 핏영역을 PR로서 마스크한 후에 1HCl:4H₃PO₄를 이용하여 맨위의 InP 층을 식각한 후, RIE(CCl₂F₂:15sccm, Ar:30sccm, Pressure:24mTorr, Power:150W)로써 InGaAs층을 식각한다. 이때 InGaAs의 식각률은 약 800Å/min이고 PR의 식각률은 약 500Å/min이다. 그후 1H₂SO₄:1H₂O₂:10H₂O용액으로 약간 남아있는 InGaAs층을 식각하고, 1HCl:4H₃PO₄용액으로 아래쪽의 InP에피층을 식각하는 방법을 사용하고 있다.

그림 12는 평탄화공정의 각 단계를 나타낸 것이다.

그림 13은 평탄화공정 이후 표면의 높이를 α-step로 측정된 결과이다. 마지막 습식식각공정에서 2μm 정도의 스텝이 생겼으나 이는 실제로 경사도가 작고, 또 이후에 Polyimide 공정을 다시 거치므로 별 문제가 되지 않는다.

4) 확산공정

확산공정은 PIN 광다이오드의 p층을 형성하여 광감응영역을 정의하기 위한 것으로서 이 실험에서는 Zn₃P₂를 소스로 사용하여 Zn확산을 시행하였다. 공

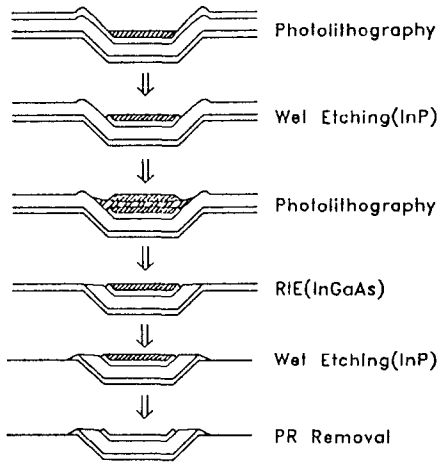


그림 12. 평탄화공정
Fig. 12. Planarization process.

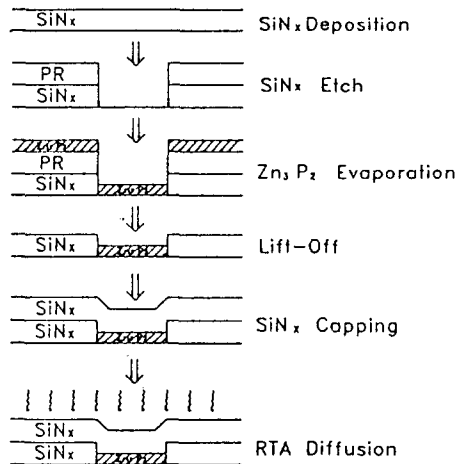


그림 14. 확산공정
Fig. 14. Diffusion process.

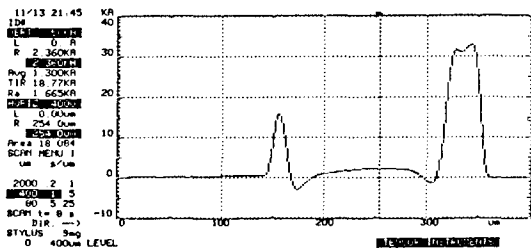


그림 13. 평탄화공정 이후의 단면모양
Fig. 13. α -step result of surface after planarization.

공정 순서는 그림 14와 우선 Si_3N_4 막을 입힌 후 이 Si_3N_4 막에 확산이 시행될 곳만을 식각하여, Si_3N_4 막을 확산장벽으로 이용하였다. 그후 열증착기에서 Zn_3P_2 가루를 증착하여 기판의 표면에 Zn_3P_2 막을 입히고 Si_3N_4 막으로 캡핑하였다. 이 방법은 공정이 간단하고 큰 시편에 대해서도 균일한 확산이 용이하므로 다른 확산방법에 비하여 집적회로의 공정에 적합하다.⁷⁾ 확산이 InGaAs층으로 너무 많이 되면 i층이 감소하여 접합용량이 증가하고 양자 효율이 감소하는 문제가 생기며, 확산이 너무 작게 되면 InP/InGaAs 접합이 공핍층 안에 있게 되므로 정공포획(hole capture)에 의하여 주파수특성이 나빠진다. 따라서 확산은 적절히 조절되어서 InGaAs층으로 약간 확산이 되도록 하여야 한다. 확산은 600°C 에서 30초 및 2분간 RTA에서 이루어졌다. 그후 Si_3N_4 막은 $5\text{H}_2\text{O}$ 용액에서, Zn_3P_2 막은 $1\text{HNO}_3 : 1\text{H}_2\text{O}$ 용액에서 각각 제거하였

다. 표 1은 $550, 600, 650^\circ\text{C}$ 에서 각각 10초 및 2분간 확산한 시편을 Hall 측정 한 결과이다. InGaAs에 대한 확산 실험을 RTA에서 550°C 에서 49분간 실시하였으나 저항이 너무 커서 Hall 측정이 불가능하였다. 이것은 InGaAs의 확산계수(diffusivity)가 아주 작아서 확산이 충분히 되지 못한 결과로서, 이것으로부터 PIN 광다이오드 구조에 대한 확산시에 InGaAs층이 확산장벽으로 작용하여 InP층에만 p층이 형성될 수 있음을 보여준다.

표 1. 확산 시편의 Hall 측정결과

Table 1. Results of hall measurement of diffused sample.

확산온도 ($^\circ\text{C}$)	확산시간 (sec)	이동도 ($\text{cm}^2/\text{V}\cdot\text{s}$)	면농도 (cm^{-2})
550	121	104.8	$2.031 \cdot 10^{13}$
550	9	76.5	$4.089 \cdot 10^{13}$
600	121	69.9	$3.462 \cdot 10^{13}$
600	9	59.7	$1.608 \cdot 10^{14}$
650	9	60.9	$6.751 \cdot 10^{13}$
650	121	46.9	$5.421 \cdot 10^{14}$

5) 금속화공정

수평집적형 PIN 광다이오드를 완성하기 위해서 세 번의 금속화공정이 필요한데 열증착기에서 금속을 증착하였으며 리프트오프를 통하여 금속패턴을 정의하였다. 리프트오프는 Si_3N_4 를 이용하여 이루어졌으며,

SiN_x의 식각은 RIE를 이용하였다. n형 및 p형 저항성접착을 위한 얼로이(alloy)는 RTA에서 이루어졌다.

p형 저항성접착을 위한 금속은 Au/AuZn/Cr/Au (100Å/100Å/1000Å/1000Å)를 사용하였으며, AuZn는 p형의 도우핑원으로서 사용되었고 아래쪽의 Au는 금속의 반도체 표면에 대한 접착성을 좋게 하기 위해서 사용되었으며 Cr은 Zn의 외부확산과 Au의 내부확산을 막기 위한 확산장벽으로서 사용되었다. n형 저항성접착을 위한 금속은 AuGe/Ni/Au(800Å/200Å/1000Å)를 사용하였고 AuGe는 n형의 도우핑원으로서 사용되었다. n형 저항성접착을 위한 금속공정후에 평탄화 및 기판과 금속사이의 절연을 위하여 Polyimide를 사용하였다. 그후 SiN_x를 입힌 후 이것을 이용하여 연결금속(Cr/Au)을 증착하여 리프트오프를 하였다. 금속증착 후 저항성접착을 위한 얼로이는 질소 분위기 하의 RTA에서 이루어지며 p형 금속의 경우는 450°C에서 1분간, n형 금속의 경우는 400°C에서 1분간 시행하였다.

2. 공정집적

PIN 광다이오드의 제작과정은 핏(pit)식각공정, 에피층(epi-layer) 성장공정, 평탄화공정, 확산공정, 금속공정의 순으로 진행되며 제작된 PIN 광다이오드는 그림 15와 같은 단면을 갖게 된다. 소자를 제작하기 위해서는 앞에서 설명한 5가지 단위공정을 순서대로 행하게 되며 그 과정은 그림 16에 나타나 있다. 소자들은 에피의 구조 및 확산시간을 변화시켜 제작되었으며 제작된 소자들의 에피구조 및 확산시간은 표 2에 나타나 있다. 소자 제작시 연결금속과 기판의 단락을 막고 평탄성을 개선하기 위해서 연결금속을 하기 전에 Polyimide 공정을 하였다.

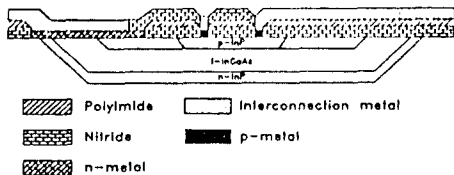


그림 15. PIN 광다이오드의 단면
Fig. 15. Cross-sectional view of PIN photodiode.

IV. PIN 광다이오드의 특성 분석

제작된 소자의 특성을 알아보기 위해서 C-V와 I-V 및 1.3μm LASER에 대한 응답을 측정하였다. C-V

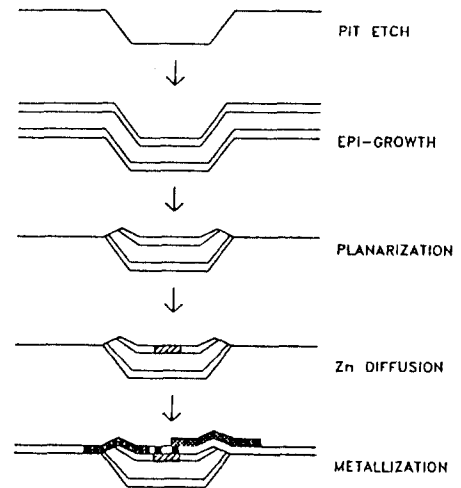


그림 16. PIN 광다이오드의 제작공정
Fig. 16. Fabrication process of PIN photodiode.

표 2. 제작된 PIN 광다이오드의 공정조건
Table 2. Process conditions of fabricated PIN photodiodes.

웨이퍼 번호 (#)	에피구조	확산시간 (sec)	확산온도 (°C)
1-A	Structure I	300	550
1-B	Structure I	120	600
2-A	Structure II	30	600
2-B	Structure II	10	600

측정결과로부터 소자의 바이어스 전압 및 구조에 따른 정전용량 및 기생용량의 크기등을 관찰하고, 역방향 바이어스 때의 I-V 측정결과로부터 암전류의 변화를 관찰하고 이것으로부터 적합한 바이어스의 크기를 결정하였다. 또한 순방향 바이어스 때의 I-V 측정결과로부터 순방향 바이어스 시의 직렬저항을 구하였으며, 이것은 역방향 바이어스 시의 직렬저항과 비슷한 값을 가진 것으로 예상되므로 이것을 이용하여 RC 시연시간에 의한 수파수 응답을 구할 수 있게 되며 이것으로부터 소자의 전체 수파수 응답을 추출하였다. 또한 1.3μm LASER를 이용하여 제작된 소자의 동작여부를 관찰하였다.

1. C-V 측정결과

그림 17은 각 소자의 C-V 측정결과이다. 전반적으로 소자의 정전용량이 큰것은 i층의 도우핑이 5·10¹⁵cm⁻³ 정도로서 크므로 완전한 공핍이 30V 정도에서 일어나기 때문이다.

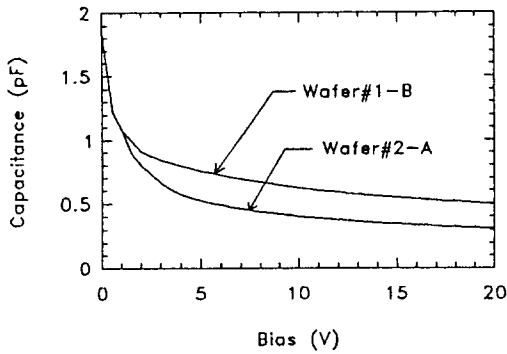


그림 17. C-V 측정결과(시편# 1-B와 시편# 2-A)
 Fig. 17. C-V measurement results(Sample# 1-B and Sample# 2-A).

한편 600°C에서 2분간 확산한 시편에서 정전용량이 크게 나온 것은 측면확산에 의한 접합면적의 증가 및 InGaAs층으로의 확산에 의한 i층의 감소로 인한 것이다. 또한 그림 18은 연결금속이 있는 경우와 없는 경우의 C-V 측정결과이다. 이것으로부터 연결금속 및 본딩패드(bonding pad)에 의한 기생정전용량은 동작 전압(>5V)에서는 거의 무시될 수 있는 수준임을 알 수 있다.

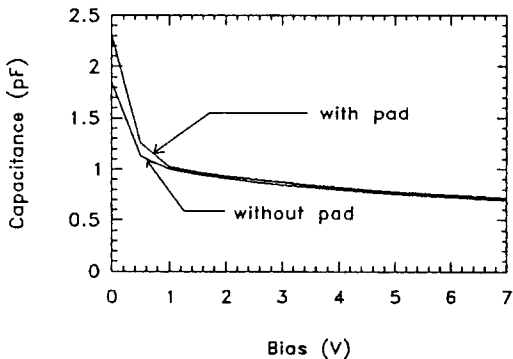


그림 18. C-V 측정결과(시편# 1-B)
 Fig. 18. C-V result (Sample# 1-B).

2. I-V 측정결과

그림 19는 각소자의 역방향 바이어스시의 I-V 측정결과이다. 600°C에서 30초간 확산한 시편의 경우 10V의 역방향 바이어스에서 5nA이하의 암전류와 약 30V의 항복(breakdown) 전압이 관찰되었다. 600°C에서 2분간 확산한 시편에서는 암전류가 약간 증가하였으며, 이것은 위의 C-V 측정결과에서 설명한 것과

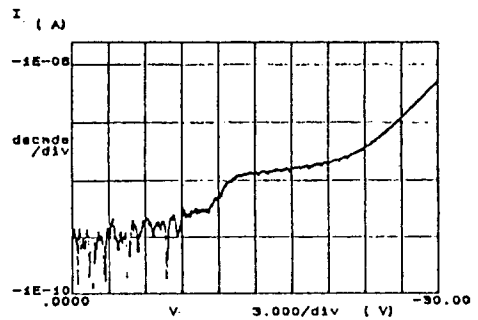


그림 19. 역방향 바이어스때의 I-V 측정결과(시편# 2-A)
 Fig. 19. I-V results under reverse bias (Sample# 2-A).

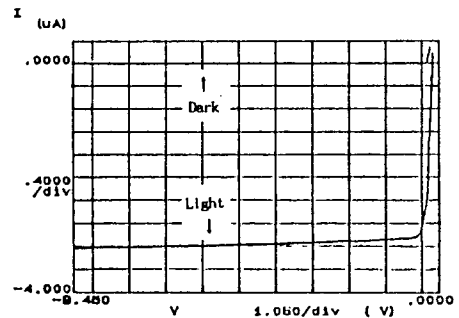


그림 20. 1.3μm LASER에 대한 응답(시편# 2-A)
 Fig. 20. Response to 1.3μm LASER(Sample# 2-A).

같은 이유에서이다.

그림 20은 소자의 1.3μm LASER에 대한 응답을 암응답(dark response)과 함께 보인 것이며 10V 정도의 역방향 바이어스까지 평탄한 암전류와 광전류 특성을 보이고 있다. 한편 양자효율(quantum efficiency)과 응답도(responsivity)의 측정은 소자의 반반사코팅(anti-reflecting coating) 처리와 아울러 계획중이다.

순방향 바이어스시의 I-V 측정으로부터 직렬저항을 구할 수 있으며 그 값은 표 3에 나타난 바와 같이 각각 시편 # 1-B에서 47.8Ω, 시편 # 2-A에서 34.4Ω이다. 각 시편에서 모델로부터 계산한 값은 시편# 1-B에서는 35.4Ω, 시편# 2-A에서는 26.0Ω이다. 표 3에 계산에 사용한 변수들의 값들을 나타내었다. 모델로부터 계산한 값과 실제측정값이 차이가 나는 것은 모델에서는 접촉저항을 고려하지 않았고, 실제로는 시편# 1-B과 시편# 2-A가 확산시간이 다르지만 모델로부터 계산할 때에는 같은 도우핑농도를 갖는 것으로 계산했기 때문이다.

표 3. 측정된 직렬저항의 값과 모델로부터 계산된 값

Table 3. Measured series resistance and calculated values from model.

웨이퍼 번호	측 정 값	계 산 값
1-B	47.8Ω	35.4Ω
2-A	34.4Ω	26.0Ω

표 4. 직렬저항의 계산에 사용한 변수의 값들

Table 4. The values of each parameter used in the calculation of series resistance.

p층의 도우핑	n층의 도우핑	성공의 이동도
$1 \cdot 10^{18} \text{cm}^{-3}$	$5 \cdot 10^{17} \text{cm}^{-3}$	$60 \text{cm}^2/\text{V} \cdot \text{s}$
전자의 이동도(InP)	i층의 도우핑	전자의 이동도(InGaAs)
$2000 \text{cm}^2/\text{V} \cdot \text{s}$	$5 \cdot 10^{15} \text{cm}^{-3}$	$9500 \text{cm}^2/\text{V} \cdot \text{s}$

3. 주파수특성 계산

PIN 광다이오드의 접합용량과 직렬저항과 i층의 두께를 알 때 이것으로부터 RC 지연시간과 transit 시간을 고려한 주파수 특성을 계산할 수 있으며, 이것은 실제 측정값과 유사할 것으로 생각된다. 앞에서의 I-V 및 C-V 측정결과로부터 10V정도의 바이어스가 적합하다는 것을 알 수 있으며 이때의 RC 지연시간에 의한 주파수특성은 10V에서의 접합용량 및 앞에서 구한 직렬저항의 의해서 결정된다. 또한 이때의 i층이 두께는 완전한 공핍을 가질 때 3μm 이므로 transit 시간에 의한 주파수특성을 구할 수 있다. 완전한 공핍이 이루어지지 못했을 경우는 실제적인 i층의 두께는 감소하게 되고 따라서 transit 시간에 의한 주파수특성은 완전한 공핍의 경우보다 개선되지만, 확산에 의한 속도제한을 고려해야 한다. 50Ω의 부하저항을 달았다고 할 때 RC 지연시간에 의한 대역폭은 시편#1-B에서는 2.927GHz, 시편#2-A에서는 4.656GHz이다. 또한 i층의 두께를 3μm로 가정할 때 transit시간에 의한 대역폭은 10.8GHz이다. 따라서 RC 지연시간과 transit 시간을 동시에 고려할 때의 대역폭은 식(17)로부터 시편#1-B에서는 2.8GHz, 시편#2-A에서는 4.23GHz이다.

V. 결 론

수평집적형 PIN 광다이오드는 기생소자의 영향을 크게 줄일 수 있어서 앞으로 고속의 광통신을 위한 광전자집적회로에 필요한 소자가 될 것이다. 이 논문

에서는 이러한 수평집적형 PIN 광다이오드를 단면에 대한 이차원 시뮬레이션을 통하여 전송선으로 모델링하였으며 이 전송선 모델로부터 lumped PIN 광다이오드의 모델의 파라미터들을 추출할 수 있었다. 여러가지 구조의 PIN 광다이오드의 주파수 특성을 계산할 수 있었으며 이것으로부터 PIN 광다이오드의 고속운동을 위한 구조의 최적화를 꾀할 수 있었다. 또한 소자를 제작하기 위한 기초기술인 RIE 공정과 확산공정을 개발하였으며, 핏식각, 에피성장, 평탄화, 확산 및 금속화 공정을 거쳐서 소자를 제작하였다. 제작된 소자에 대해서 C-V 및 I-V 측정과 1.3μm LASER에 대한 응답측정을 하였으며 이 측정결과로부터 소자의 주파수특성을 추출하여 모델링의 결과와 비교하였다.

감사의 글

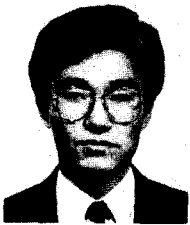
본 논문의 저자들은 소자제작에 있어서 한국전자통신연구소의 화합물 반도체 연구부장 이용탁박사의 도움과 서울대학교 정창오, 박철우, 신동원씨의 도움에 감사합니다.

参 考 文 献

- [1] S.R. Forrest, "Monolithic optoelectronic integration: A new component technology for lightwave communication," *J. Lightwave Technol.*, vol. 3, no. 6, pp. 1248-1263, 1985.
- [2] S. Miura, H. Kuwatsuka, t. Mikawa, O. Wada, "Planar embedded InP/GaInAs p-i-n photodetector for very high-speed operation," *J. Lightwave Technol.*, vol. 5, no. 10, pp. 1371-1376, Oct., 1987.
- [3] Martin Dentan, Baudouin De Cremoux, "Numerical simulation of the Nonlinear Response of a p-i-n Phodiode Under High Illumination," *J. Lightwave Technol.*, vol. 8, pp. 1137-1144, Aug., 1990.
- [4] M. Shur, *GaAs Devices and Circuits*, Plenum Press(New York and London), p. 629, 1986.
- [5] John e. Bowers, Chavles A. Burrus, Jr., "Ultrawideband long-wavelength p-i-n photodetectors," *J. Lightwave Technol.*, vol 5, no. 10, pp. 1339-1350, Oct., 1987.
- [6] G.Lucovsky, R.F.Schwarz, R.B. Emmons, "Transit- time considerations in p-i-n diodes," *J. Appl. Phys.*, vol. 35, Mar., 1964.
- [7] J.B. Yoo et al., manuscript in preparation.

- [8] R. Singh et al., "Junction and ohmic contact formation on compound semiconductor by rapid isothermal processing," *J. Vac. Sci. Technol.*, vol. 5, no. 4, pp. 1819-1823, Jul. /Aug., 1987.
- [9] P. Ambree et al., "Acceptor diffusion across InGaAS/InP heterointer-faces," *Appl. Phys. Lett.*, vol 56, no. 10, pp.931-933, Mar., 1990.

著 者 紹 介



呂 柱 天

1967年 12月 24日生. 1990年 2月
서울대 전자공학과 졸업. 1992年
2月 서울대 전자공학과 공학석사
취득. 1992年 2月 금성사 안양 연
구소 연구원. 수관심 분야는 광전
자집적회로, 광소자 등임.

金 成 俊 (正會員) 第28卷 A編 第5號 參照

현재 서울대학교 전자공학과
교수