

다결정 실리콘 위에 성장한 ONO 절연체의 전기적 특성

(Electrical Properties of ONO Dielectrics Grown on Polycrystalline Silicon)

趙 成 天*, 梁 光 善**, 朴 訓 洙**, 金 鳳 烈**

(Sung Chun Cho, Kwang Sun Yang, Hoon Soo Park, and Bong Ruyul Kim)

要 約

급속 열처리 방법 (rapid thermal processing) 을 이용하여 다결정 실리콘 위에 성장한 ONO (reoxidized nitrided oxide) interpoly 절연체를 제작하여 전기적 특성을 분석하였다. ONO 박막을 성장시키기 위한 다결정 실리콘은 비정질 상태로 증착 하였고, 결정화를 위한 추가 열공정을 거친 후에도 평탄한 표면을 유지할 수 있었다. 다결정 실리콘의 도핑은 POCl_3 도핑과 arsenic 이온 주입으로 실행하였고, Fowler-Nordheim 특성 곡선에서 구한 유효 에너지 장벽 높이와 절연 파괴 전계는 다결정 실리콘의 도핑 농도가 증가할수록 우수한 특성을 나타내었다. 그러나 도핑 농도가 $2 \times 10^{20} [\text{cm}^{-3}]$ 이상되면 그 특성이 저하되었다. TDDB infant fail 방법과 절연 파괴 전계로 측정된 다결정 실리콘 ONO 박막의 신뢰성은 다결정 실리콘의 도핑 농도가 증가할수록 저하되었다.

Abstract

The electrical properties of ONO interpoly dielectrics grown by polycrystalline silicon have been studied. The polysilicon layer deposited as amorphous state kept its surface smoothness even after subsequent heat cycle induced crystallization. Polysilicon was doped with a POCl_3 and arsenic ion implantation. Arsenic was implanted in several different doses. The effective barrier heights calculated from F-N plotting method and breakdown fields increased as the polysilicon doping concentration increased. On the other hand they were degraded when arsenic concentration in polysilicon exceeded $2 \times 10^{20} [\text{cm}^{-3}]$. The reliability of dielectric as monitored by TDDB infant fail and breakdown field showed increasing degradation as doping concentration increased.

I. 서 론

다결정 실리콘 박막위에 성장된 다결정 실리콘 산화막 (polyoxide) 은 EPROM, E²PROM 등과 같은 non-volatile 기억 소자의 stacked gate structure와 DRAM 의 stacked-capacitor cell의 절연막으로 널리 이용된다.¹⁾ 그러나 반도체 공정 기술의 발달로 집적도가 증가함에 따라 다결정 실리콘과 그 산화막의 두께가 얇

아지게 되면서, 고농도로 도핑된 다결정 실리콘으로부터의 불순물과 다결정 실리콘과 polyoxide 계면에 형성된 돌출부 (asperities)에서의 국부적 전장 증가 (localized field enhancement) 현상으로 인한 누설 전류의 증가와 낮은 절연 파괴 전압이 절연 박막으로서 실리콘 산화막의 한계점으로 지적되고 있다.^{2,3)} 따라서, 본 연구에서는 실리콘 산화막에 비해 누설 전류가 작고 절연 파괴 전압이 큰 ONO (reoxidized nitrided oxide) 박막을, 고온에서의 장시간 열처리로 수반되는 불순물 재분포 (impurity redistribution)의 단점을 갖고 있는 로 (furnace) 공정 대신에 시간과, 온도를 정확히 조절할 수 있고, 매우 짧은 시간동안 높은

*準會員, **正會員, 延世大學校 電子工學科
(Dept. of Ele. Eng., Yonsei Univ.)
接受日字: 1991年 12月 26日

온도로 열처리할 수 있는 급속 열처리 방법 (rapid thermal processing: RTP) 을 사용해서 다결정 실리콘 산화막을 질화 (nitridation) 와 재산화 (reoxidation) 를 거쳐 형성하였다.^[4] 또한, 하층 polysilicon을 기존의 $POCl_3$ 로 도핑함으로써 야기되는 산화막의 절연 특성 저하를 해결하기 위해서, polysilicon의 도핑 농도를 arsenic 이온 주입으로 변화시켜 도핑 농도에 따른 절연막의 전기적 특성을 분석함으로써 실제 기억 소자에의 적용 가능성을 검토하였다.^[5]

II. 실험 방법

그림 1의 공정 순서로 interpoly 구조의 ONO 캐패시터를 제작하였다. 결정 방향이 (100) 이고, 비저항 $1 \sim 20[\Omega\text{-cm}]$ 인 N형 4인치 실리콘 웨이퍼를 기판으로 사용하였다. 하층 polysilicon을 평탄한 표면을 만들기 위해 560°C amorphous (비정질) silicon 상태로 증착하였다. 하층 polysilicon의 doping을 위한 arsenic 이온 주입은 에너지 100KeV 로 고정하고, dose를 $3,5,7,9 \times 10^{15}[\text{ion}/\text{cm}^2]$ 로 변화시키면서 하층 polysilicon의 doping이 ONO의 신뢰성에 미치는 효과를 분석하였다. ONO의 bottom oxide는 furnace를 이용하여 900Å 성장시킨 후, RTP로 950°C 에서 60초 동안 질화와, 1050°C 에서 60초 동안 재산화를 실행하여 ONO 박막을 성장하였다. 또한 하층 polysilicon을 $POCl_3$ 로도 도핑하여 비교분석 하였다. 상층 polysilicon은 625°C 에서 polysilicon 상태로 약 4300Å 증착시킨 후 900°C 20분간 $POCl_3$ 도핑하였고, Al(1% Si)을 이용하여 전극을 형성하였다.

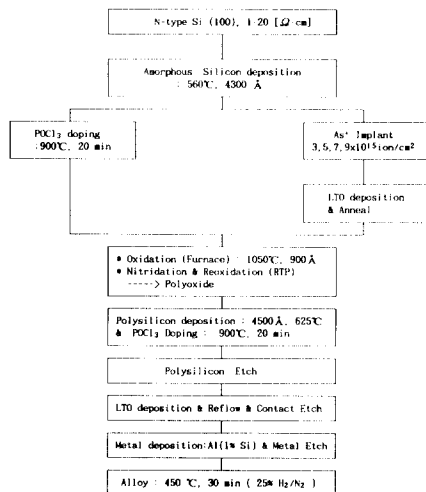
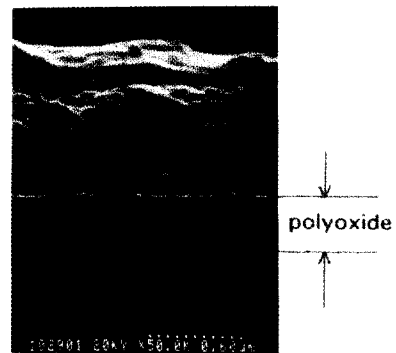


그림 1. 소자 제작을 위한 공정 흐름도
Fig. 1. Process flow chart for device fabrication.

III. 결과 및 고찰

제작한 ONO interpoly 소자의 단면을 사진 1에 나타내었다. 비정질 상태로 증착하고, 도핑후 열처리를 거친 하층 polysilicon의 표면이 매끄러움을 알 수 있다. 약 4300Å 의 비정질 상태로 증착된 하층 polysilicon을 arsenic 이온 주입으로 도핑하고 열처리를 거친후 four-point probe 방식을 이용하여 측정된 면저항 $R_s[\Omega/\square]$ 를 그림 2에 나타내었다. Arsenic dose가 증가함에 따라서 하층 polysilicon의 R_s 가 완만하게 감소하는 것을 알 수 있다. 하층 polysilicon의 도핑 농도와 비저항을 그림 2에서 환산하여 그림 3에 나타내었다. 하층 polysilicon의 농도가 $2.0 \times 10^{20}[\text{cm}^{-3}]$ 이상에서는 비저항이 거의 포화 상태를 나타내고 있으며, 이것은 흔히 arsenic의 grain boundary 및 결정 결함에서의 편석 (segregation) 효과에 의해 전기적으로 활성화된 도판트의 농도가 포화되는 것으로 볼 수 있다. 그리고 일반적으로 N형 도판트의 경우 grain boundary에 편석되어 grain boundary 에너지를 증가시켜 grain 크기가 증가하기 때문에 비저항이 감소했음을 알 수 있었다. High-frequency (1 MHz) C-V 측정으로 구한 C_{max} 로부터 ONO의 환산 산화막 두께 $T_{ONO\ eq.}$ 를 계산하여 그림 4에 나타내었다. Arsenic dose가 증가함에 따라 polysilicon grain boundary에 편석되는 arsenic 이온도 증가하여 polyoxide의 두께가 증가함을 알 수 있다. 그림5는 하층 polysilicon의 arsenic dose에 따른 Fowler-Nordheim 터널링 특성 곡선이다. F-N 전류식으로 계산된 전자의 유효 에너지 장벽높이 $(\Phi_B)_{eff}$ 는 arsenic dose가 $3 \times 10^{15}[\text{ion}/\text{cm}^2]$ 인 경우에 $1.136[\text{eV}]$, $5 \times 10^{15}[\text{ion}/\text{cm}^2]$ 에서는 $1.157[\text{eV}]$, $7 \times 10^{15}[\text{ion}/\text{cm}^2]$ 에서는 $1.161[\text{eV}]$, $9 \times 10^{15}[\text{ion}/\text{cm}^2]$ 에서는



사 진 1. 제작한 소자의 단면사진
Photo 1. SEM micrograph of ONO interpoly capacitor.

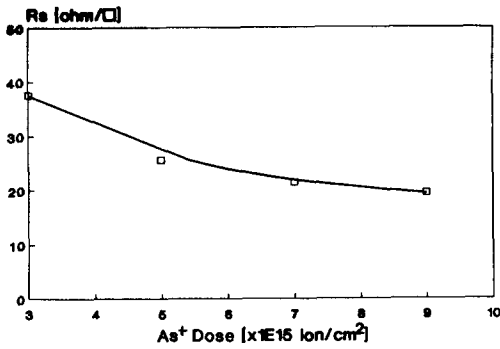


그림 2. 하층 polysilicon의 도핑 농도에 따른 면저항
Fig. 2. Sheet resistance versus the bottom polysilicon dose.

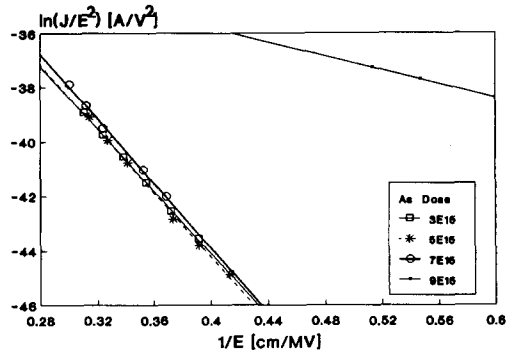


그림 5. 하층 polysilicon의 도핑 농도에 따른 Fowler-Nordheim 터널링 특성
Fig. 5. Fowler-Nordheim tunneling characteristics versus the bottom polysilicon dose.

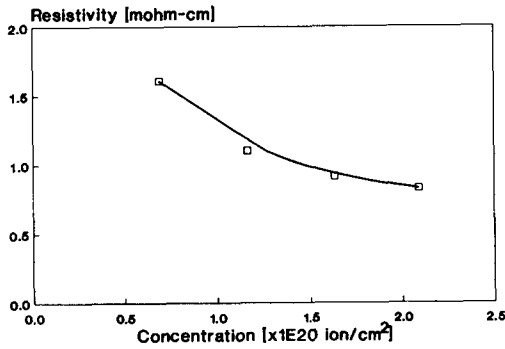


그림 3. 하층 polysilicon의 화학적 농도에 따른 비저항
Fig. 3. Resistivity of bottom polysilicon versus the chemical concentration.

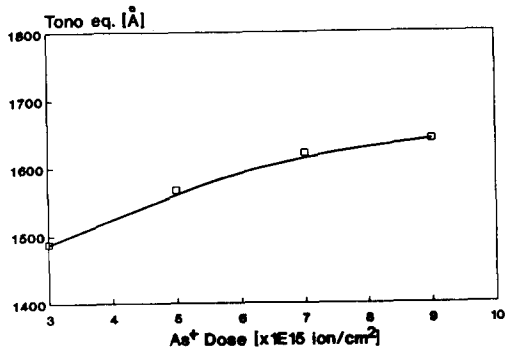
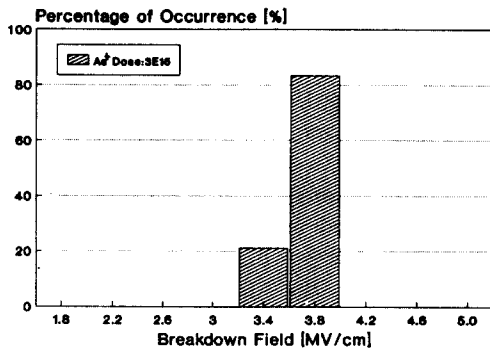


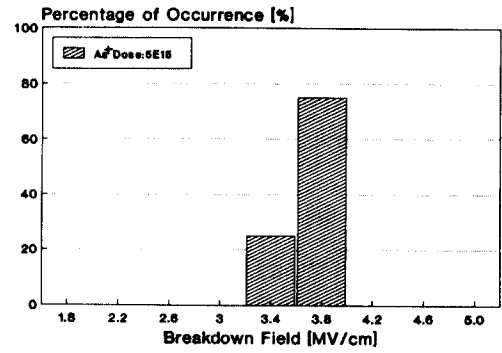
그림 4. 고주파 C-V로 측정된 Cmax로부터 환산한 ONO 두께
Fig. 4. Equivalent thickness of ONO calculated from Cmax of high-frequency C-V measurement.

0.277[eV]로 dose가 증가함에 따라, 즉 하층 polysilicon의 도핑 농도가 높아짐에 따라서 $(\Phi_B)_{eff}$ 가 증가하는 우수한 절연 특성을 나타내었으나 도핑 농도가 약 2.0×10^{20} [cm⁻³] 이상이 되면 $(\Phi_B)_{eff}$ 가 급격히 감소하여 절연 특성이 저하됨을 알 수 있었다.

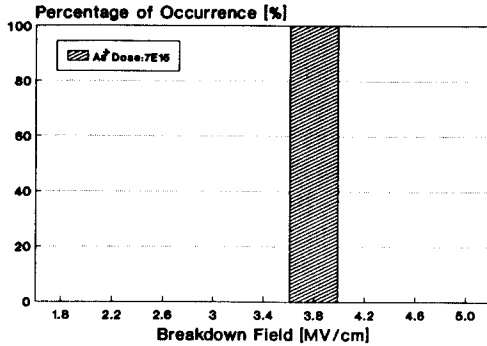
이는 하층 polysilicon 도핑 농도가 2.0×10^{20} [cm⁻³] 이상이 되면, grain 경계면에 편석된 arsenic의 cluster가 형성되어 그림 4에서와 같이 다결정 실리콘 산화막의 두께는 증가하나, 다결정 실리콘 산화막의 특성이 저하되기 때문인 것으로 생각된다. ONO interpoly의 절연 파괴 전계 분포 특성을 절연 파괴 전압 (breakdown field)으로부터 계산하여 그림 6에 나타내었다. Arsenic dose가 7×10^{15} [ion/cm²]일때 가장 우수한 특성을 나타내었고, 9×10^{15} [ion/cm²]인 경우에는 절연 파괴 전계가 낮아지고, 분포 상태가 산만해져 절연 파괴 특성이 급격히 저하됨을 알 수 있다. 그림 7은 하층 polysilicon을 POCl₃로 도핑한 ONO interpoly의 절연 파괴 전계 특성 분포를 나타낸 것이다. 과도 도핑으로 인하여 phosphorus가 하층 polysilicon의 grain boundary에 편석, 석출되어 특성이 저하됨을 알 수 있다. 이것은 dose가 어느 한도 이상으로 증가하면 F-N 특성으로 부터 구한 $(\Phi_B)_{eff}$ 이 급격히 감소하는 arsenic 이온 주입 도핑의 결과와 일치함을 확인할 수 있었다. Arsenic dose에 따른 TDDB(time dependent dielectric breakdown) 특성을 그림 8에 나타내었다. 정전류 스트레스(600nA, 전류 밀도=0.24mA/cm²)를 가한 후, 절연 파괴 시간을 측정하여 절연 파괴 전하량을(Q_{BD}) 구했을 때, Q_{BD}가 0~7.2[mC/cm²], 즉 0~30초 만에 절연 파괴가 일어나는 infant fail의 분포를 나타내었다. Dose가 증가함에 따라 ONO in-



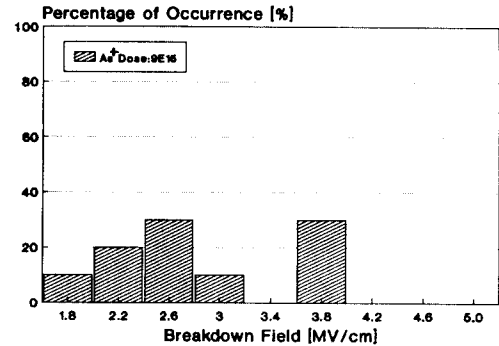
(a) 3×10^{15} [ion/cm²]



(b) 5×10^{15} [ion/cm²]



(c) 7×10^{15} [ion/cm²]



(d) 9×10^{15} [ion/cm²]

그림 6. 각각의 하층 polysilicon 도핑 농도에 따른 절연 파괴 전계

Fig. 6. Breakdown field of ONO interpoly capacitor (arsenic ion-implanted).

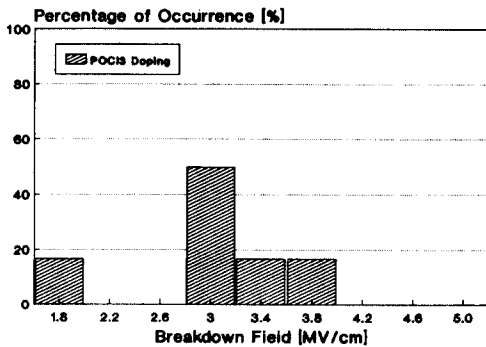


그림 7. 하층 polysilicon을 POCl₃로 도핑한 경우의 절연 파괴 전계

Fig. 7. Breakdown field of ONO interpoly capacitor (POCl₃ doping)

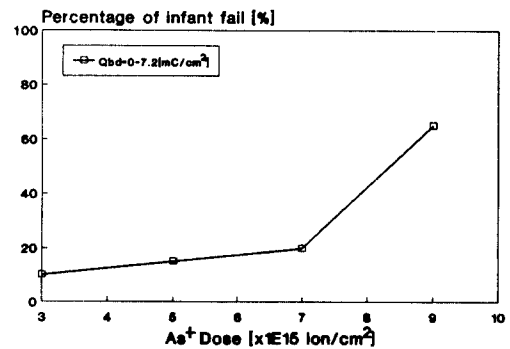


그림 8. 하층 polysilicon의 도핑 농도에 따른 infant fail 비율

Fig. 8. Percentage of infant fail versus the bottom polysilicon dose.

terpoly 캐패시터의 TDDB 특성이 저하됨을 알 수 있다. 또한 dose가 $9 \times 10^{18} [\text{ion}/\text{cm}^2]$, 즉 농도가 $2.0 \times 10^{20} [\text{cm}^{-3}]$ 에서는 TDDB 특성이 급격히 저하됨을 알 수 있다. 이는 앞에서의 F-N 특성 및 절연 파괴 특성 분석의 결과와도 일치한다.

IV. 결 론

하층 polysilicon의 비저항은 arsenic 이온 주입 도핑 농도가 증가함에 따라서 감소하였고, 이온 주입된 arsenic 농도가 $2.0 \times 10^{20} [\text{cm}^{-3}]$ 에서 포화되기 시작하였다. 유효 에너지 장벽 높이 (Φ_B)_{eff}와 절연 파괴 특성은 하층 polysilicon의 도핑 농도가 증가함에 따라서 우수한 특성을 나타내었으나, 도핑농도가 $2.0 \times 10^{20} [\text{cm}^{-3}]$ 이상에서는 급격히 특성이 저하되었다. Interpoly 구조의 ONO 절연막은 하층 polysilicon의 도핑 농도가 약 $1.6 \times 10^{20} [\text{cm}^{-3}]$ 로 이온 주입한 경우에 TDDB 특성과 관련된 infant fail이 약간 증가하였지만, 작은 비저항 값을 나타냈고, (Φ_B)_{eff}와 절연 파괴 전압이 우수한 특성을 나타내었다.

參 考 文 獻

[1] S. Mori, E. Sakagami, H. Araki, Y. Kaneko, K. Narita, Y. Ohshima, N. Arai, K.

Yoshikawa, "ONO inter-poly dielectric scaling for nonvolatile memory applications," *IEEE Trans. on Electron Devices*, vol. ED-38, no.2, p.386, 1991.

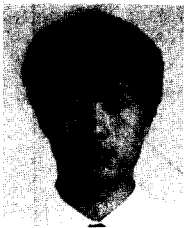
[2] P.A. Heimann, S.P. Murarka, and T.T. Sheng, "Electrical conduction and breakdown in oxides of polycrystalline silicon and their correlation with interface texture," *J. Appl. Phys.*, vol. 53, no. 9, p. 6245, 1982.

[3] S. Mori, N. Arai, Y. Kaneko, and K. Yoshikawa, "Polyoxide thinning limitation and superior ONO interpoly dielectric for nonvolatile memory devices," *IEEE Trans. on Electron Devices*, vol. ED-38, no. 2, p. 270, 1991.

[4] 김 봉열 외, "초 고집적도 기억 소자 적용을 위한 다층구조 유전체 박막의 특성에 관한 연구," 목적 기초 연구 제1차 중간보고서, 한국 과학재단, 1990.

[5] K. Shinada, N. Matsukawa, S. Morita, T. Usami, and H. Nozawa, "Reliability of thin oxide grown on heavily doped polysilicon," *IEEE, Int. Reliability Physics Symposium IRPS*, p. 247, 1986.

著 者 紹 介



趙 成 天 (準會員)
1967年 8月 30日生. 1990年 2月 연세대학교 전자공학과 졸업 (공학사). 1992年 2月 연세대학교 대학원 전자공학과 졸업 (공학석사). 1992年 3月~현재 현대전자 반도체 연구소 제조1실 연구원. 주 관심분야는 기억소자 공정기술

朴 訓 洙 (正會員) 第28卷 A編 第9號 參照
연세대학교 대학원 전자공학과 박사학위 취득.

●
金 鳳 烈 (正會員) 第25卷 第11號 參照
현재 연세대학교 전자공학과 교수

●
梁 光 善 (正會員) 第28卷 A編 第9號 參照
현재 연세대학교 대학원 전자공학과 박사과정