

論文 92-29A-2-11

자기정렬 이중 리세스 공정에 의한 전력 MESFET 소자의 제작

(Power MESFETs Fabricated using a Self-Aligned and Double Recessed Gate Process)

李鍾覽*, 金道鎮*, 尹光俊*, 孟成在*, 姜鎮榮*, 李用卓*

(Jong Lam Lee, Do Jin Kim, Kwang Joon Yoon, Sung Jae Maeng,

Jin Young Kang, and Yong Tak Lee)

要 約

본 연구에서는 기상 성장법(VPE, vapor phase epitaxy)으로 성장된 $n^+(\text{Si}:2 \times 10^{18} \text{cm}^{-3})/n(\text{Si}:1 \times 10^{17} \text{cm}^{-3})$ 구조의 시편 위에 SiN과 감광막등 식각 선택비가 서로 다른 두 물질로 보호된 소오스와 드레인 사이의 게이트 형성 영역을 건식식각과 습식식각방법으로 리세스 에칭을 하여 형성한 후, 게이트를 자기정렬하여 형성시킬 수 있는 이중 리세스 공정방법을 보여준다. 게이트 형성부분의 wide recess 폭은 건식식각으로 SiN을 측면식각(lateral etch) 함으로써 조절하였는데, 이 방법을 사용하여 MESFET 소자의 임계전압을 조절할 수 있고, 동시에 소오스-드레인 파괴전압을 30V까지 향상시킬 수 있었다. 소오스-드레인 파괴전압은 wide recess 폭이 증가함에 따라, 그리고 게이트 길이가 길어짐에 따라 증가하는 경향을 보여주었다. 이 방법으로 제작한 여러종류의 MESFET 중에서 게이트 길이가 $2\mu\text{m}$ 이고 소오스-게이트 간격이 $3\mu\text{m}$ 인 MESFET의 전기적 특성은 최대 트랜스컨덕턴스가 120mS/mm, 게이트 전압이 0.8V일 때 포화 드레인전류가 170-190mA/mm로 나타났다.

Abstract

We propose a self-aligned and double recessed technique for GaAs power MESFETs application. The gate length and the wide recess width are defined by a selective removal of the SiN layer using reactive ion etching (RIE) while the depth of the channel is defined by chemical etching of GaAs layers. The threshold voltages and the saturation drain voltage could be successfully controlled using this technique. The lateral-etched distance increases with the dry etching time and the source-drain breakdown voltage of MESFET increases up to about 30V at a pinch-off condition. The electrical characteristics of a MESFET with a gate length of $2\mu\text{m}$ and a source-gate spacing of $3\mu\text{m}$ show maximum transconductance of 120 mS/mm and saturation drain current density of 170-190 mA/mm at a gate voltage of 0.8V.

*正會員, 韓國電子通信研究所
(Electronics Telecommunication Research Institute)
接受日字: 1991年 11月 20日

I. 서 론

GaAs 반도체는 실리콘에 비해 높은 전기이동도를 갖는데, 이 특성을 이용하여 초고주파에서의 응용소자

로서 부각되어 왔다. 특히, 정보통신 분야의 급격한 팽창과 함께 사용주파수대역이 점점 높아지고 있으며, 따라서 GaAs 반도체는 초고주파 대역에서의 통신기에 필수적으로 이용되고 있는 추세이다. 최근 기본적인 통신수단인 전화기가 무선통신 및 이동통신 방식으로 발전하는 추세이며 초고주파 대역에서의 단말기에 필수적으로 내장되는 송신 전력증폭기에 GaAs power FET를 사용하려는 연구가 이루어지고 있다. 그런데 70년대 후반에 활발히 연구되어진 GaAs FET는 주로 소자의 출력에 초점이 맞추어졌으나, 최근에는 단말기의 소형 경량화에 따라 단말기의 연속통화시간을 연장시키는 수단으로써 고효율의 FET에 중점을 두고 있다. 따라서 90년대 후반에 사용될 것으로 예측되는 1-3GHz 대역에서의 무선 휴대용 전화기 사용에 대비하여 전력증폭효율이 우수한 GaAs 전력 FET의 개발은 산업적으로 매우 중요하다.

증폭기의 FET를 B급으로 작동시킬 때 드레인 효율(drian efficiency), η_D , 는 식(1)과 같이 표현된다.

$$\eta_D = 78.5(1-\alpha)/(1+\alpha) \quad (1)$$

여기에서, α 는 I-V 곡선에서 측정변수, 즉 knee 전압(V_k), 소오스-드레인 파괴전압(V_{BD}), pinch-off 전압(V_p), 및 Schottky barrier높이 (V_b)로 나타내어진다.

$$\alpha = V_k/(V_{BD} - 2V_p - V_b) \quad (2)$$

FET의 효율은 Power-added efficiency (PAE), η_P 로 나타내는데, 이는 η_D 와 다음과 같이 관계되어 진다.

$$\eta_P = \eta_D(1-1/G_p) \quad (3)$$

여기에서 G_p 는 FET의 전력이득이다. 따라서 이들 식으로 부터 고효율의 전력 FET를 얻기 위해서는 V_p , V_b , V_k 가 작고 V_{BD} 가 큰 소자가 필요하다. 그런데 V_k 및 V_b 는 조절하기 어려운 변수이며, V_p 는 요구하는 전력과 관계있으므로, V_{BD} 를 크게하는 것이 실질적으로 효율을 증대시키는 방안이 되고 있다.

위에서 살펴본 것과 같이 전력효율이 우수한 전력용 MESFET 소자를 개발하기 위하여는 소오스 저항을 작게하여 트랜스컨덕턴스를 크게하고, 소오스-드레인 파괴전압을 향상시키는 것이 필요하다.¹⁾⁻¹⁵⁾ 소오스-드레인 파괴전압을 향상시키기 위하여는 첫째, 드레인의 오음익 저항을 줄이거나^{2),3)}, 둘째, 게이트와 드레인 사이의 거리를 증가시켜 열의 발생을 억제하고 열의 방출을 용이하게 하거나,^{4),5)} 셋째, 게이트 영역만을 리세스 식각(recess etch) 시키거나,⁶⁾ 넷째, 소자 공정중 소오스와 드레인 사이의 채널층에

격자결합의 생성을⁷⁾ 억제시켜, 전자의 trapping site의 갯수를 줄임으로써 채널의 pinch-off를 용이하게 하고 드레인으로의 전자의 흐름을 용이하게 하는 것이 필요하다. 위에서 제시된 네가지의 요구조건 중 첫번째 및 네번째 조건들은 소자의 제작공정 조건과 관계가 있고, 두번째와 세번째의 요구조건들은 소자의 구조와 관계가 있다. 기존의 공정을 사용하여 위에서 제시된 네가지의 요구조건 중, 두번째와 세번째의 요구조건들을 만족하는 전력용 MESFET 소자를 제작하기 위하여는 소자와 소자사이의 분리를 위한 마스크(마스크1), 소오스와 드레인 형성을 위한 마스크(마스크2), 소오스-드레인 사이의 파괴전압의 향상 및 n⁺층의 제거를 위한 제1차 리세스 식각(wide 리세스)용 마스크(마스크3), MESFET 소자의 임계전압의 조절 및 게이트-소오스, 게이트-드레인 사이의 노출된 GaAs층의 공핍층 두께를 고려하여 소자의 최대출력을 도모하기 위한 제 2차 리세스(게이트 리세스용) 식각용 마스크(마스크4)등 최소한 네장 이상의 마스크를 필요로 한다.

그러나 본 연구에서는 V_{BD} 를 극대화시킬 수 있는 자기정렬에 의한 이중 리세스 공정방법을 제시하였다. 본 연구에서 제시한 자기정렬에 의한 이중 리세스 공정이란 기존의 마스크 3과 마스크 4의 두단계의 공정절차를 한장의 마스크만을 사용하여 간편하게 수행할 수 있는 새로운 방법으로, 식각비가 서로 다른 이중의 마스크 막인 SiN과 감광막을 사용하여 제 1차 리세스 식각 및 제 2차 리세스 식각을 수행함으로써, MESFET의 임계전압을 조절과 동시에 소오스-드레인 파괴전압 특성을 조절하거나 향상시킬 수 있는 공정 방법이다. 건식식각에 의해 wide 리세스 폭을 증가시킴으로써, V_{BD} 를 30V 이상까지 향상시킬 수 있었으며, 이것은 결국 식(1)-(3)에서 보는바와 같이 전력효율의 향상에 기여할 것으로 예상된다. 따라서 본 연구에서 개발한 이 공정을 이용하면 전력효율이 매우 우수한 전력 MESFET 소자의 제작이 가능하며, 아울러 이 공정에 의해 제작된 MESFET 소자는 우수한 전력효율 특성을 갖는 전력모듈의 제작에 기여될 것으로 기대된다.

한편, Macksey^{9),10)} 등은 본 연구에서 제시한 자기정렬에 의한 이중 리세스 공정과 유사한 MESFET 제작 공정을 제시한 바 있다. 그들은 자기정렬에 의한 이중 리세스 공정을 수행하기 위하여, PMMA(0.2 μ m)/Ge(0.05 μ m)/PMMA(0.2 μ m)/감광막(0.5 μ m)의 식각에 대한 선택비를 서로 달리하는 네층의 식각 마스크용 막을 이용하여 이중 리세스 공정을 실행하였다. 여기에서 PMMA는 전자선 리소그래피에

의해 미세한 선폭의 실현을 가능케 하고, Ge층은 상층의 PMMA의 지지대 역할을 하며, 가장 아래층의 감광막은 제 2차 리세스 식각인 wide 리세스 식각을 위한 형상을 만들어 주는 역할을 한다. 즉, Mascks-ey^[9] 등은 PMMA/Ge/PMMA의, 삼층의 게이트를 식각하고, 그 아래에 있는 감광막을 현상시켜, 게이트의 형상을 형성시킨 후, GaAs층을 임계전압까지 습식식각 시킴으로써 게이트 리세스 식각 공정을 수행하였다. Wide 리세스 식각공정은 이 시편을 일정시간 동안 현상액에 담그어서 게이트 형상을 만든 후, GaAs 층을 임계전압까지 습식식각시켜 게이트 리세스 식각 공정을 수행하였고, 다음에 시편을 현상액에 담그어서 감광막을 측면식각 시킴으로써 wide리세스 공정을 수행하였다. 그러나 이 공정은 본 연구에서 제시한 공정에 비해 식각용 마스크 밖으로만 네층을 사용하였기 때문에 공정시 불편하고 어려운 점들을 내재하고 있으며, wide 리세스 공정의 경우 측면 현상 폭의 조절이 어려운 것으로 알려져 있는 감광막의 현상시간의 변화에 의존하기 때문에 MESFET의 양산공정시 재현성 있는 소자의 동작특성을 얻는 데에 불리한 점을 갖고 있다.

본 논문에서는 소오스-드레인 파괴전압의 향상과 채널 임계전압(threshold voltage)의 조절을 동시에 수행할 수 있는 자기정렬에 의한 이중 리세스 공정으로 게이트를 형성시킬 수 있는 새로운 방법을 보여주고, 이것을 통하여 제작된 전력 MESFET의 동작특성 및 소오스-드레인 파괴전압 특성이 우수함을 입증하였다.

II. 공정조건 및 방법

본 연구에서는 그림1과 같이, 기상성장법 (vapor phase epitaxy)로 성장된 두께가 각각 200nm와 250 nm인 n⁺(Si:2×10¹⁸)/n(Si:1×10¹⁷) 구조의 기판을 사용하였다. 그림2는 본 연구에서 제시한 자기정렬에 의한 이중 리세스 공정에 의한 전력용 MESFET 제작공정의 개략도이며, 각 단위공정을 간략히 설명하면 다음과 같다.

초기세척시킨 기판의 소자 영역을 감광막으로 보호한 후, NH₄OH, H₂O₂, H₂O의 혼합비율이 20:7:973인 습식 식각용(wet etch) 용액에 3분 20초 동안 담구어서 550nm 두께를 식각시킴으로써, 소자영역 외의 부분을 반절연 갈륨비소의 buffer 층까지 식각을 하여 소자와 소자사이를 분리시킨다(그림2의 (a)). 자외선용 감광막을 모노클로로 벤젠(monochloro benzene)등의 감광막 경화제를 사용하여 감광막의 표면

n ⁺ GaAs(Si;2×10 ¹⁸), 200nm
n ⁺ GaAs(Si;1×10 ¹⁷), 250nm
undoped GaAs(2μm)
S. I GaAs(100)

그림 1. 본 연구에서 사용된 전력 MESFET 소자용 기판의 구조

Fig. 1. Schematic drawing of the epitaxial layers for power FET.

부위를 경화시켜 소오스와 드레인 부분에 over-hang 구조의 감광막 형상을 형성시키고, AuGe(150nm)/Ni(50nm)/Au(150nm)등의 오음익 물질을 진공증착시킨 후, lift-off 방법을 이용하여 소오스 및 드레인을 형성시킨다. 형성된 소오스 및 드레인의 금속층을 420℃에서 30초 동안 N₂ 분위기에서 급속열처리 시킴으로써 오음익 특성을 향상시킨다(그림2(b)).

감광막의 overhang 구조의 형성방법 및 공정조건(8)을 간단히 설명하면 다음과 같다. 기판위에 점도가 18cst인 Shipley 1400-27 감광용액을 떨어뜨린 후, 기판을 5500rpm의 회전속도로 30초 동안 회전시켜, 감광막을 1.1 마이크로 두께로 균일하게 도포시키고, 도포된 감광막을 강화시키기 위하여 65℃로 유지된 오븐(oven)에서 15분 동안 열처리(annealing)하였다. 감광막을 구성하는 요소중 광민감 원소(photoactive element)를 파괴하여 감광막 표면 부위에 변형된 감광막 층을 형성하기 위하여 모노클로로 벤젠에 15분 동안 담그었으며, 이어서 모노클로로 벤젠 처리시 약화된 감광막의 강도를 회복하기 위하여 90℃로 유지된 오븐에서 10분간 아닐링 하였다. 이후, 크롬 마스크를 통해 90초 동안 선택적으로 노광시켜, 감광막 위에 형상을 전사시킨다. 현상액 원액과 증류수(D.I water)를 3.5대 1로 섞은 현상 용액에서 50초 동안 현상시켜 overhang 구조를 형성시킨 후, 증류수로 감광막 표면위의 현상용액을 제거시키고, 건조된 질소가스로 수분을 제거하였으며, 현상 도중 약화된 감광막의 강도를 회복시키기 위하여 100℃로 유지된 오븐에서 10분 동안 열처리 하였다.

게이트를 자기정렬에 의한 이중 리세스 공정으로 제작하기 위하여, 플라즈마 화학 증착(plasma-enhanced chemical vapor deposition)등 절연막 증착장치를

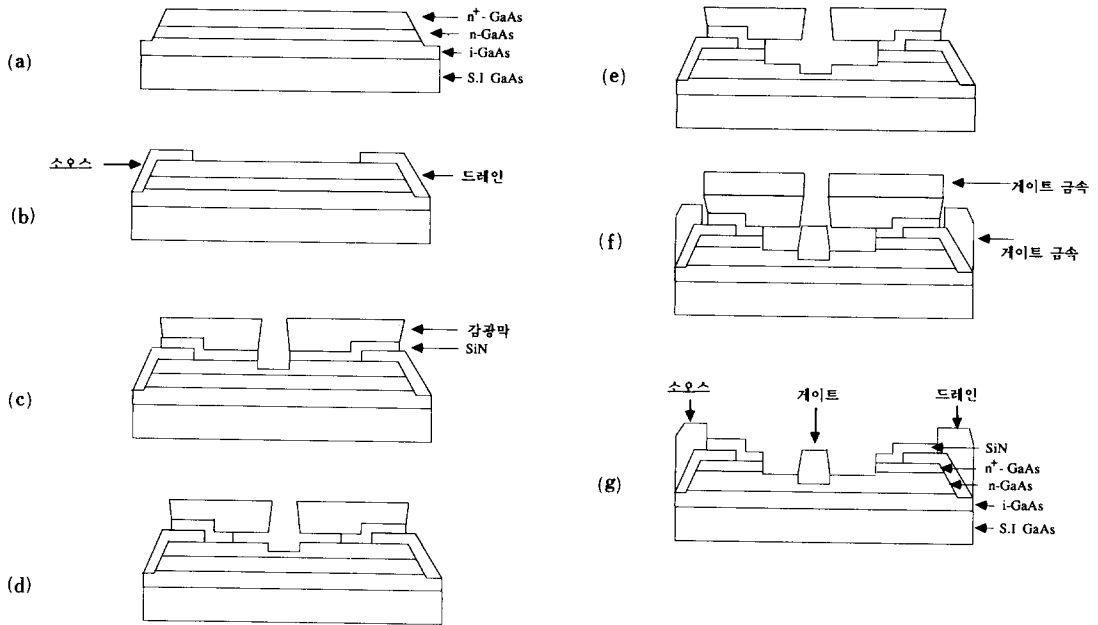


그림 2. 본 연구에서 제시한 자기정렬에 의한 이중 리세스 공정기술을 통하여 전력용 MESFET를 제작하는 공정 순서에 대한 개략도

- (a) 소자분리공정 (b) 소오스와 드레인 형성공정
 (c) 실리콘 나이트라이드(silicon nitride)를 건식식각 시키고, 실리콘 나이트라이드(silicon nitride) 마스크로 하여 n+층의 갈륨비소 층의 습식식각(제 1차 리세스)
 (d) 감광막 밑에 있는 실리콘 나이트라이드(silicon nitride)를 측면식각(lateral etch)
 (e) 측면식각(lateral etch)된 실리콘 나이트라이드(silicon nitride)를 마스크하여 n+층 및 n층의 습식식각(제 2차 리세스)
 (f) 게이트 금속의 진공증착 (g) 게이트 금속의 lift-off

Fig. 2. Schematic drawing for the fabrication process of power FET using by the self-aligned and double recesses gate process.

- (a) cross-sectional view after the chemical etch for isolation between the devices,
 (b) cross-sectional view after the formation of source and drain,
 (c) gate recess etch of n+ GaAs layer after the removal of SiN by the dry etch,
 (d) lateral etch of the SiN with the mask of photo-resist,
 (e) wide recess etch of n+ and n GaAs layers with the mask of SiN,
 (f) cross-sectional view after the deposition of the gate metal on the self-aligned and double recessed wafer,
 (g) cross-sectional view of power-FET fabricated by the self-aligned and double recessed gate process.

이용하여 기판위에 실리콘 나이트라이드 (silicon nitride)를 300°C에서 150nm의 두께로 증착시켰다. 그리고 그 위에 도포된 자외선용 감광막의 표면을 모노클로로 벤젠(monochloro benzene)으로 경화시켜 게이트 부분에 over-hang 구조의 감광막으로 게이트 부분을 노출시켰다. 게이트 부분이 노출된 시료를 건식식각 장치에 넣고, 건식식각용 혼합 기체인 CF_4 (20sccm) + O_2 (5sccm)를 사용하여, 200W에서 30초동

안 건식식각 시킴으로써, 감광막을 마스크로 하여 노출된 게이트 부분의 실리콘 나이트라이드(silicon nitride) 절연막을 선택적으로 제거시킨다. 이때 실리콘 나이트라이드의 건식식각 속도는 분당 약 400nm로 측정되었다. 다음에 식각속도가 비교적 느린 NH_4OH (20) + H_2O_2 (7) + H_2O (973)의 습식식각용 혼합용액(식각속도~165nm/min)을 사용하여 실리콘 나이트라이드(silicon nitride)를 마스크로 하여 외부로 노

출된 부분인 n⁺ 갈륨비소 층을 습식식각 시켰다 (제 1차 리세스 식각). 이때, 식각시간을 변화시켜 식각 깊이를 변화시킬 수 있다. 본 연구에서는 이것을 통해 후에 MESFET의 임계전압은 조절하였다(그림 2의 (c)). 게이트와 드레인 사이에 존재하는 n⁺갈륨비소 층의 폭을 넓게 식각(wide recess) 시킴으로써, 게이트와 드레인 사이의 채널층에 대한 파괴전압은 향상된다. 본 연구에서는 실리콘 나이트라이드와 갈륨비소 사이에 선택비가 매우 우수한 건식식각 방법을 사용하여 실리콘 나이트라이드(silicon nitride) 층을 측면식각 시켰다(그림2의 (d)). 건식식각용 혼합 기체인 CF₂(20sccm)+O₂(5sccm)를 사용하여 200W에서 건식식각 시켰을 때, 측면 식각 속도는 약 360 nm/min이었다. 본 연구에서는 건식식각 시간을 35 초에서 2분간 변화시킴으로써 wide recess폭을 조절하였으며, 이것을 통해 wide recess 폭이 전기적 특성에 미치는 영향을 조사하였다.

건식식각으로 제거된 실리콘 나이트라이드(silicon nitride) 층의 밑에 존재했던 200nm 두께의 n⁺ 층을 식각속도가 비교적 느린 NH₄OH (20)+H₂O₂ (7)+H₂O (973)의 습식식각의 혼합용액 등을 사용하여 1분 35 초 동안 습식식각 시킴으로써 (그림2의 (e)) (제 2차 리세스 식각) 파괴전압의 향상과 임계전압을 재현성 있게 동시에 조절하였다. 다음에 게이트 금속을 10⁻⁶ Torr 이하의 진공상태에서 전자선 진공증착 방법으로 게이트 부분 및 소오스, 드레인 영역에 Schottky 용 금속인 Ti(50nm)/Au(300nm)를 증착시킨 후 (그림2의 (f)), lift-off 방법으로 감광막 위에 증착된 금속층을 제거함으로써 MESFET을 제작하였다(그림2의 (g)).

본 연구에서는 게이트 폭을 75μm로 일정하게 해주었고, 소오스-게이트 간격을 1.5μm에서 3.0μm로 변화시켜 주었으며, 게이트 길이를 1.5μm에서 3.0 μm로 변화시킨 MESFET 소자를 제작하였다. 또한 각 시편의 제 1차 및 제 2차 리세스 식각 깊이 등 대부분의 공정조건을 일정하게 조절해 주었고, 단지 SiN 박막의 측면식각시 건식식각 시간만을 변화시켜 SiN 박막의 측면식각 폭을 변화시킴으로써 n⁺층의 wide 리세스 폭을 조절해 주었다. 이것을 통하여 wide 리세스 폭이 소오스-드레인 사이의 채널 파괴전압에 미치는 영향을 조사하였다. 표1에 각 시편의 NH₄OH (20)+H₂O₂ (7)+H₂O (973)의 습식식각용 혼합용액에서의 제 1차 및 제 2차 리세스 식각조건 및 식각 깊이, 그리고 SiN 박막의 측면식각에 대한 건식식각 공정조건 및 측정된 측면식각 폭을 요약하였다. 제 1차 리세스 식각 깊이는 본 연구에서 사용한

표 1. 전력 MESFET 제작시 사용된 이중 리세스 공정 조건

Table 1. Double recess condition of specimen for power MESFET.

	1st SiN*	1st recess**	2nd SiN*(SEM관찰)	2nd recess**
#201	30초	13초(약35nm)	70초	1분 25초(약200nm)
#202	30초	27초(약75nm)	45초	1분 25초(약200nm)
#203	30초	27초(약75nm)	70초	1분25초(약200nm)
#204	30초	27초(약75nm)	120*(720nm측면식각)	1분25초(약200nm)

*Dry etching condition of SiN:CF₄(20)+O₂(5) at 200W

**Wet etching condition:NH₄OH (20)+H₂O₂(7)+H₂O (973)

etching rate=150-180nm/min at RT

기판의 채널층의 도핑농도 (Si:1×10¹⁷/cm³)를 고려하여 계산된 공핍층의 두께인 700nm로 계산되었고, 따라서 에칭용액을 사용하여 제 1차 리세스 식각공정을 수행하였다. 각 시편의 리세스 식각 깊이는 Stylus사의 α-step을 사용하여 결정하였고, SiN 박막의 측면 식각의 폭 및 n⁺층의 wide 리세스 폭은 주사전자현미경의 단면사진으로 결정하였다.

본 연구에서 개발한 공정의 특징은 건식식각 및 습식식각의 마스크로 각각 실리콘 나이트라이드(silicon nitride)등 절연막과 자외선용 감광막 등 식각 선택비(selectivity)가 서로 다른 두 종류의 물질을 사용함으로써, 기존 공정의 문제점들을 개선하고, 공정절차가 훨씬 간단한, 즉, 한장의 마스크로 MESFET 소자의 임계전압의 조절과 소오스-드레인 파괴전압의 향상을 도모할 수 있는 자기정렬에 의한 이중 리세스 공정(self-aligned and double recessed gate process)을 개발한 점이다. 특히, 이 방법을 이용하면, 건식식각시 갈륨비소의 표면부위에 생성되는 격자결합들이 임계전압의 조절 및 파괴전압의 향상에 필요한 습식식각 중 자동적으로 제거되므로, 본 연구에서 이용한 건식식각 방법의 사용시 GaAs표면 부위에 발생할 수 있는 격자결합의 농도를 극소화시킬 수 있으므로 건식식각에 의한 소자 특성의 저하에 대한 문제점을 자동적으로 해결할 수 있다. 또한 기존의 공정중 마스크3 및 마스크4 공정시, 소오스-드레인 사이에 제 1차 리세스 식각 형상 및 게이트 형상 등 미세한 게이트 형상을 정렬시키고 형성시키는데 어려운 점들이 있었다. 그러나, 본 연구에서 제시한 자기정렬에 의한 이중 리세스 공정을 사용하면, 한장의 마스크로 마스크3의 wide리세스 공정 및 마스크4의 게이트 리세스 공정을 동시에 수행할 수 있으므로, 기존의 MESFET 제작시 어려운 문제점이었던 마스크 정렬 등의 어려운 문제점들을 쉽게 해결할 수 있다.

III. 공정결과 및 분석

1. 제작된 전력용 MESFET 소자의 구조 관찰

자기정렬에 의한 이중 리세스 공정을 통해 MESFET를 제작할 때, SiN의 측면식각 (lateral etch)에 대한 건식식각 조건은 재현성이 우수한 전력용 MESFET을 제작하는데 매우 중요하다. 그림 3은 자기정렬에 의한 이중 리세스 공정에 의해 제작된 MESFET의 평면관찰 사진(그림3(a)) 및 게이트와 드레인 사이의 단면을(그림3(b)) 주사전자 현미경으로 관찰한 결과이다. 제 1차 리세스 공정 후, 감광막을 마스크로 하여 $CF_4(20sccm) + O_2(5sccm)$ 의 분위기에서 200W의 power로 2분간 건식식각 시켰을 때, 게이트 주위의 SiN 박막이 게이트 패턴의 모서리로부터 720nm정도 측면식각(lateral etch) 되었으며, 그 후 $NH_4OH(20) + H_2O_2(7) + H_2O(973)$ 의 습식식각용 혼합용액에서 SiN 층을 마스크로 하여 습식식각 시켰을 때, 게이트 부분의 GaAs층이 이중의 오목한 형태로 식각된 것을 알 수 있었다(그림3(b)). 그림 3(c)

는 SiN의 측면식각 조건을 100W의 power로 30초로 하여 측면식각시켜 공정을 수행한 후의 단면 관찰 사진이다. 금속층이 게이트의 윗부분 뿐만 아니라, 게이트 모서리 옆의 SiN층 위에도 존재하여 소위 T-게이트 형태로 형성된 것을 알 수 있었다. 이와 같은 이유는 건식식각에 의한 SiN의 측면식각(lateral etch) 조건이 충분하지 못했기 때문이며, 이러한 문제점은 건식식각 시간을 길게 함으로써 그림3(c)와 같이 해결할 수 있었다. 즉, 그림3(c) 및 (d)는 건식식각에 의한 SiN의 측면식각 공정조건이 재현성 있는 MESFET의 제작에 매우 중요함을 보여준다.

2. 제작된 MESFET의 DC 특성

그림4는 게이트 길이가 $2\mu m$, 게이트 폭이 $75\mu m$ 인 MESFET (시편 #204)의 I-V 특성 및 Schottky 다이오드 특성 결과를 보여준다. I-V 곡선의 knee voltage는 약 1.5V이었고, 소오스-드레인 pinch-off는 약 -1.6V에서 나타났으며(그림4(a)), Ti(50nm)/Au(250nm)의 장벽전압은 0.72eV로 측정되었다(금

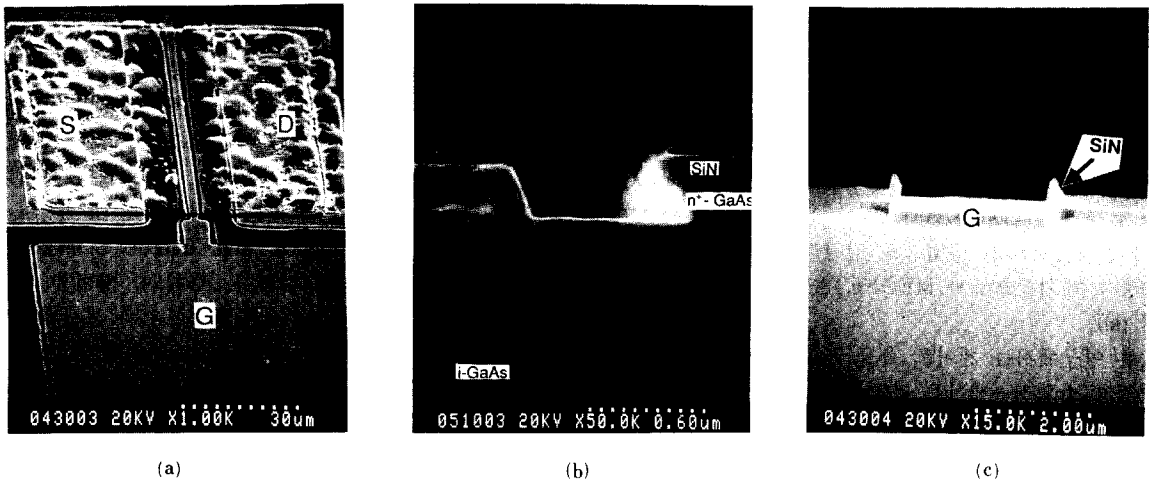


그림 3. $CF_4(20) + O_2(5)$ 의 분위기에서 200W의 power로 2분간 건식식각에 의해 720nm의 실리콘 나이트라이드(silicon nitride)를 측면식각(lateral etch) 시킨 후, 자기정렬에 의한 이중 리세스 공정(self-aligned and double recessed gate process)에 의해 제작된 MFEFES의 평면 단면 주사전자현미경(scanning electron microscope) 사진(a) 및 게이트-드레인 사이의 단면 주사전자현미경(scanning electron microscope) 사진(b) $CF_4(20) + O_2(5)$ 의 분위기에서 100W의 power로 30초 동안 측면식각(lateral etch) 후, 자기정렬에 의한 이중 리세스 공정(self-aligned and double recessed gate process)에 의해 제작된 MESFET의 평면 SEM사진(c).

Fig. 3. (a) The plane view and, (b) the cross-sectional view of power FET fabricated by the self-aligned and double recessed gate process. The SiN of 160nm-thick was laterally etched to a width of 720nm from the of gate pattern by the dry etch at a power of 200W for 2min under the mixture of $CF_4(20) + O_2(5)$, (c) the metal wings on both edges of the gate was observed when the lateral etch of SiN by the dry etch was performed at a power of 100W for 30s.

림4(b)). 게이트 전압이 0.8V에서 드레인 전류의 크기가 게이트 전압이 0V일 때에 비해 약 30-40% 향상되었는데, 이것은 서론에서 언급한 바와 같이 소오스-게이트, 드레인-게이트 사이에 노출된 n-GaAs 층 (Si: $1 \times 10^{17}/\text{cm}^3$)에서의 공핍층 두께인 70nm를 1차 리세스 식각을 한 후, 게이트를 형성시켰기 때문이며, 따라서 출력 드레인 전류를 향상시킬 수 있었다. 그림5는 그림4와 같은 구조를 가진 시편의 트랜스컨덕턴스의 게이트 전압에 대한 분포이다. 최대 트랜스컨덕턴스는 약 120mS/mm로 측정되었다. 그

림6(a)는 그림3(a), (b)의 형상을 가진 시편 #204에 대한 pinch-off voltage에서의 드레인-드레인 파괴전압의 특성 곡선이며, 파괴전압이 약 28V로 측정되었다. 그림6(b)는 그림3(c)의 형상을 가진 시편에 대한 pinch-off voltage에서의 소오스-드레인 파괴전압의 특성 곡선이며, 파괴전압 특성이 약 10V로 그림3 (a)(b)의 형상을 가진 시편 #204에 비해 매우 불량하게 나타났다. 이것은 그림3(c)에서 보여주는 바와 같이 SiN의 측면식각 폭이 불충분하여 n⁺층의 측면식각 (wide recess) 폭이 작아 낮은 드레인 전압에서 게이트의 전기장 (electric field)이 드레인에 접촉하여 채널층이 파괴되기 때문이다. 즉 그림3(a)(b)와 같이 n⁺층의 측면식각 (wide recess) 폭을 충분히 넓게 만든 경우 파괴전압은 그림6(a)와 같이 향상되었다.

본 연구에서 제시한 자기정렬에 의한 이중 리세스 공정 (self-aligned and double recessed gate process)의 재현성을 조사하기 위하여 제 1차 리세스 식각 조건만을 변화시킨 후, MESFET 소자를 제작하였다. 그림7(a)는 그림2(c)의 제 1차 리세스 식각을 75nm의 깊이로 하였을 때의 MESFET의 전류-전압 특성이고, 그림7의 (b)는 제 1차 리세스 식각을 35nm의 깊이로 습식식각 시켜 제작된 MESFET의 전류-전압 특성이다. 두 경우 모두 그림2의 (e)의 제 2차 리세스 식각을 210nm의 일정한 깊이까지 수행하여 맨 윗층인 n⁺ GaAs층 모두를 습식식각 시킴으

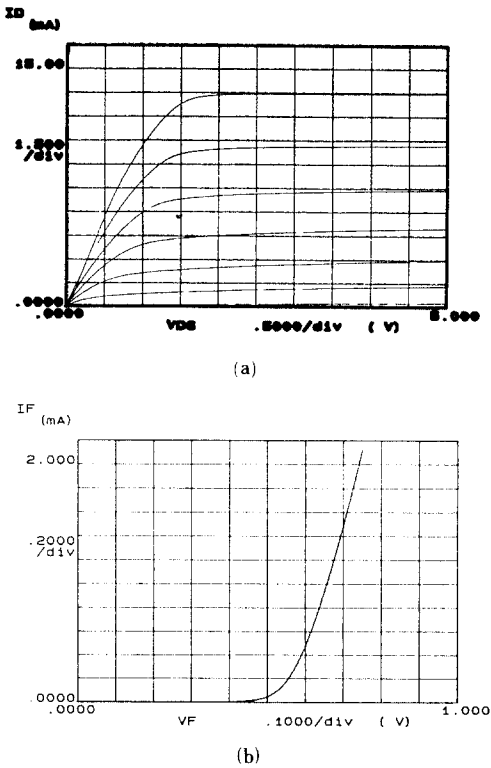


그림 4. 자기정렬에 의한 이중 리세스 공정 (self-aligned and double recessed gate process)에 제작된 MESFET (시편 #204)의 I-V 특성, $V_g=0.8V$, $\Delta V_g=-0.4V$
 (a) 및 schottky 다이오드 특성
 (b) 게이트 길이는 $2\mu\text{m}$ 이고, 게이트-드레인 사이의 간격은 $3\mu\text{m}$ 이다.

Fig. 4. (a) The I-V characteristics for the MESFET (specimen #204) fabricated by self-aligned and double recessed gate process. The source-drain spacing was $3\mu\text{m}$ on the photo-mask.
 (b) the Schottky characteristics for the MESFET (specimen #204) fabricated by self-aligned and double recessed gate process. The source-drain spacing was $3\mu\text{m}$ on the photo-mask.

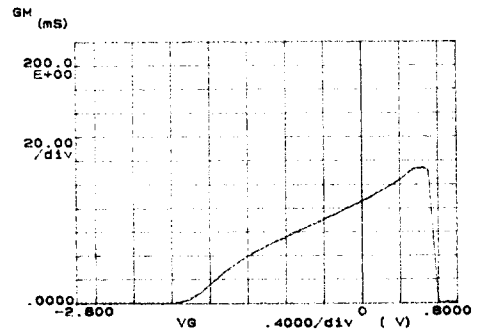
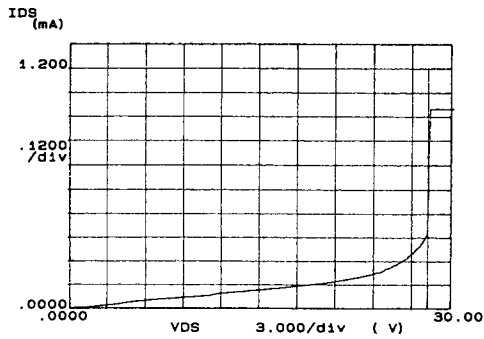
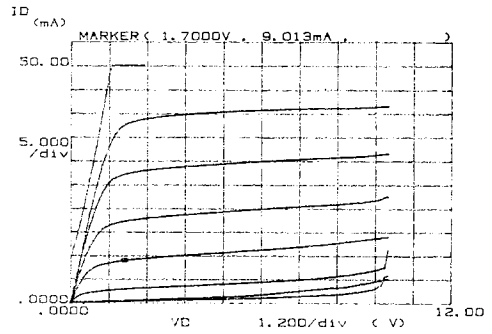


그림 5. 자기정렬에 의한 이중 리세스 공정 (self-aligned and double recessed gate process)에 의해 제작된 MESFET (시편 #4)의 게이트 width당 트랜스컨덕턴스 특성 게이트 길이는 $2\mu\text{m}$ 이고, 게이트-드레인 사이의 간격은 $3\mu\text{m}$ 이다.

Fig. 5. The transconductance for the gate width of the MESFET (specimen #204) fabricated by the self-aligned and double recessed gate process. The source-drain spacing was $3\mu\text{m}$ on the photo-mask.



(a)



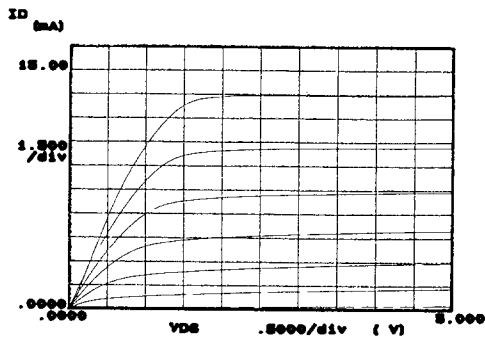
(b)

그림 6. (a) 자기정렬에 의한 이중 리세스 공정(self-aligned and double recessed gate process)에 의해 제작된 MESFET (시편 #4)의 파괴전압 특성

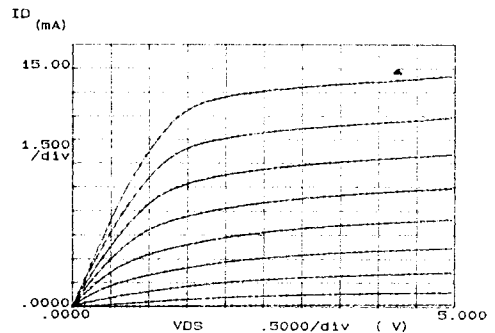
(b) 게이트 길이는 $2\mu\text{m}$ 이고, 게이트-드레인 사이의 간격은 $3\mu\text{m}$ 이고 게이트 전압은 -2.5V 이다. 그림3(c) 구조의 MESFET (시편 #4)의 파괴전압 특성

Fig. 6. (a) The breakdown voltage at a gate voltage of -2.5V for the MESFET (specimen #204) fabricated by self-aligned and double recessed gate process. The gate length was $2\mu\text{m}$ and the source-drain spacing was $3\mu\text{m}$ on the photo-mask,

(b) the breakdown voltage for the MESFET having a same structure with fig.3(c).



(a)



(b)

그림 7. 자기정렬에 의한 이중 리세스 공정(self-aligned and double recessed gate process)시, 제 1차 리세스 식각깊이에 따른 MESFET의 전류 전압 특성에 대한 실험결과(게이트 길이: $2.0\mu\text{m}$, 게이트 폭: $75\mu\text{m}$, 게이트-소오스 간격: $3\mu\text{m}$).

(a) 제 1차 리세스 식각 깊이가 35nm 인 경우와

(b) 제 1차 리세스 식각 깊이가 75nm 인 경우

Fig. 7. The change of I-V characteristics with depth of first recess etch in the MESFET fabricated by the self-aligned and double recessed gate process. The gate length was $2\mu\text{m}$ and the source-drain spacing was $3\mu\text{m}$.

(a) the depths of first recess etch on both specimen were, (a) 35nm and, (b) 75nm .

로써, 그림7의 (a)와 (b)의 두가지 트랜지스터의 전류-전압 특성의 직접적인 비교를 가능케 하였다. 그림7의 (a)와 같이 그림2의 (c) 공정중 리세스 식각 깊이를 깊게 한 경우, 소오스-드레인 사이의 채널이

열리는 임계전압 (threshold voltage)은 약 -1.6V 로 측정되었고, 리세스 식각 깊이를 얇게 한 경우, 임계전압(threshold voltage)은 그림7의 (b)와 같이 약 -2.5V 로 그림7의 (a)보다 작게 나타난 반면, 드레인의

포화전류는 거의 같은 크기를 보여 주었다. 이 결과는 제 2차 리세스 식각에 의해 공기중에 노출된 n층의 표면공핍층의 깊이(depth of surface depletion layer)가 제 1차 리세스 깊이보다 깊기 때문이다. 실제로 n-GaAs의 전자농도를 Si 도핑농도인 $1 \times 10^{17}/\text{cm}^3$ 로 하여 계산된 공핍층 깊이는 100nm로 계산되었고, 이것은 본 연구에서의 제 1차 리세스 식각깊이 75nm 보다 큰 값을 보여주었다. 즉 공핍층의 깊이보다 얇게 제 1차 리세스 식각을 하였을 때, 최대 드레인 전류의 크기는 제 1차 리세스 식각 깊이에 무관하고, 공핍층 깊이에만 의존하게 된다. 따라서 제 1차 리세스 식각깊이를 공핍층 깊이인 10nm 이내에서 조절하는 경우, 그림7의 (a) 및 (b)와 같이 최대 드레인 전류는 변화하지 않는다. 이것은 본 연구에서 개발한 자기정렬에 의한 이중 리세스 공정을 통해 임계전압을 쉽게 조절할 수 있으며, 아울러 이 공정은 재현성이 좋은 MSFET 소자의 제작에 유리함을 뒷바침 해 준다.

그림8은 게이트 길이 및 그림2의 (d) 공정중 실리콘 나이트라이드(silicon nitride) 층에 대한 측면식각(lateral etch) 시간에 따른 임계전압에서의 게이트-드레인 파괴전압의 변화를 보여준다. 실리콘 나이트라이드(silicon nitride)층에 대한 측면식각 시간이 길어짐에 따라, 즉 게이트와 드레인 사이에 존재하는 n⁺층이 제거되는 영역이 넓어짐에 따라, 게이트-드레인 파괴전압은 향상되었다. 아울러 게이트 길이가 작을수록 파괴전압 특성은 저하되는 것으로 측정되었다. 특히, 감광막을 마스크로 하여 실리콘 나이트라이드(silicon nitride)층을 CF₄:O₂가 4:1의 비율로 혼합된 식각 분위기에서 200W의 power로 2분간 건식식각시켜, 게이트로부터 720nm 측면식각 시킨 경우 (그림3(b), (b)), 게이트 길이가 1.8μm 이상의 MESFET에 대해 280V 이상의 파괴전압을 얻을 수 있었다. 아울러, 게이트 길이가 작을수록 전체적으로 파괴전압이 작아지는 것을 알 수 있었다.

이상의 결과를 종합하여 표2에 정리하였다. 본 연구에서는 제시한 자기정렬에 의한 이중 리세스 공정중 SiN의 식각폭의 변화에 의한 wide리세스 폭의 변화에 따라 임계전압, 트랜스컨덕턴스 및 드레인 포화전류의 크기는 거의 변화하지 않았으며, 단지 게이트-드레인 파괴전압만이 wide 리세스 폭이 증가함에 따라 향상되었다. 결론적으로 본 연구에서 제시한 자기정렬에 의한 이중 리세스 공정을 이용하면 MESFET의 일반적인 DC 특성의 변화 없이 게이트-드레인 파괴전압만을 향상시킬 수 있기 때문에 식(1)~식(3)에서 보여주는 바와 같이 전력효율이 높은

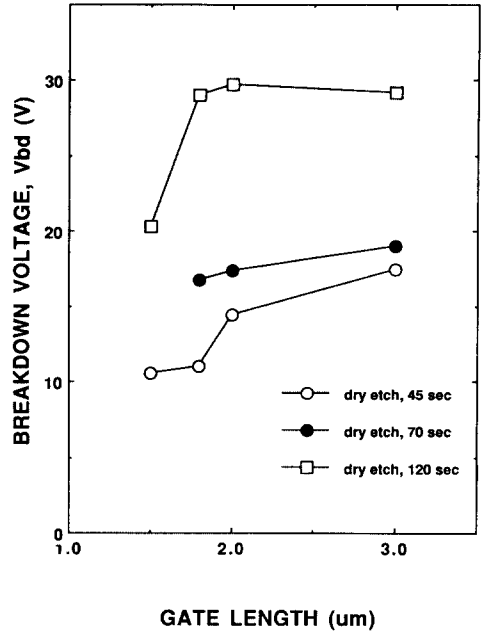


그림 8. 자기정렬에 의한 이중 리세스 공정(self-aligned and double recessed gate process)에 의해 제작된 MESFET에서 SiN의 wide recess 식각폭 및 게이트 길이에 따른 게이트-드레인 파괴전압의 변화. 게이트-드레인 사이의 간격은 2μm이다.

Fig. 8. The dependency of the breakdown voltage for the channel between the source and the drain on both the width of the wide recess etch and the gate length in the MESFET fabricated by the self-aligned and double recessed gate process.

표 2. 전력 MESFET의 전기적 특성(게이트 길이 = 2μm, 게이트-드레인 간격 = 2μm)

Table 2. Device characteristics for power MESFET with 2μm gate length at a gate-drain spacing of 2μm.

	Vth(V)	Gm(mS/mm)at Vg=0V	Idss(mA/mm)	Vbd(V)at Id=0.1mA
#202(Sumitomo)	-1.34	103	177	14.5
#203(")	-1.629	85	171	17
#204(")	-1.72	92	187	29.7

전력 MESFET 소자의 제작이 가능할 것으로 예측된다.

IV. 결 론

본 연구에서는 전력 MESFET 공정시 SiN과 감

광막등 식각 선택비가 서로 다른 이층의 물질로 보호된 소오스와 드레인 사이의 게이트 형성 영역을 건식식각과 습식식각으로 리세스 에칭을 한 후, 게이트를 자기정렬하여 형성시킴으로써, 전력 MESFET 소자의 임계전압을 조절할 수 있고, 동시에 게이트-드레인 파괴전압을 향상시킬 수 있는 방법을 보여주었다. 본 공정에서는 VPE로 성장된 n^+ ($\text{Si}:2 \times 10^{18}$) / n ($\text{Si}:1 \times 10^{17}$) 구조의 시편을 사용하였다. 제작된 MESFET의 전기적 특성은 임계전압이 -1.6V 이었고, 최대 트랜스컨덕턴스가 최고 120mS/mm 로, 포화 드레인전류가 $170-190\text{mA/mm}$ 로 나타났다. 게이트 형성부분의 wide recess 폭은 건식식각으로 SiN을 측면식각 (lateral etch)을 함으로써 조절할 수 있었고, 이 방법을 이용하여 게이트와 드레인 사이의 n^+ 층에 대한 wide recess 폭을 게이트로부터 720nm 로 하였을 경우, 소오스-드레인 파괴전압은 30V 까지 향상되었다.

參 考 文 獻

- [1] A.E. Geissberger, I.J. Bahl, E.L. Griffin, and R.A. Sadler, "A new refractor self-aligned gate technology for GaAs microwave power FET's and MMIC's," *IEEE*, vol. ED-35, pp. 615-622, 1988.
- [2] S. Tiwari, L.F. Eastman, and L. Rathbun, "Physical and materials limitations on burnout voltage of GaAs power MESFET's," *IEEE*, vol. ED-27, pp. 1045-1054, 1980.
- [3] S.H. Wemple, W.C. Niehaus, H.M. Cox, J.V. Dilorenzo, and W.O. Schlosser, "Control of gate-drain avalanche in GaAs MESFET's," *IEEE* vol. ED-27, pp. 1013-1018, 1980.
- [4] W.R. Frenley, "Power-Limitation Breakdown Effects in GaAs MESFET's," *IEEE*, vol. ED-28, pp. 962-970, 1981.
- [5] S.H. Wemple, W.C. Niehaus, H. Fukui, J. C. Irvin, H.M. Cox, J.C.M. Hwang, J.V. Ditorenzo, and W.O. Schlosser, "Long-term and instantaneous burnout in GaAs power FET's :mechanisms and solutions," *IEEE*, vol. ED-28, pp 834-840, 1981.
- [6] B. Kim, M. Wurtele, H.D. Shih, and H.Q. Tserng, "GaAs power MESFET with 41-percent power-added efficiency at 35 GHz," *IEEE*, vol. EDL-9, pp. 57-59, 1988.
- [7] L.W. Yin, Y. Hwang, J.H. Lee, R.M. Kolbas, R.J. Trew, and U.K. Mishra, "Improved breakdown voltage in GaAs MESFET's utilizing surface layers of GaAs grown at a low temperature by MBE," *IEEE*, vol. EDL-11, pp. 561-563, 1990.
- [8] J.L. Lee, S.H. Park, J.S. Kim, and D.S. Ma, "A study on HEMT process, part I. life-off process ofr the metallization," *J. KIEE* vol. 26, pp. 1535-1544, 1989.
- [9] H.M. Macksey and R.D. Hudgens, "Fabrication of the n^+ ledge channel structure for GaAs FET's with a single lithography step," *Electron Lett.*, vol. 21, pp. 955-957, 1985.
- [10] H.M. Macksey, "GaAs power FET's having the gate recess narrower than the gate," *IEEE*, vol. EDL-7, pp. 69-71, 1986.

(※ 본 연구 결과는 체신부 연구과제를 통해서 수행된 것입니다.)

著 者 紹 介



李 鍾 寬 (正會員)

1980년 2월 한양대학교 금속공학과 졸업(학사). 1982년 2월 한국과학기술원 재료공학과 석사과정 졸업. 1985년 2월 한국과학기술원 재료공학과 박사과정 졸업. 1985년 6월~1986년 11월

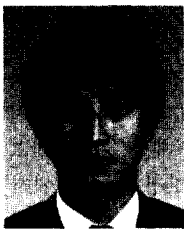
미국 Northwestern 대학 및 Michigorn 공과대학 Post doctor. 1989년 9월~1990년 9월 일본 Tsukuba 대학 초청연구원. 1986년 11월~현재 한국전자통신연구소 화합물소자연구실 선임연구원. 주관심분야는 GaAs 화합물반도체내의 격자결함 및 이들 격자결함이 소자의 전기적 특성에 미치는 영향, GaAs 소자공정연구 및 개발에 관한 연구 등임.



金 道 鎮 (正會員)

1979년 2월 서울대학교 금속공학과(학사). 1981년 2월 KAIST 재료공학과(석사). 1989년 10월 University of Soutceru California 재료공학과(박사). 1981년 3월 전자기술연구소 입소. 현재

전자통신연구소 신소자구조 연구실장. 주관심분야는 GaAs Device, MBE, Sol SDB 등임.



尹 光 俊 (正會員)

1963년 2월 4日生. 1985년 2월 충남대학교 전자공학과 졸업. 1987년 2월~연세대학교 대학원 전자공학과 졸업(공학석사). 1987년 2월~현재 한국전자통신연구소 화합물집적회로연구실 연구원.

주관심분야는 GaAs Digital 및 MMIC 설계, 측정 등임.



孟 成 在 (正會員)

1984년 2월 서울대학교 무기재료공학과 졸업(학사). 1986년 2월 한국과학기술원 재료공학과 졸업(석사). 1991년 3월~현재 한국과학기술원 전자재료공학과 박사과정. 1986년 2월~현재 한국전자통신연구소 화합물 소자연구실 연구원. 주관심분야는 GaAs MESFET 공정 및 특성분석 등임.



姜 鎭 榮 (正會員)

1953년 1월 29日生. 1979년 2월 한국과학기술원 물리학과 졸업(석사). 1991년 2월 한국과학기술원 물리학과 졸업(박사). 1979년 2월~현재 한국전자통신연구소 근무. 화합물소자연구실장, 책임연구원. 주관심분야는 GaAs 소자기술 연구 및 초고주파 소자 특성에 관한 연구 등임.



李 用 卓 (正會員)

1951년 4월 4日生. 1978년 2월 서울대학교 응용물리학과 졸업(학사). 1980년 2월 학국과학기술원 물리학과 졸업(석사). 1990년 2월 한국과학기술원 물리학과 박사과정 졸업. 1980년 6월~

1980년 12월 동경공업대학 전자물리공학과 객원연구원. 1986년 6월~1987년 6월 동경대학 전자공학과 객원연구원. 1979년 3월~현재 한국전자통신연구소 화합물반도체 연구부 연구위원. 주관심분야는 광소자 및 OEIC 기술연구, GaAs 소자 연구개발 등임.