

동시 접합 공정에 의한 자기정렬 코발트 실리사이드 및 얇은 접합 형성에 관한 연구

(A Study on the Self-Aligned Cobalt Silicidation and the Formation of a Shallow Junction by Concurrent Junction Process)

李石運*, 閔庚瀾*, 朱承基**

(Seok Woon Lee, Kyeong Ik Min, and Seung Ki Joo)

要 約

급속 열처리를 이용하여 이온 주입후에 Co를 증착하고 이를 열처리하여 실리사이드와 접합을 동시에 형성하는 공정(Concurrent Junction)을 하였다. 형성된 CoSi_2 의 전기적 성질과 물성을 알아보기 위하여 Alpha Step, 4-point probe, X-ray diffraction(XRD) 측정과 scanning electron microscope(SEM) 관찰을 하였고, spreading resistance probe(SRP) 측정을 통하여 접합내에서 전기적으로 활성화된 불순물의 재분포와 접합 깊이를 분석하였다. CoSi_2 와 접합을 형성하기 위하여 800°C (30sec), 1000°C (30sec) 두 단계의 열처리를 하였다. CoSi_2 의 비저항은 $11\sim 15\mu\Omega\text{cm}$ 로 매우 낮았으며 $0.1\mu\text{m}$ 이하의 매우 얇은 접합을 얻었다. $p^+/n, n^+/p$ 접합 모두 CoSi_2 의 두께가 얇아짐에 따라서 CoSi_2/Si 계면에서의 불순물 농도가 증가하는 것을 알 수 있었고 p^+/n 접합의 경우는 실리사이드 두께의 증가가 접합 깊이도 감소시키게 되는 것으로 나타났다.

Abstract

Concurrent Junction process (simultaneous formation of a silicide and a junction on the implanted substrate) by Rapid Thermal Annealing has been investigated. Electrical and material properties of CoSi_2 films were analyzed with Alpha Step, 4-point probe, X-ray diffraction(XRD) and Scanning Electron Microscope(SEM). And CoSi_2 junctions were examined with Spreading Resistance Probe in order to see the redistribution of electrically activated dopants and determined the junction depth. Two step annealing process, which was 800°C for 30sec and 1000°C for 30sec in N_2 ambient was employed to form CoSi_2 and shallow junctions. Resistivity of CoSi_2 was turned out to be $11\sim 15\mu\Omega\text{cm}$ and shallow junctions less than $0.1\mu\text{m}$ were successfully formed by the process. It was found that the dopant concentration at CoSi_2/Si interface increased as decreasing the thickness of Co films in case of p^+/n and n^+/p junctions while the junction depth decreased as increasing CoSi_2 thickness in case of p^+/n junction.

*準會員, **正會員, 서울대학교 金屬工學科

(Dept. of Metal Eng., Seoul Univ.)

接受日字: 1991年 9月 12日

(※ 본 연구는 문교부의 1989년도 신소재분야 학술 연구 조성비와 과학재단의 1990년도 신소재 박막 가공 및 결정성장 연구센터 지원비로 수행되었습니다.)

I. 서 론

반도체 소자가 $1\mu\text{m}$ 이하로 스케일되면서 MOS 소자의 성능 향상을 위해서는 소스와 드레인 영역과 다결정 실리콘 게이트 영역에서의 확산 저항과 접촉 저항을 줄이는 것이 절실하게 되었다.¹⁾ 이를 위하여 급속과 실리콘을 반응시킨 SALICIDE 공정이 각광

열처리 장치에서 열처리하였다. 시편의 크기는 15×20mm²으로 고정시켰으며 N₂ 분위기에서 30초 동안 급속 열처리 하였다. 열처리시 실제 시편의 온도 측정은 Co 박막이 표면에 증착되어 있는 표준 시편에 K형 열전대를 기계적으로 접촉하여 그 값을 기준으로 하였다. 표면에 전도성 박막이 있는 경우 paste 없이 기계적 접촉만으로도 충분히 시편의 온도를 정확히 측정할 수 있다.⁹⁾ 그림1에 급속 열처리의 온도 분포와 사용한 전력의 분포를 나타내는 전형적인 그림을 실었다.

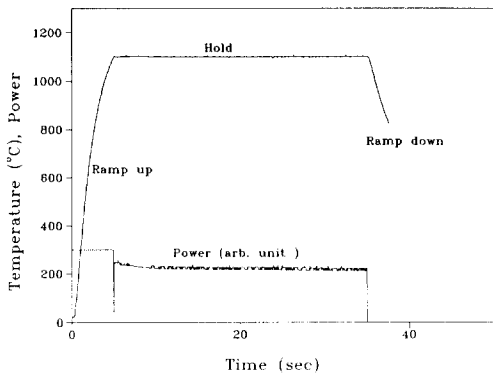


그림 1. 표준 시편의 전형적인 온도 제어
 Fig. 1. The typical power drive and the temperature profile of the standard sample.

CoSi₂를 형성하기 위한 1차 열처리시 온도는 800°C (30초)였으며, 반응하지 않은 Co를 선택적으로 제거하기 위하여 [3 HCl:1 H₂O₂] 용액 (70°C)에서 30초 동안 에칭하였다. 그 후 활성화 되지 않은 불순물의 활성화와 확산, Si의 손상을 회복하기 위한 2차 열처리는 1000°C (30초)로 하였다.

생성된 실리사이드의 저항을 측정하기 위하여 4탐침법을 사용하였으며 실리사이드 표면의 거칠기를 측정하기 위하여 Alpha step을 사용하였다. 실리사이드 상의 관찰을 위해 박막 X-ray 분석(Thin Film X-ray Diffractometry)을 하였으며 실리사이드의 단면과 표면 관찰, 그리고 SiO₂와 코발트의 반응성 조사를 위해 scanning electron microscope(SEM) 관찰을 사용하였다. 실리사이드 형성과 동시에 재분포되는 전기적으로 활성화된 불순물 (붕소와 비소)의 분포를 spreading resistance probe(SRP) 측정하였다. 이때 실리사이드와 실리콘의 경계를 설정하기 위해

SRP 측정 전에 실리사이드 위에 SiO₂ 막을 1000Å 정도 스퍼터링에 증착하였다. 17'의 각으로 경사각기를 하였으며 25A의 step으로 측정을 행하였다.

III. 결과 및 검토

1. 실리사이드의 형성

B이 이온주입(30keV)된 기판위에 300Å의 Co를 증착하고 700°C와 800°C에서 열처리 시간을 변화하며 4탐침법에 의해 측정된 면저항의 변화를 살펴 보았다(그림2). 700°C의 경우 열처리하는 시간이 증가할수록 면저항이 낮아졌는데 이는 CoSi₂의 형성 때문이며 700°C에서 30초 정도 열처리하면 CoSi₂ 상의 형성이 완료됨을 그림3의 박막 XRD 피크로부터 확인할 수 있다. 그림에서 보듯이 다결정 CoSi₂상 외에는 어떠한 다른 상(Co₂Si, CoSi)도 발견되지 않는다. 따라서 이 온도에서 열처리 시간을 증가시키는 것은 더 이상 면저항 값을 저하시키지 않았다. 800°C에서는 10초만 열처리해도 700°C에서 오랜시간(>30초) 열처리 했을때와 근사한 면저항 값을 나타내었다. 이는 800°C에서는 짧은 열처리 시간만 열처리해도 CoSi₂ 상의 형성이 완료됨을 의미한다. 또한 열처리 시간의 증가와 함께 나타나는 낮은 면저항 값은 다결정 CoSi₂ 상의 결정립 크기가 조대화되기 때문일 것이며 역시 30초 이상으로 열처리 시간을

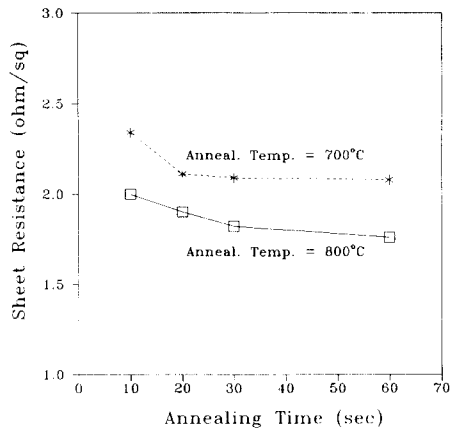


그림 2. BF₂⁺가 이온 주입된 시편의 700°C와 800°C에서 열처리 시간에 따른 면저항의 변화
 Fig. 2. Sheet resistance as a function of annealing time at 700°C and 800°C for BF₂⁺ implanted substrate.

반계⁽²⁾ 되었으며 특히 낮은 비저항을 갖는 천이금속의 실리사이드가 주목받게 되었다. 따라서 Mo, Ta, Ti, W과 같은 내화금속의 실리사이드가 게이트와 금속선 재료로 연구되어 왔으며, 이 중에서도 특히 고온에서도 안정하고 낮은 비저항을 갖는 $TiSi_2$ 의 연구^(3,4)가 집중되어 왔다.

한편, VIII족 금속의 실리사이드는 고온에서의 안정성이 부족하여⁽²⁾ contact 형성의 부호로만 가능성을 보여왔다. 그러나 회로와 소자의 초고집적화가 필요하게 되면서 소자의 소규모화와 얇은 접합의 통제를 위해 공정중의 온도를 더욱 더 낮추게 되어 Co, Pd, Pt, Ni과 같은 VIII족 금속의 실리사이드가 관심을 끌게 되었다. 결과적으로 $TiSi_2$ 와 거의 같은 낮은 비저항을 갖는 $CoSi_2$ 가 금속선과 contact 형성의 후보로서 높은 관심의 대상이 되었다.^(5,6,7)

$TiSi_2$ 에 비해서 $CoSi_2$ 는 많은 장점이 있는데, 비저항이 $TiSi_2$ 만큼 낮으며 $CoSi_2$ 는 비교적 낮은 온도에서 자기정렬되며 형성되고 고온에서도 안정하다는 것이다. 이것은 900°C의 글래스 재유동(glass reflow) 공정과의 적합성을 보여주는 것이다. $CoSi_2$ 는 $TiSi_2$ 와는 달리 벽면 산화물(side wall oxide) 위에서의 브리징(bridging) 현상이나 게이트 밑으로의 침투(encroachment)가 없으므로 한번의 열처리 공정이 가능하여 공정이 단순하다. 또한 $CoSi_2$ 에 영향을 주지 않고 Co를 에칭할 수 있는 선택적인 화학용액이 있으며 $TiSi_2$ 에 비해 플라즈마 에칭에 덜 민감하기 때문에 glass층을 통한 contact의 에칭시에 과에칭되는 양이 무시할만하다. 또한 $TiSi_2$ 가 질소 분위기에서 형성될 때 TiN 가 동시에 생기는 것에 반하여 $CoSi_2$ 외에는 어떠한 반응도 경쟁적으로 일어나지 않아서 SALICIDE공정이 용이하며 같은 두께의 박막이라면 $TiTi_2$ 보다는 $CoSi_2$ 가 더 낮은 인장 응력을 보인다. 이는 소자 집적도에 있어서 매우 중요한 성질이다.

표1에 실리사이드 접합을 형성하는 2가지 공정의 흐름이 나타나 있다. 첫번째 공정(Conventional Process)은 접합 형성 후에 Co를 증착하고 급속 열처리하여 실리사이드를 형성하는 것이고 두번째 공정(Concurrent Junction)은 이온 주입 후에 Co를 증착하고 급속 열처리하여 접합과 실리사이드를 동시에 형성하는 것이다. 이미 만들어진 얇은 접합에 실리사이드를 형성하는 기존의 공정은 실리사이드화 반응시에 실리콘의 과다한 소모로 인한 접합파괴의 가능성⁽⁸⁾과 함께 실리사이드 형성시의 불순물 재분포로 인한 접촉 저항의 증가를 초래하게 되는 단점이 있다. 본 연구에서는 얇은 접합을 얻기 위한 새로운

표 1. 얇은 실리사이드 접합을 얻기 위한 두공정
(a) 기존의 공정 (b) 동시 접합

Table 1. Two approaches for shallow silicided junctions.
(a) conventional junction,
(b) Concurrent junction.

Conventional Process	Concurrent Process
Implantation	Implantation
Dopant Activation	Co Deposition
Co Deposition	$CoSi_2$ Formation
$CoSi_2$ Formation	Selective Co Etch
Selective Co Etch	Dopant Activation

공정으로 이온 주입 후에 실리사이드와 접합을 동시에 형성하는 방법(Concurrent Junction)을 선택하여 기판의 상태에 따른 실리사이드 성질의 변화를 고찰하면서 SALICIDE 공정의 열처리 조건을 확립하였으며, ULSI에 적합한 매우 얇은 실리사이드 접합(ultra-shallow silicide junction)을 만드는 것에 초점을 맞추어 연구를 수행하였다.

II. 실험방법

소스와 드레인 영역에서의 실리사이드화 반응을 관찰하기 위해 n형(100) 단결정 Si 기판위에 40keV의 BF_2^+ 를 $3 \times 15 \text{cm}^{-2}$ 으로 이온 주입한 p⁺/n기판과, p형(100) 단결정 Si 기판위에 100KeV의 As^+ 가 $1 \times 10^{16} \text{cm}^{-2}$ 로 주입된 n⁺/p 기판을 준비하였다. 그리고 게이트 영역을 위해 p형(100) Si 기판위에 450A의 SiO_2 를 형성하고 그 위에 LPCVD에 의해 P가 도핑된 0.4 μm 두께의 다결정 Si 기판을 준비하였다. 또한 SALICIDE 공정시에 고려해야 할 Co와 SiO_2 의 반응성을 조사하기 위해서 0.47 μm 의 SiO_2 (LTO)를 증착하고 RIE로 pattern을 형성한 기판도 준비하였다.

실리콘과 다결정 실리콘의 표면은 Co를 증착하기 전에 [1 H_2SO_4 :1 H_2O_2] 용액을 5분간 거치고 [50 HF:1 H_2O]에 1분간 클리닝하여 표면의 자연 산화막을 최대한 제거한 후에 evaporation chamber에 즉시 넣었다. 증착 방법은 진공 열증착 방식을 사용하였고 초기 진공을 $\sim 10^{-6}$ torr 정도로 하여 산소나 그 외 불순물의 함량을 억제하였으며 저항식 가열 보트는 W를 사용하였다. 이 때 표면의 수분을 제거하고 증착이 잘 되도록 시편을 200°C로 가열하였고 원하는 실리사이드의 저항($\sim 1.5 \Omega/\square$)을 얻기 위하여 300A 정도의 Co를 증착하였으며 자체 제작한 금속

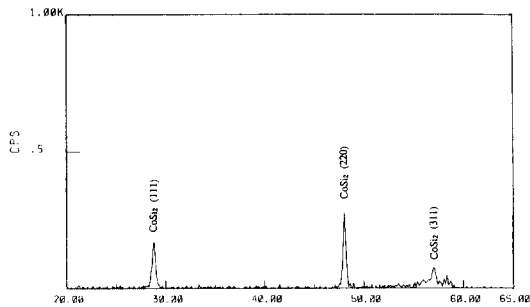


그림 3. BF_2^+ 가 이온 주입된 시편을 $700^\circ C$ 에서 30초간 열처리했을 때 나타나는 X-ray 회절
 Fig. 3. X-ray diffraction peak of BF_2^+ implanted substrate after annealing of $700^\circ C$ for 30sec.

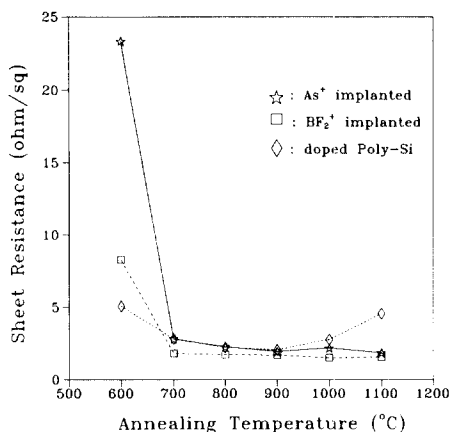


그림 4. 열처리 온도에 따른 면저항의 변화; 시편은 질소분위기에서 30초 동안 열처리함
 (a) $100keV, 1 \times 10^{16} cm^{-2}, As^+$
 (b) $40keV, 3 \times 10^{15} cm^{-2}, BF_2^+$
 (c) $POCl_3$ doped Poly-Si

Fig. 4. Effect of annealing temperature on sheet resistance; samples were annealed for 30 sec in ambient.
 (a) $1000keV, 1 \times 10^{16} cm^{-2}, As^+$
 (b) $40keV, 3 \times 10^{15} cm^{-2}, BF_2^+$
 (c) $POCl_3$ doped Poly-Si.

증가시켜도 면저항 값은 더이상 낮아지지 않았다.

As과 B를 이온주입한 단결정 실리콘 기판과 P가 도핑된 다결정 실리콘 기판위에서 Co의 반응을 살펴보기 위해 열처리 온도에 따른 실리사이드 면저항의 변화를 그림4에 나타내었다. 이때 증착된 코발트의 두께는 300\AA 이었으며 각 온도에서의 열처리

시간은 30초로 고정하였다. 온도가 증가함에 따라 시편 면저항 값이 낮아지는 양상은 세 시편 모두 공통적으로 나타나며 P가 도핑된 다결정 실리콘 위에서 그리고 As이 이온 주입된 기판 위에서 실리사이드의 저항값이 약간 높은 것으로 나타났다. 실제로 $700^\circ C$ 에서 As과 B이 이온주입된 기판과 P가 도핑된 다결정 실리콘 위에 형성된 실리사이드의 면저항은 각각 $2.0, 1.8, 2.0 \Omega / \square$ 이었다. 이 면저항 값들은 3번 측정하여 평균한 값이며 탐침 거리와 시편의 크기 효과를 고려하였다. 이론적으로 100\AA 의 코발트는 364A의 실리콘과 반응하여 352A의 $CoSi_2$ 를 생성하게 된다. 증착된 코발트가 전부 반응하여 생성되는 $CoSi_2$ 의 두께를 1100\AA 정도로 가정하면 이 면저항 값으로부터 각각 $22, 20, 22 \mu\Omega cm$ 의 비저항 값이 계산된다. 이때 도핑된 다결정 실리콘의 원래 저항이 $20 \Omega / \square$ 인 것을 고려하면 실리사이드만의 저항값은 약 $2.2 \Omega / \square$ 가 되고 따라서 다결정 실리콘 위에서 실리사이드의 비저항($24 \mu\Omega cm$)이 가장 높은 것으로 나타났다.

세 경우 모두 $600^\circ C$ 에서 가장 높은 면저항을 나타내었는데 이것은 비저항이 높은 $CoSi_2$ 의 형성 때문이며, $700^\circ C$ 부터는 $CoSi_2$ 가 형성되어 면저항이 낮아졌으며 $800^\circ C$ 이후로도 면저항 값은 조금씩 낮아지는 것으로 나타났다. 저항 변화로부터 살펴보면 $CoSi_2$ 는 $1000^\circ C$ 까지 열적으로 안정한 것으로 나타났지만 $1100^\circ C$ 에서는 막의 성질이 저하되어 일정하지 않은 면저항값의 변화를 보였다. 이러한 현상은 도핑된 다결정 실리콘에서 더욱 확실히 나타났으며 ($>3 \Omega / \square$) 이는 실리사이드가 다결정 실리콘의 입계를 따라 밑의 실리콘 산화물 위에 축적되어 막을 형성하기 때문이라고 보고되어 있다.¹⁰⁾ 따라서 contact 뿐만 아니라 게이트 영역에서도 실리사이드를 형성하는 SALICIDE 공정에서는 열처리 온도를 $1100^\circ C$ 미만으로 제한시켜야 한다. 열처리 온도에 따른 실리사이드의 면저항 변화를 살펴본 결과 단결정 실리콘 기판위에 이온 주입되어 활성화되지 않은 불순물은 실리사이드의 비저항 값을 현저하게 변화시키지는 않았으며 P가 도핑된 다결정 실리콘 위에 형성된 실리사이드의 비저항이 약간 높은 것으로 나타났다. 급속 열처리에 의해 $800^\circ C$ 에서 형성된 $CoSi_2$ 의 면저항은 $1.5 \pm 0.2 \Omega / \square$ 이며 $CoSi_2$ 의 두께가 1100\AA 정도인 것을 고려한다면 비저항은 $17 \pm 2 \mu\Omega cm$ 로 나타났다.

금속과 실리콘을 반응시켜서 실리사이드를 형성할 때 가장 큰 단점 중의 하나는 금속과 실리콘의 반응시에 표면이 거친 실리사이드가 생기면서 불균일하

계 밑 층의 실리콘을 소모하여 접합을 불량하게 만든다는 것이다.⁸⁾ 실제로 금속이 실리콘과 반응할 때 실리콘 표면 위의 자연 산화물이나 불순물 등은 생성되는 실리사이드 막의 성질을 변화시킬 뿐만 아니라 계면의 거칠기에도 영향을 주게 되며 실리사이드/Si 계면의 상태는 곧바로 실리사이드의 표면 상태와 직결된다. 즉 실리사이드의 표면이 매끄러운 것은 그만큼 계면도 매끄러운 것임을 간접적으로 증명하는 것이다(천이 금속들은 Al과 같은 junction spiking 현상을 나타내지 않는다). 활성화 되지 않은 불순물이 주입된 기판위에 증착된 Co막을 1000°C에서 열처리 했을 때 Alpha step에 의하여 측정된 표면 거칠기는 기판 상태(As 혹은 B)에 관계없이 $\pm 5\text{nm}$ 이내의 값을 나타내었다. 이는 다결정 실리콘위에서도 비슷하게 ($\pm 7\text{nm}$) 나타났다. $0.1\mu\text{m}$ 의 얇은 접합을 가정해도 $\pm 5\text{nm}$ 의 거칠기는 겨우 0.05의 비율에 해당하는 낮은 값이다. 1차 실리사이드 형성 열처리 (700°C 30초)를 거친 후에 1000°C 에서 30초간 2차 열처리를 거친 실리사이드의 표면 SEM 사진을 그림 5에 나타내었다. 그림에서 보듯이 1000°C 까지도 CoSi_2 막은 agglomeration등과 같은 현상으로 저하되지 않고 대체로 매끄러운 것으로 나타났다. 이 결과는 2차 열처리 후의 CoSi_2 의 낮은 저항값(표2)과 함께 코발트 실리사이드의 열적 안정성을 입증하는 결과이다.

$0.47\mu\text{m}$ 의 SiO_2 (CVD LTO)가 패턴되어 있는 p형 Si 기판위에 Co를 증착하여 각각 $800, 900, 1000^\circ\text{C}$ 에서 30초 동안 열처리한 후 선택적으로 코발트를 에칭해 낸 후 표면을 SEM으로 관찰하였다(그림5). 그림 (a)에서 보듯이 800°C 에서 열처리한 경우 실리콘 위에서는 Co와 Si이 반응하여 CoSi_2 가 형성되었고 선택적 에칭(Co)에 의해 SiO_2 위에서 반응하지 않은 Co는 완전히 에칭되었다. 그러나 900°C 에서 열처리한 경우 800°C 에서 처럼 Co와 Si이 반응하여 CoSi_2 가 형성된 반면 SiO_2 위에는 에칭되지 않은 잔여물이 남아있다. 에칭되지 않은 것으로 미루어 보아 이것은 Co 산화물이거나 Co 실리사이드일 것이며 확인되지는 않았다. 이 현상은 1000°C 에서 더욱 심해져서 에칭되지 않은 양이 증가했으며 심지어는 SiO_2 옆면에서도 실리사이드가 형성되어 길게 이어진 모양을 발견할 수 있다. 이는 곧 브리징의 가능성을 의미한다. 표2에는 열처리 온도에 따른 Co/Si,의 반응성, Co/ SiO_2 의 반응성, 그리고 SALICIDE 공정시에 고려해야 할 브리징의 가능성을 정리해 놓았으며, 이 결과로부터 알 수 있듯이 SALICIDE 공정을 위해서는 800°C 이상의 열처리는 피해야 하는 것

표 2. 세가지 다른 열처리 온도에서 35nm 두께의 Co와 Si, SiO_2 의 반응성과 브리징 가능성 조사

Table 2. Reactivity of 35nm film on single Si and SiO_2 at three different annealing temperatures.

Property RTA of	Formation of CoSi_2	Reaction with SiO_2	Possibility of bridging
800°C 30sec	Yes	NO	No
900°C 30sec	Yes	Yes	Yes
1000°C 30sec	Yes	Yes No	Yes

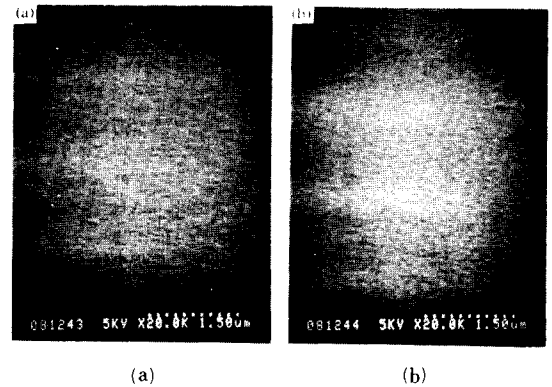


그림 5. 800°C , 30초의 열처리 후에 1000°C , 30초의 2차 열처리를 거친 CoSi_2 의 표면 SEM사진
(a) 100keV , $1 \times 10^{16}\text{cm}^{-2}$, As^+
(b) 40keV , $3 \times 10^{15}\text{cm}^{-2}$, BF_2^+

Fig. 5. SEM micrograph showing the surface of CoSi_2 formed on
(a) 100keV , $1 \times 10^{16}\text{cm}^{-2}$, As^+ ,
(b) 40keV , $3 \times 10^{15}\text{cm}^{-2}$, BF_2^+ after RTA of 800°C , 30sec and 1000°C , 30sec.

으로 나타났다. 즉 800°C 이하의 온도에서 1차 열처리 하여 안정한 CoSi_2 를 형성한 후에 SiO_2 위에 반응하지 않은 Co를 완전히 제거해 낸 다음, 이온 주입에 의한 Si의 손상을 회복하기 위한 2차 열처리를 행해야 한다. 2차 열처리 온도는 면저항의 변화로부터 알 수 있었듯이 1100°C 미만으로 제한되어야 한다.

2. SALICIDE 공정에 따른 동시 접합의 형성

표3에 공정 단계에 따른 면저항과 비저항의 변화를 나타내었다. 각각 B과 As이 이온 주입된 실리콘 기판위에 300\AA 의 Co를 증착하였다. 증착된 Co 박막의 비저항은 $37 \pm 2\mu\Omega\text{cm}$ 였으며 실리사이드를 형성하기 위한 1차 열처리(800°C , 30sec) 후에는 면저항

표 3. 코발트 실리사이드를 형성하는 단계에 따른 면저항과 비저항의 변화

Table 3. Procedure steps for cobalt silicide formation and typical sheet resistance and resistivity values measured at various steps.

Procedure Step	Sheet Resistance (ohm/sq) Resistivity [μ ohm. cm]	
	1	2
Substrate	n-type	p-type
Implantation	*a	*b
Deposit Co	(11.9) [36]	(13.0) [39]
*c 1 st RTA	(1.56) [16]	(1.62) [17]
*d Etch	*f (1.41)	*f (1.51)
*e 2nd RTA	[14.8]	[16.2]

*a: BF_2^+ , $3\text{E}15 \text{ cm}^{-2}$, 40keV

b: As^+ , $1\text{E}16\text{cm}^{-2}$, 100keV

c: 800°C , 30sec, N_2 ambient

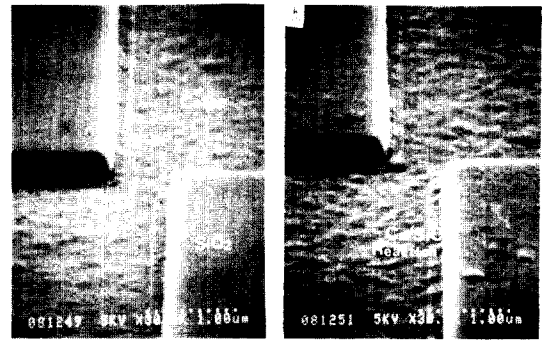
d: Etching solution = [3HCl:1 H_2O_2], 70°C , 30sec

e: $1,000^\circ\text{C}$, 30sec, N_2 ambient

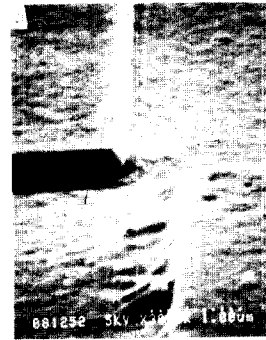
f: No change in sheet resistance

이 $2\Omega/\square$ 이하로 낮아졌다. 이때 계산된 비저항은 $13\sim 17\mu\Omega \text{ cm}$ 였고 이 비저항 값은 2차 열처리 (1000°C , 30sec) 이후에는 좀 더 낮아져서 $11\sim 15\mu\Omega \text{ cm}$ 정도로 나타났다.

이론적으로 150\AA 의 Co가 반응하여 생성되는 CoSi CoSi_2 의 두께는 550\AA 정도이며 300\AA 의 경우는 1100\AA 정도이다. 실제로 SEM에 의한 단면 관찰과 SRP 측정시에 경사 깎기한 후의 광학 현미경 관찰에 의하면 이 계산값보다는 약간 얇은 것으로 나타났다. ($1100\text{\AA} \rightarrow 1000\text{\AA}$). 본 실험에서 사용한 이온 주입 조건에 따르면 B의 경우 R_p 가 $0.033\mu\text{m}^{1/2}$ 이며 As의 경우는 R_p 가 $0.046\mu\text{m}^{1/2}$ 이다. 그림6은 800, 1000 $^\circ\text{C}$ 두번의 열처리를 거친 p+/n 접합의 SRP 분포를 보여주고 있다. 이때 실리사이드화 반응시에 소모되는 실리콘의 양, 즉 생성되는 실리사이드의 두께에 따른 영향을 관찰하기 위해서 코발트 두께를 150\AA (a), 300\AA (b)로 변화시켜 비교하였다. SRP 측정전에 SiO_2 를 1000\AA 정도 스퍼터 증착하였으며 CoSi_2 와 Si의 경계는 생성된 CoSi_2 의 두께와 불순물의 분포 양상을 고려하여 설정하였다. 그림6에서 보듯이 실리사이드와 실리콘 계면에서의 붕소의 농도는 $\sim 10^{20} \text{ cm}^{-3}$ 정도로 높았고, 300\AA 의 코발트가 증착된 경우



(a) (b)



(c)

그림 6. SiO_2 가 패턴된 p형 Si 기판위에 형성된 $0.12\mu\text{m}$ 두께의 CoSi_2 층의 SEM 사진; 열처리 후에 [3 HCl:1 H_2O_2] 용액에서 Co는 선택적으로 에칭하였다.

Fig. 6. SEM micrograph illustrating a $0.12\mu\text{m}$ thick CoSi_2 layer obtained by RTA at (a) 800°C , (b) 900°C , and (c) 1000°C (30sec) followed by a selective etch in [3 HCl:1 H_2O_2], (a) 800°C (b) 900°C , and (c) 1000°C 30초.

농도가 약간 낮았다. 계면에서의 붕소의 높은 농도는 실리사이드가 형성될 때 붕소가 계면에 집적된 것이며, 계면에서의 불순물의 높은 농도는 접촉 저항을 낮추게 되는 성분중의 하나이다. 150\AA 의 코발트 박막이 증착된 경우 생성되는 CoSi_2 의 두께 (550\AA)를 제외하고 붕소의 농도가 10^{16}cm^{-3} 이상인 전기적인 접합의 깊이는 $0.09\mu\text{m}$ 정도였다. 반면에 300\AA 의 코발트 박막이 있는 경우 전기적인 접합은 $0.07\mu\text{m}$ 정도로 나타나서 코발트 박막의 두께가 증가할수록 접합 깊이가 감소하는 것으로 나타났다.

한편 같은 공정을 거친 후 n+/p 접합에서의 As 농도 분포가 그림에 나타나 있다. Co의 두께가 얇은 경

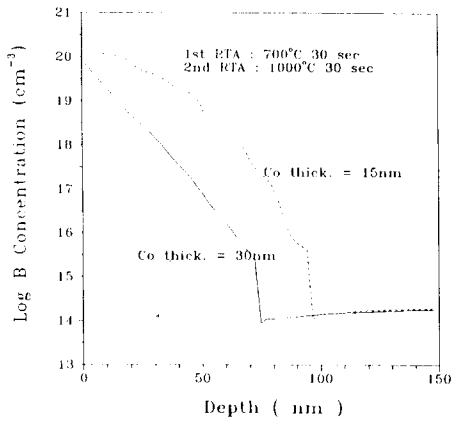


그림 7. B [40keV, $3 \times 10^{15} \text{cm}^{-2}$, BF_2^+]의 SRP 분포; 증착된 Co의 두께가 접합 깊이와 B 농도에 미치는 영향

- (a) Co 두께 = 15nm
- (b) Co 두께 = 30nm; 시편은 800°C, 1000°C 두 번의 열처리를 거쳤다

Fig. 7. SRP profiles of B [40keV, $3 \times 10^{15} \text{cm}^{-2}$, BF_2^+] showing the effect of deposited Co thickness on junction depth and B concentration.

- (a) Co thickness = 15nm and
- (b) Co thickness = 30nm after two RTA of 800°C and 1000°C for 30sec.

우(a)는 계면에서의 농도가 $\sim 10^{20} \text{cm}^{-3}$ 이상으로 매우 높은 반면에 300Å의 Co가 있는 경우는 $\sim 10^{19} \text{cm}^{-3}$ 정도로 상대적으로 낮은 값을 보였다. 이러한 낮은 비소 농도는 코발트 실리사이드 형성시에 급속히 확산하면서 불순물을 밀어내는 효과가 현저하게 나타나지 않고 실리사이드 형성시 소모되는 Si와 함께 비소도 같이 실리사이드 내로 소모되었기 때문이다. 실제로 이 소모량 중의 많은 비율은 다결정 실리사이드의 입계를 따라 빠른 확산 속도로 실리사이드 밖으로 기화되어 빠져 나간 양이 차지하게 된다. 계면에서의 비소 농도 차이에도 불구하고 실리사이드 두께에 상관없이 전기적인 접합의 깊이는 두 경우가 비슷하여 0.08μm 정도였다. 실제로 금속학적 접합의 깊이는 측정되지 않았지만 이보다 더 깊을 것은 분명하여, SRP 측정으로는 불순물 농도에 따른 실리사이드의 비저항 값이 알려져 있지 않으므로 실리사이드 내에서의 불순물 분포는 알 수 없었다.

이온 주입된 상태의 불순물은 실리사이드화 반응시에, 그리고 확산을 위한 열처리에 다시 재분포하게 되는데, 이때 접합 깊이와 실리사이드/Si 경계에

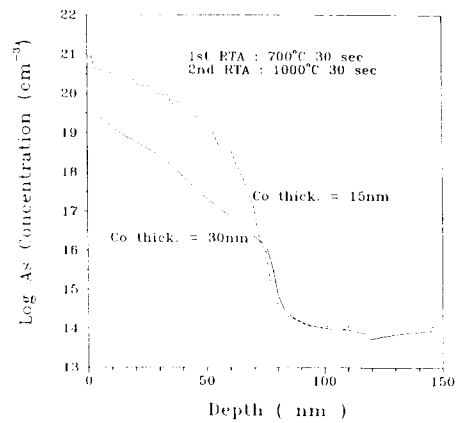


그림 8. As [1000keV, $1 \times 10^{16} \text{cm}^{-2}$, As^+]의 SRP 분포; 증착된 Co의 두께가 접합 깊이와 As 농도에 미치는 영향

- (a) Co 두께 = 15nm
- (b) Co 두께 = 30nm

Fig. 8. SRP profiles of As [100keV, $1 \times 10^{16} \text{cm}^{-2}$, As^+] showing the effect of deposited Co thickness on junction depth and As concentration.

- (a) Co thickness = 15nm and
- (b) Co thickness = 30nm.

서 불순물의 농도는 실리콘 내로 금속이 확산하는 속도 ($D_{\text{Co}}^{\text{Si}}$), 실리콘 내에서 불순물의 확산 속도 ($D_{\text{Im}}^{\text{Si}}$), 금속 안으로의 불순물 확산 ($D_{\text{Im}}^{\text{Co}}$), 반응시에 금속과 실리콘 내에 불순물이 고용되는 비율 ($S_{\text{Im}}^{\text{Co}}/S_{\text{Im}}^{\text{Si}}$)과 밀접한 관련을 갖게된다. 그림8은 Co의 두께에 따라 분포 양상을 달리하는 두 불순물(As, B)의 분포를 실리사이드 반응전의 실리콘 표면으로부터 확산하여 간략하게 그린 그림이다. 이때 SRP 측정시에 나타나기 쉬운 두께와 농도의 오차는 무시하는 것으로 가정하였다. CoSi_2 의 생성시에 소모되는 Si의 양은 CoSi_2 의 양과 거의 같기 때문에 550Å의 CoSi_2 가 생성되면 소모되는 Si의 양도 그정도이므로 실제 접합은 원래의 실리콘 표면으로부터 0.145μm(B), 0.125μm(As)까지의 실리콘 내로 진입해서 형성된다. 그리고 1100Å의 CoSi_2 가 형성되면 이 거리는 각각 0.18μm(B), 0.19μm(As)가 된다. 즉 생성되는 실리사이드의 두께가 증가하면 실리콘 내의 불순물도 실리콘 내로 깊이 확산해 들어간다.

B의 경우 실리사이드 두께가 두꺼워지면 실리사이드가 성장하면서 계면으로부터 B를 실리콘 내로 밀어 내는 깊이의 증가 ($B_{\text{B}}^{\text{enhanced}}$)보다는 실리콘내

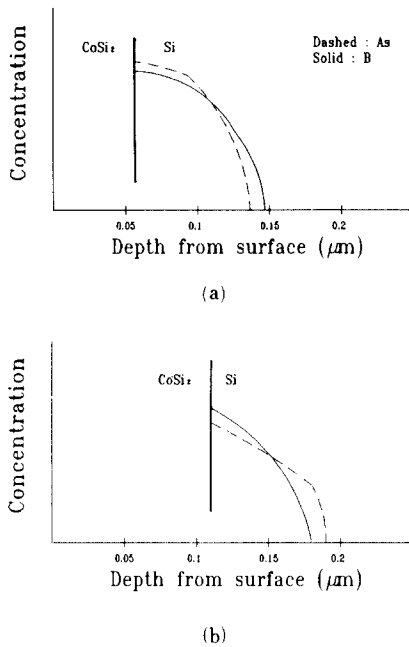


그림 9. 실리사이드 두께에 따른 B과 As 분포를 간략하게 나타낸 그림. Co의 두께는 (a) 15nm와 (b) 30nm이다.

Fig. 9. Simplified plot of B and As profiles according to the evaporated Co thickness of (a) 15nm and (b) 30nm.

에서 B의 빠른 확산속도 (D_B^{Si}) 때문에 실리사이드 두께가 증가(0.055 μ m)해도 실제 B의 확산거리는 별로 차이(0.035 μ m)가 없다. 그러나 실리사이드 두께의 증가만큼 실리사이드 내에 고용할 수 있는 B (S_B^{Co})량이 증가하기 때문에 전체적인 불순물 농도 뿐만 아니라 접합 깊이도 감소하게 된다. 반면에 As의 경우는 As이 실리콘 내로 확산해 들어가는 속도 (D_{As}^{Si})보다 실리사이드 성장에 따라 As을 밀어내는 속도 ($D_{As}^{enhanced}$)가 우세하다. 왜냐하면 실리사이드의 두께가 증가(0.055 μ m)한 만큼 As의 확산 거리(0.055 μ m)도 그만큼 증가했기 때문이다. 이는 곧 As의 경우는 접합 깊이가 생성되는 실리사이드 두께에 의해 영향을 받지 않음을 의미한다. 그러나 열시 실리사이드 두께가 증가할 수록 실리사이드 내에 고용되는 As (S_{As}^{Co})량이 증가하므로 접합 전체에 걸친 농도는 감소하게 된다. 이러한 가설은 실리사이드의 입계를 따라 기화되어 빠져나가게 되는 불순물의 양이 실리사이드의 두께에 관계없이 거의 일정할 정도로 실리사이드 내에서의 불순물의 확산 속도가 빠르다는 가정하에 가능하다. 즉 기화되어 소실되는

양은 일정하여 고려하지 않았고 실리사이드 형성시에 Co와 Si내로 분배될 수 있는 고용도의 차이와 실리사이드의 성장이 증가시킬 수 있는 불순물의 확산 계수만을 고려하였다. 실제로 불순물의 재분포는 확산 계수나 고용도 외에도 불순물의 농도, segregation coefficient, 온도 등 여러 변수들에 의존하며 이의 규명을 위해서는 더 심도 있는 연구가 필요하다. 이 연구에 있어서 또 하나의 어려움은 0.1 μ m나 그보다 얇은 접합의 깊이는 SRP^[12]나 SIMS^[13]로도 확인하기가 매우 힘들고 특히 실리사이드 접합의 경우는 더욱 그러하다는 것이다.

IV. 결 론

1. 동시 접합 (Concurrent Junction) 공정을 사용하여 얻은 1100Å 두께의 CoSi₂의 면저항은 1.5 \pm 0.2 Ω/\square , 비저항은 11~15 μ m로 나타났고 이 값은 p⁺/n, n⁺/p, doped Poly-Si 기판에 상관없이 거의 일정하였다.

2. 700°C에서 30초 동안 열처리 했을 때 CoSi₂상의 형성이 완료되었으며 이는 면저항의 변화와 박막 XRD로 부터 확인하였다.

3. SALICIDE 공정에 의해 얻은 CoSi₂ 막의 표면 거칠기는 \pm 5nm 이내로 매우 우수하였으며 이는 다결정 실리콘 기판위에서도 비슷한 값(\pm 7nm)으로 나타났다.

4. SALICIDE 공정을 위한 실험에서는 800°C 이하의 열처리를 한 경우 Co가 SiO₂와 반응하지 않았지만 900°C 이상의 온도에서는 SiO₂와 반응하는 것으로 밝혀졌다.

5. 두 단계의 열처리를 했을 때 동시 접합에 의하면 300Å의 코발트의 경우 p⁺/n, n⁺/p의 접합 깊이는 각각 0.07 μ m 및 0.08 μ m로 나타났고 150Å의 경우는 0.09, 0.08 μ m의 p⁺/n, n⁺/p 접합을 얻을 수 있었다.

參 考 文 獻

[1] K. Saraswat and F. Mohammadi, "Effect of scaling of interconnections on the time delay of VLSI circuits," *IEEE Trans. Electron Devices*, vol. ED-29, pp. 645, 1982.
 [2] S.P. Murarka, *Silicides for VLSI Application*, New York: Academic 1980.
 [3] C.M. Osburn et al, "The effect of titanium disilicide formation on dopant redistribution," in *ULSI Science and Technology*, p. 402, 1987.

- [4] 민경익, 주승기, “금속 열처리에 의한 Ti- 실리사이드와 접합의 동시형성에 관한 연구,” 전자공학회 논문집, vol. 28-A, No. 3, 1991.
- [5] A.E. Morgan, E.K. Broadbeut, M. Delfino, B. Coulman, and D.K. Sadana, “Characterization of a self-aligned cobalt silicide process,” *J. Electrochem. Soc.*, vol. 134, p. 925, 1987.
- [6] M. Tabaskky, E.S. Bulat, B.M. Pitchek, M.A. Sullivan, and S.C. Shatas, “Direct slication of Co on Si by rapid thermal annealing,” *IEEE Trans. Electron Devices*, vol. ED-34, pp. 548, 1987.
- [7] S.P. Murarka et al, “Self-aligned cobalt disilicide for gate and interconnection and contacts to shallow junctions,” *IEEE Trans. electron Devices*, Oct., pp. 2108, 1987.
- [8] J. Amano, K. nauka, M.P. Scott, J.E. Turner, and R. Tsai, “Junction leakage in titanium self-aligned silicide devices,” *Appl. Phys. Lett.* 49(12), 22 Sept. 1986.
- [9] 민경익, 이석운, 주승기, 할로겐 램프에 의한 금속 열처리에서 기판 표면 상태에 따른 온도상승 효과에 관한 연구” (전자공학회 논문집 발표 예정)
- [10] Stefan Nygren, Stefan Johanson, “Recrystallization and grain growth phenomena in polycrystalline Si/CoSi₂ thin film couples,” *J. Appl. Phys.* 68(3), 1 August 1990.
- [11] W.E. Beadle, J.C.C. Tsai, R.D. Plummer edit., *Quick Reference Manual for Silicon Integrated Circuit Technology*, p. 7-6, A Wiley-Interscience Publication: New York 1985.
- [12] S.C. Choo, M.S. Leong and K.L. Kuan, “On the calculation of spreading resistance factors,” *Solid State Electronics*, vol. 19, pp. 561-565, 1979.
- [13] J.M. Walls et al, *Methods of Surface analysis*, pp. 169-176, Cambridge Univ. Press: New York, 1987.

감사의 글

SEM, XRD 분석에 도움 주신 이경일씨(금성 일렉트론)께 감사드립니다.

著 者 紹 介



성 등임.

李 石 運 (準會員)

1967년 6월 18日生. 1990년 서울대학교 금속공학과 졸업. 1992년 서울대학교 금속공학과 석사학위 취득. 현재 서울대학교 금속공학과 박사과정. 주관심분야는 실리사이드와 얇은 접합의 형



발 등임.

朱 承 基 (正會員)

1952년 9월 4日生. 1975년 서울대학교 금속공학과 졸업. 1983년 Stanford 대학 재료과 공학박사학위 취득. 1984년 National Semiconductor R & D Center 근무. 1986년 Fairchild Advanced R & D Lab. 근무. 1986년~현재 서울대학교 금속공학과 부교수. 주관심분야는 반도체 소자 집적공정개발 등임.



의 시편온도 측정 등임.

閔 庚 翼 (準會員)

1967년 7월 23日生. 1989년 서울대학교 금속공학과 졸업. 1991년 서울대학교 금속공학과 석사학위 취득. 현재 서울대학교 금속공학과 박사과정. 주관심분야는 실리사이드와 금속 열처리 시