

## 고속 열 확산에 의해 제작된 다이오드의 Rapid Thermal Alloy

(Rapid Thermal Alloy of Fabricated Diode by Rapid Thermal Diffusion)

李 東 燁\*, 李 英 姬\*

(Dong Youb Rhee and Young Hee Lee)

## 要 約

고속 열 확산 소오스를 이용한 확산과 전극 형성용 금속으로 순수한 알루미늄을 사용하였을 때의 alloy 공정을 고속 열처리 장치로 수행하여 얇은 접합의  $p^+-n, n^+-p$  다이오드를 제작하였다. 설계된 다이오드의 면적은  $2.83 \times 10^{-3} \text{cm}^2$ 이고 접합 깊이는 250nm이었다. 고속 열처리 장치에 의하여 alloy 공정을 수행한 후  $p^+-n$  다이오드의 전기적 특성은 ideality가 1.04이고 reverse current density는  $29.3 \text{nA/cm}^2$ 이었고,  $n^+-p$  다이오드에 있어서 순방향 특성인 ideality factor는 1.05이고  $-5\text{V}$ 에서 측정된 reverse current density는  $85.2 \text{pA/cm}^2$ 의 좋은 특성을 나타내었다.

## Abstract

Shallow  $p^+-n, n^+-p$  diodes have been fabricated using rapid thermal diffusion by solid diffusion source and rapid thermal alloying with pure Aluminum. Diode area and junction depth are designed about  $2.83 \times 10^{-3} \text{cm}^2$  and 250nm, respectively. Electrical characteristics of  $p^+-n$  diode show that the ideality factor is 1.04 and reverse current density is  $29.3 \text{nA/cm}^2$ , respectively. On the other hand, those of  $n^+-p$  diode show that the ideality factor is 1.05 and reverse current density is  $85.2 \text{pA/cm}^2$ . The reverse currents are measured at 5V reverse bias after rapid thermal alloying for all the measurement.

## I. 서 론

반도체소자 제조공정이 VLSI 급으로 발전해 감에 따라 고도의 정밀성과 고 집적화를 위한 소자의 최소 선폭과 접합깊이가  $1\mu\text{m}$  이하로 감소해 가는 추세이고, 이를 구현하기 위해 고도의 정밀 장비도 사용해야 하지만 접합 깊이와 산화막의 두께 등에 있어서 scaling down이 필연적이라 할 수 있다.<sup>1)</sup> 그러나 소자의 크기가 감소함으로써 나타나는 문제점 중의 하나는 전극 형성용 금속과 실리콘이 접촉하는 부분

에서의 저항이 상대적으로 증가하고 또한 얇은 접합 깊이를 갖는 소자에 대하여 순수한 알루미늄으로 전극 형성용 금속을 사용하여 alloy할 경우 알루미늄과 실리콘의 낮은 eutectic point로 인하여, junction spiking 현상이 접합을 파괴시키는 심각한 문제를 야기시킨다. 많은 사람들이 silicide를 형성하는 방법으로 이 문제를 해결하려는 연구를 지속적으로 하고 있으나, 재현성 및 신뢰성이 아직까지 미흡한 상태이고 공정상의 난점을 극복해야 하는 문제로 아직까지 미소한 부분을 제외하고는 실용화 단계에까지 이르지 못하고 있는 실정이다.

본 연구에서는 250nm의 접합 깊이를 고속 열 확산(rapid thermal diffusion, RTD) 방법에<sup>2)</sup> 의하여 형성하고 전극 형성용 금속으로는 열적, 화학적으로 우수

\*正會員, 檀國大學校 電子工學科  
(Dept. of Elec. Eng., Dankook Univ.)  
接受日字: 1991年 8月 6日

한 특성을 갖는<sup>14</sup> 순수한 알루미늄을 사용하여 기존의 furnace 방법이 아닌 자체 제작된 고속 열처리장치<sup>15</sup>로 alloy (rapid thermal alloying, RAT) 공정을<sup>16</sup> 수행함으로써 순방향, 역방향 특성이 매우 우수한 p<sup>+</sup>-n, n<sup>+</sup>-p 다이오드를 제작하였다.

II. 실험

p<sup>+</sup>-n, n<sup>+</sup>-p 다이오드를 제작하기 위한 공정의 개략적인 흐름도를 그림 1에 나타내었다. 다이오드의 제작에 사용된 웨이퍼는 CZ 성장된 3" 실리콘 웨이퍼로 비저항이 n-type의 경우 2~4Ω·cm이고 p-type의 경우는 4~8Ω·cm이다. 이 웨이퍼에 산화물에서 field 산화막을 약 700nm 성장시키고 250nm의 접합 깊이를 얻기 위해 고속 열 산화막 공정을 수행하였고 공정에 사용된 소오스는 BN975가 p<sup>+</sup>, PH1000이 n<sup>+</sup> 확산용으로 각각 사용되었으며 Sohio Engineered Materials Company 제품으로 모두 고체 확산 소오스이다. 접합이 형성된 다음에 전극을 형성하기 위한 구멍을 형성하기 위하여 산화막 성장을 sputtered oxidation으로 수행한 까닭은 만약 열산화 공정을 수행할 경우에 산화막이 성장되는 동안 공정 온도가 높아서 고속 열 확산 공정에서 형성된 접합 깊이가 깊어지는 현상을 방지하기 위한 목적이다. 다음으로 전극 형성용 구멍을 식각하고 1μm의 두께로 알루미늄을 전자선 증착 방법으로 증착한 후에

전극을 형성하고 alloy 공정에서 시료를 분리하여 furnace alloy는 425°C, 10분, RTA 공정은 425°C, 10초로 질소 분위기에서 각각 수행하였으며 제작된 다이오드의 전기적 특성을 alloy 전, furnace alloy 후 그리고 RTA 공정 후에 순방향 및 역방향 특성을 각각 측정하였다.

그린 2에 제작된 다이오드의 평면도 및 단면도를 개략적으로 도시하였다.

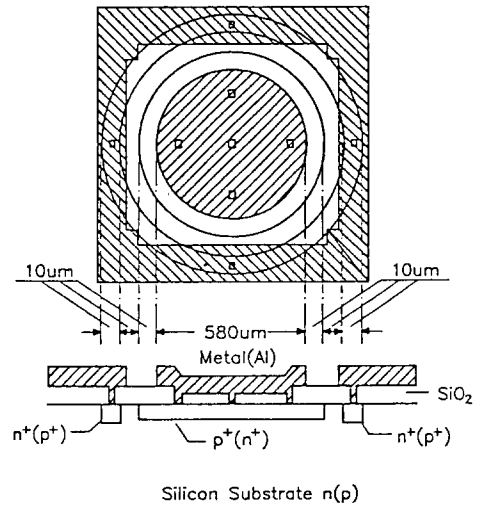


그림 2. p<sup>+</sup>-n, n<sup>+</sup>-p 다이오드의 평면도 및 단면도  
Fig. 2. Plane and cross section geometry of diodes.

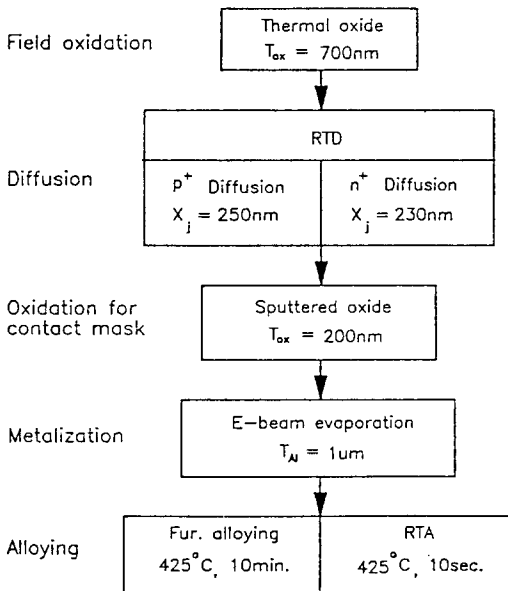


그림 1. p<sup>+</sup>-n, n<sup>+</sup>-p 다이오드의 공정 흐름도  
Fig. 1. Process flow of p<sup>+</sup>-n and n<sup>+</sup>-p diodes.

III. 실험 결과 및 고찰

p<sup>+</sup>-n, n<sup>+</sup>-p 다이오드를 제작한 후 ASR로 doping profile을 측정할 결과를 그림 3에 나타내었는데 설계된 접합깊이인 250nm의 접합 깊이를 보여주는 p<sup>+</sup>-n 접합의 경우와는 달리 n<sup>+</sup>-p 접합에 있어서는 약 230nm로 설계치와 20nm 정도 작게 측정되었으며 다이오드의 면적은 모두 2.83×10<sup>-3</sup>cm<sup>2</sup>이다.

p<sup>+</sup>-n 다이오드의 경우에 alloy 조건에 따른 실험 결과를 그림 3에 나타내었고 표 1에는 reverse current density와 ideality factor를 구하여 표기하였다. 표 1에서 나타난 결과를 보면 -5V에서 측정된 reverse current density는 alloy 전 보다 furnace alloy 후에는 증가한 반면 RTA 공정 후에는 오히려 모두 감소하였고 순방향 특성인 ideality factor는 alloy 전 보다 furnace alloy 후에는 1.09인 반면 RTA 공정 후에는 1.04 정도로 매우 감소하였다.

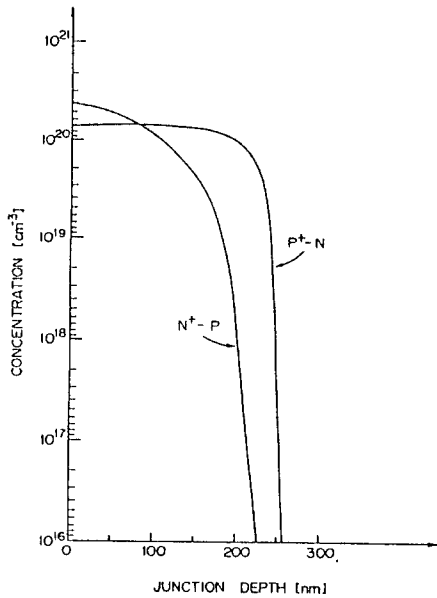


그림 3. 다이오드의 doping profile(ASR로 측정)  
Fig. 3. Doping profile of diodes by ASR.

표 1. p<sup>+</sup>-n 다이오드의 전기적 특성

Table 1. Electrical characteristics of p<sup>+</sup>-n diode.

Diode	Alloy condition	Junction depth	Ideality factor	Reverse current density(at -5V)
p <sup>+</sup> -n	before alloy		1.17	44.9nA/cm <sup>2</sup>
	Fur. alloy	250nm	1.09	2.5μA/cm <sup>2</sup>
	RTA		1.04	29.3nA/cm <sup>2</sup>

n<sup>+</sup>-p 다이오드에서도 같은 경향을 보여주고 있는데 한가지 이 소자의 특이한 점은 furnace alloy를 수행한 후 소자를 측정한 결과 다이오드가 전부 파괴된다는 점이다. 역방향 특성은 alloy 전에 p<sup>+</sup>-n 다이오드와는 달리 -5V에서 34.65pA로 측정되었는데 RTA 공정 후에는 24.10pA로 감소하였으며 순방향 특성을 나타내는 ideality factor 역시 1.18에서 1.05로 감소하였으며 그 결과를 그림 4와 표 2에 나타내었다. 그런데 참고적으로 그림 5에 접합 깊이에 따른 junction spiking 현상을 보면 200nm 정도의 접합 깊이를

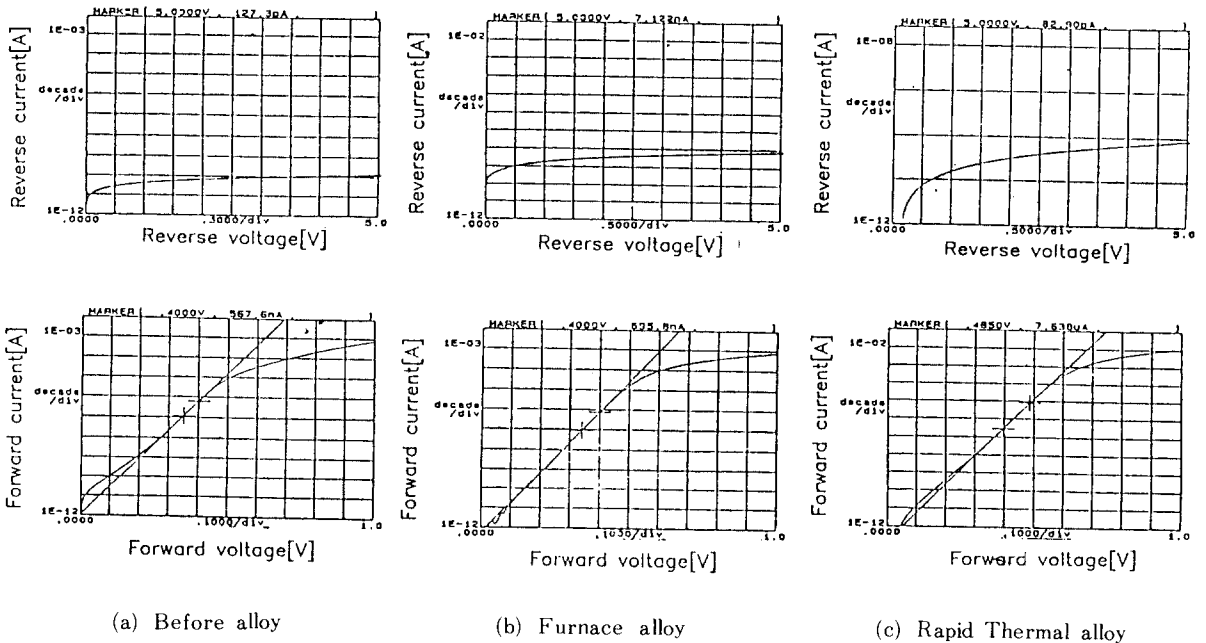


그림 4. p<sup>+</sup>-n 다이오드의 순방향, 역방향 특성

Fig. 4. Forward and reverse characteristics of p<sup>+</sup>-n diode.

표 2.  $n^+ - p$  다이오드의 전기적 특성Table 2. Electrical characteristics of  $n^+ - p$  diode.

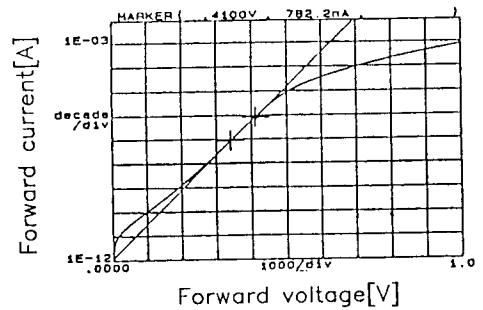
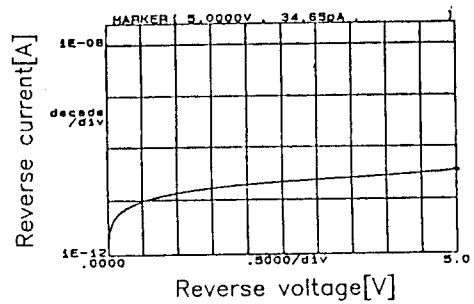
Diode	Alloy condition	Junction depth	Ideality factor	Reverse current density (at $-5V$ )
$n^+ - p$	before alloy	230nm	1.18	$122.4 \mu A/cm^2$
	RTA		1.05	$85.3 \mu A/cm^2$

갖는 소자는 furnace alloy 공정에서는 모두 junction spiking 현상으로 인하여 접합이 파괴되었다는 결과와 잘 일치하고 있다.<sup>11)</sup>

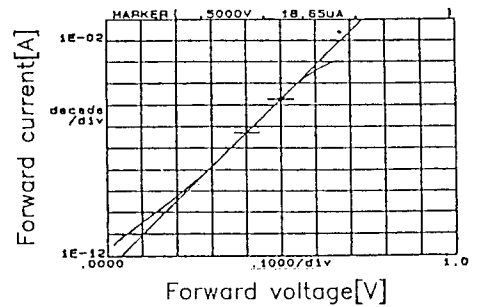
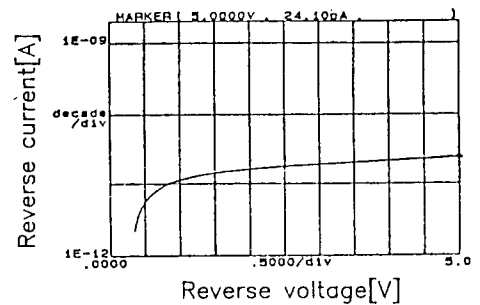
이같은 결과에서 흥미있는 사실은 제작된  $p^+ - n$ ,  $n^+ - p$  다이오드의 측정으로 부터 reverse current density 특성이 모두 RTA 공정 후가 furnace alloy 후 보다 훨씬 우수하다는 점이다. 이는 인을 확산하는 동안 발생하는 point defect generation<sup>17)</sup> vacancies의 undersaturation 그리고 self-interstitials의 supersaturation<sup>18,19)</sup>에 대한 현상으로 해석하고 있는데<sup>11)</sup> 본 연구에서는 모든 시료를 RTD에 의해 접합을 형성하고 alloy 공정만 분리하였으므로 이는 alloy 공정의 영향을 받은 것이라 볼 수 있다. 이러한 결과로 부터 얇은 접합의 reverse current density 특성은 furnace alloy과 RTA 공정에서 알루미늄과 실리콘의 경계면에서 금속학적 구조에 기인된 현상이거나 혹은 contact pitting 현상에서 오는 결과라고 추측할 수 있다. 이문제는 좀 더 면밀히 검토하여 명백한 결과를 밝힐 과제로 남아 있다.

#### IV. 결론

RTD 공정과 RTA 공정을 병행하여 250nm의 접합 깊이를 갖는  $p^+ - n$ ,  $n^+ - p$  다이오드를 전극 형성용 금속으로 순수한 알루미늄을 사용하여 쉽게 제작할 수 있었고 또한 알루미늄 alloy 공정에서 나타나는 여러 가지 문제점도 실험실에서 제작한 고속 열처리 장치를 alloy 공정에 도입함으로써 해결할 수 있었다. 형성된  $p^+$ ,  $n^+$  불순물 층의 접합 깊이는 각각 250nm로 ASR에 의해서 측정되었는데  $n^+ - p$  다이오드를 furnace에서 alloy한 결과 접합이 모두 파괴되어 250nm 이하의 접합을 갖고 전극 형성용 금속으로 알루미늄을 사용할 경우에 있어서 alloy 공정은 furnace에서 수행하는 것이 적합하지 못함을 알 수 있었다. 제작된  $p^+ - n$  다이오드의 전기적 특성은 역방향 특성인  $-5V$ 에서 측정된 reverse current density는  $29.3 nA/cm^2$ 이고 순방향 특성인 ideality factor는 1.04이었고



(a) Before alloy



(b) Rapid thermal alloy

그림 5.  $n^+ - p$  다이오드의 순방향, 역방향 특성  
Fig. 5. Forward and reverse characteristics of  $n^+ - p$  diode.

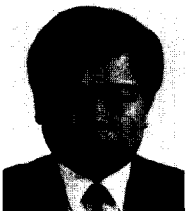
며,  $n^+ - p$  다이오드의 경우에는 reverse current density가  $85.2 \text{ pA/cm}^2$ , ideality factor는 1.05로 각각 측정되었다.

이상의 결과로 부터 초미세 전자소자의 접합 형성 공정에 RTD와 RTA 공정을 이용한다면 매우 우수한 특성을 갖는 접합을 형성할 수 있으리라 생각하고 제작된 고속 열처리 장치를 좀 더 보완하면 반도체 장비의 국산화에 기여할 것이다.

### 參 考 文 獻

- [1] David B. Scott, Richard A. Chapman, Chia Wel, Shivaling S. Mahant-Shetti, Roger A. Haken and Thomas C. Holloway "Titanium Disilicide Contact Resistivity and Its Impact on  $1-\mu\text{m}$  CMOS Circuit Performance," *IEEE Trans. on Elec. Dev.*, vol. ED-34, no. 3, pp. 562-574, March 1987.
- [2] Kwok K. Ng and Willam T. Lynch, "The impact of intrinsic series resistance on MOSFET scaling," *IEEE Trans. on Elec. Dev.*, vol. ED-34, no. 3, pp. 503-511, March 1987.
- [3] J.G. Kim, D.Y. Lee and C.K. Kim, "Two-Step Rapid Thermal Diffusion of Phosphorus into Silicon from a Solid Diffusion Source," *International Conference on VLSI and CAD*, pp. 39.3, Oct. 1989.
- [4] Norman G. Einspruch and Simon S. Cohen, "VLSI Electronics Microstructure Science vol. 13, Metal-Semiconductor Contact and Devices," Academic Press, INC., 1986.
- [5] Will be published, "Design, Construction and Evaluation of Rapid Thermal Processing System for Al Alloy," *Journal of KIEE*.
- [6] J.C. C. Tsal, D.G. Schimmel, R.B. Fair and W. Maszara, "Point defect generation during phosphorus diffusion in silicon," *J. Electrochem. Soc.*, vol. 134, no. 6, pp. 1508-1518, June 1987.
- [7] P. Fahey, R.W. Dutton and S.M. Hu, "Supersaturation of self-interstitials and undersaturation of vacancies during phosphorus diffusion in silicon," *Appl. Phys. Lett.*, vol. 44, no. 8, pp. 777-779, April 1984.
- [8] K. Nishi and D.A. Antoniadis, "Observation of silicon self-interstitial supersaturation during phosphorus diffusion from growth and shrinkage of oxidation-induced stacking faults," *J. Appl. Phys.*, vol. 59, no. 5, pp. 1117-1124, Feb. 1986.
- [9] K.T. Kim, C.K. Kim, B.J. Cho and J.G. Kim, "Formation of Shallow Phosphorus Layers by Rapid Thermal Processing Using a Solid Diffusion Source," *Journal of KIEE*, vol. 1, no. 2, pp. 105-109, 1988.

### 著 者 紹 介



李 東 煥 (正會員)

1959年 2月 3日生. 1980年 2月 단국대학교 전기공학과(학사). 1985년 8월 동 대학원 전기공학과(석사). 현재 동 대학원 전자공학과 박사과정 및 경주전문대 전자과 전임강사. 주관심 분야는 집적회

로 공정 및 고속 열처리장치를 이용한 반도체 소자 제조공정 등임.



李 英 姬 (正會員)

1936年 10月 9日生. 1959年 2월 전북대학교 물리학과 졸업(학사). 1966年 Wien University 졸업(박사). 현재 단국대학교 전자공학과 교수. 주관심 분야는 집적회로 설계 및 제조공정등임.